



Universidad
de Alcalá

COMISIÓN DE ESTUDIOS OFICIALES
DE POSGRADO Y DOCTORADO

ACTA DE EVALUACIÓN DE LA TESIS DOCTORAL

Año académico 2018/19

DOCTORANDO: **NOMBELA BLANCO, FRANCISCO JOSÉ**
D.N.I./PASAPORTE: ****2346B

PROGRAMA DE DOCTORADO: **D441-ELECTRÓNICA: SISTEMAS ELECTRÓNICAS AVANZADOS. SISTEMAS INTELIGENTES**

DPTO. COORDINADOR DEL PROGRAMA: **ELECTRÓNICA**

TITULACIÓN DE DOCTOR EN: **DOCTOR/A POR LA UNIVERSIDAD DE ALCALÁ**

En el día de hoy 08/02/19, reunido el tribunal de evaluación nombrado por la Comisión de Estudios Oficiales de Posgrado y Doctorado de la Universidad y constituido por los miembros que suscriben la presente Acta, el aspirante defendió su Tesis Doctoral, elaborada bajo la dirección de **ALVARO HERNÁNDEZ ALONSO // ENRIQUE GARCÍA NUÑEZ**.

Sobre el siguiente tema: *DISEÑO E IMPLEMENTACIÓN DE TÉCNICAS DE SINCRONIZACIÓN, ESTIMACIÓN E IGUALACIÓN DE CANAL PARA PLC*

Finalizada la defensa y discusión de la tesis, el tribunal acordó otorgar la CALIFICACIÓN GLOBAL² de (**no apto, aprobado, notable y sobresaliente**): SOBRESALIENTE

Alcalá de Henares, 8 de FEBRERO de 2019

EL PRESIDENTE

Fdo.: MARIA CARMEN PÉREZ RUBIO
FRANCO

EL SECRETARIO

Fdo.: ALFONSO BAHÍLO MARTÍNEZ

EL VOCAL

Fdo.: FERNANDOP J. ÁLVAREZ

Con fecha 25 de Febrero de 2019 la Comisión Delegada de la Comisión de Estudios Oficiales de Posgrado, a la vista de los votos emitidos de manera anónima por el tribunal que ha juzgado la tesis, resuelve:

- Conceder la Mención de "Cum Laude"
 No conceder la Mención de "Cum Laude"

FIRMA DEL ALUMNO,

Fdo.: NOMBELA BLANCO, FRANCISCO JOSÉ

La Secretaria de la Comisión Delegada

² La calificación podrá ser "no apto" "aprobado" "notable" y "sobresaliente". El tribunal podrá otorgar la mención de "cum laude" si la calificación global es de sobresaliente y se emite en tal sentido el voto secreto positivo por unanimidad.

INCIDENCIAS / OBSERVACIONES:



Universidad
de Alcalá

COMISIÓN DE ESTUDIOS OFICIALES
DE POSGRADO Y DOCTORADO

En aplicación del art. 14.7 del RD. 99/2011 y el art. 14 del Reglamento de Elaboración, Autorización y Defensa de la Tesis Doctoral, la Comisión Delegada de la Comisión de Estudios Oficiales de Posgrado y Doctorado, en sesión pública de fecha 25 de febrero, procedió al escrutinio de los votos emitidos por los miembros del tribunal de la tesis defendida por *NOMBELA BLANCO, FRANCISCO JOSÉ*, el día 08 de febrero de 2019, titulada *DISEÑO E IMPLEMENTACIÓN DE TÉCNICAS DE SINCRONIZACIÓN, ESTIMACIÓN E IGUALACIÓN DE CANAL PARA PLC*, para determinar, si a la misma, se le concede la mención "cum laude", arrojando como resultado el voto favorable de todos los miembros del tribunal.

Por lo tanto, la Comisión de Estudios Oficiales de Posgrado **resuelve otorgar** a dicha tesis la

MENCIÓN "CUM LAUDE"

Alcalá de Henares, 25 de febrero de 2019
EL VICERRECTOR DE INVESTIGACIÓN Y TRANSFERENCIA



Javier de la Mata

F. Javier de la Mata de la Mata

Copia por e-mail a:

Doctorando: NOMBELA BLANCO, FRANCISCO JOSÉ

Secretario del Tribunal: ALFONSO BAHÍLO MARTÍNEZ

Directores de Tesis: ALVARO HERNÁNDEZ ALONSO // ENRIQUE GARCÍA NUÑEZ



Universidad
de Alcalá

ESCUELA DE DOCTORADO.
Servicio de Estudios Oficiales de Posgrado

DILIGENCIA DE DEPÓSITO DE TESIS.

Comprobado que el expediente académico de D./D^a FRANCISCO JOSÉ NOMBELA BLANCO
reúne los requisitos exigidos para la presentación de la Tesis, de acuerdo a la normativa vigente, y habiendo
presentado la misma en formato: soporte electrónico impreso en papel, para el depósito de la
misma, en el Servicio de Estudios Oficiales de Posgrado, con el nº de páginas: 208 se procede, con
fecha de hoy a registrar el depósito de la tesis.

Alcalá de Henares a 24 de OCTUBRE de 2018



Aurora Juárez Abril

Fdo. El Funcionario

RESTAURAR

IMPRIMIR



**Programa de Doctorado en Electrónica
Sistemas Electrónicos Avanzados, Sistemas Inteligentes**

DISEÑO E IMPLEMENTACIÓN DE TÉCNICAS DE SINCRONIZACIÓN, ESTIMACIÓN E IGUALACIÓN DE CANAL PARA PLC

Tesis Doctoral presentada por

Francisco José Nombela Blanco

Directores:

Dr. Álvaro Hernández Alonso

Dr. Enrique García Núñez

Alcalá de Henares, 2018



Dr. D. Miguel González Herráez, coordinador del Programa de Doctorado “ELECTRÓNICA: Sistemas Electrónicos Avanzados. Sistemas Inteligentes”.

INFORMA: Que la Tesis Doctoral titulada “*Diseño e implementación de técnicas de sincronización , estimación e igualación de canal para PLC*” presentada por D. Francisco José Nombela Blanco y dirigida por los doctores D.Álvaro Hernández Alonso y D. Enrique García Núñez, cumple con todos los requisitos científicos y metodológicos, para ser defendida ante un Tribunal para optar al Grado de Doctor, según lo indicado por la Comisión Académica del Programa de Doctorado.

Alcalá de Henares, 15 de octubre de 2018



Fdo. D. Miguel González Herráez

Dr. Álvaro Hernández Alonso, Catedrático de la Universidad de Alcalá, y

Dr. Enrique García Núñez, Doctor por la Universidad de Alcalá

INFORMAN: Que la Tesis Doctoral titulada “Diseño e implementación de técnicas de sincronización, estimación e igualación de canal para PLC”, presentada por D. Francisco Nombela Blanco, y realizada bajo nuestra dirección, dentro del campo del **diseño de arquitecturas eficientes basadas en FPGAs para la implementación en tiempo real de tecnologías de capa física en PLC de banda ancha**, reúne los méritos de calidad y originalidad para optar al Grado de Doctor.

Alcalá de Henares, 15 de octubre de 2018



Fdo.: Álvaro Hernández Alonso



Fdo.: Enrique García Núñez

RESUMEN

Los sistemas de comunicaciones PLC (*Power Line communications*) han despertado en los últimos años un gran interés investigador, existiendo ya algunas propuestas comerciales para conectividad multimedia en el hogar, y están jugando un papel importante en el desarrollo de las redes de distribución inteligentes de energía (*Smart Grids*). Al mismo tiempo han supuesto un cambio en la sociedad actual, siendo uno de los medios más importantes para proporcionar soporte de banda ancha para la transmisión de datos. El hecho de tratarse de un medio con un coste muy bajo de instalación al utilizar la red eléctrica ya existente en la mayoría de entornos públicos interiores (edificios, viviendas, fábricas, industrias, etc.) es una de sus principales ventajas.

El canal PLC presenta ciertas particularidades, como son el fuerte desvanecimiento selectivo en frecuencia, la mayor duración efectiva del canal, así como la caracterización del ruido del canal en ruido de fondo y en tres tipos de ruido impulsivo. El estándar IEEE 1901-2010 propone el uso de Wavelet-OFDM como técnica de acceso al medio. Esta técnica permite mejorar la eficiencia espectral del sistema al definir mejor en frecuencia las subportadoras y, por tanto, reduce las emisiones fuera de la banda de emisión. Wavelet-OFDM introduce un filtrado por cada subportadora tras la DCT-IV, conocido como filtro prototipo. Este filtrado hace que símbolos consecutivos se solapen en el dominio del tiempo.

El primer objetivo de la tesis es proponer un algoritmo robusto de sincronismo temporal en sistemas PLC de banda ancha, empleado como técnica de acceso al medio Wavelet-OFDM. Dicho algoritmo propone el uso de conjuntos complementarios de secuencias multinivel como símbolo piloto, debido a las propiedades óptimas de correlación que presentan éstas, haciendo posible realizar una sincronización precisa en el receptor.

En segundo lugar, se analizan posibles métodos de igualación y estimación de canal para compensar los efectos que se introducen en la transmisión PLC. Para ello es necesario el estudio de diversas técnicas de transmisión, como la inserción del prefijo cíclico y el zero-padding, para seleccionar la que mejor se ajuste a las especificaciones. Al igual que antes para el sincronismo, los algoritmos propuestos para estimación e igualación de canal se basan en el empleo de secuencias Zadoff-Chu como símbolos piloto en los preámbulos de la transmisión PLC.

Finalmente, se presenta una arquitectura eficiente basada en FPGAs (*Field-Programmable Gate Arrays*) para la implementación en tiempo real del algoritmo de sincronismo propuesto, junto con otra para la estimación e igualación del canal,

susceptibles de ser integradas en un hipotético receptor PLC que emplea como técnica de acceso al medio Wavelet-OFDM.

ABSTRACT

Power Line communications (PLC) systems have experienced an increasing research interest in recent years: there are already some commercial proposals for multimedia connectivity in homes, and they are playing an important role in the development of smart energy distribution networks (Smart Grids). At the same time, they have implied a change in the current society, being one of the most important means to provide broadband support for data transmission. The fact of being a medium with a very low installation cost, since they use the existing electrical network in most of the indoor public environments (buildings, households, industrial factories, etc.), is one of its main advantages.

The PLC channel has certain particularities, such as the strong selective frequency fading, the longer effective channel length, as well as the characterization of the channel noise into background noise and into three types of impulsive noise. The IEEE 1901-2010 standard proposes the use of Wavelet-OFDM as a medium access technique. This technique allows to improve the spectral efficiency of the system by better defining the subcarriers in frequency and, therefore, it reduces emissions outside the emission band. Wavelet-OFDM introduces a filtering for each subcarrier after the DCT-IV, known as a prototype filter. This filtering makes consecutive symbols overlap in the time domain.

The first objective of the thesis is to propose a robust algorithm of temporal synchronization in broadband PLC systems, using the Wavelet-OFDM as medium access technique. This algorithm proposes the use of complementary sets of multilevel sequences as pilot symbols, due to their optimal correlation properties, making it possible to perform a precise synchronization in the receiver.

Secondly, possible methods of equalization and channel estimation are analyzed to compensate the effects introduced in the PLC transmission. This requires the study of various transmission techniques, such as the insertion of a cyclic prefix and zero-padding, to select the one that best fits the specifications. As before for synchronism, the proposed algorithms for estimation and channel equalization are based on the use of Zadoff-Chu sequences as pilot symbols in the preambles of the PLC transmission.

Finally, an efficient architecture based on FPGAs (Field-Programmable Gate Arrays) is presented for the real-time implementation of the proposed synchronization algorithm, together with the ones proposed for the estimation and equalization of the channel, which can be integrated into a hypothetical PLC receiver that uses Wavelet-OFDM as medium access technique.

AGRADECIMIENTOS

El presente trabajo se lo dedico principalmente a mis padres y hermanos por haberme aguantado durante tantos años.

También me gustaría dedicárselo a Álvaro y Enrique, no sólo por haber sido grandes tutores de tesis, sino por su incansable apoyo y ayuda.

Por último, agradecer a todos los amigos que no cesaron en animarme para acabar este trabajo.

Gracias a todos.

Contenido

Capítulo 1 Introducción	1
1.1 Contexto de la Tesis	2
1.2 Estructura de la Tesis	3
Capítulo 2 Estado del Arte	5
2.1 Comunicaciones PLC (<i>Power Line Communications</i>)	5
2.1.1 Ventajas y limitaciones de las comunicaciones PLC.....	6
2.1.2 Características del canal PLCs.....	7
2.1.3 Técnicas de acceso al medio para PLC	8
2.2 Técnicas de codificación	11
2.2.1 Conjuntos complementarios de secuencias multinivel (CSS).....	11
2.2.2 Secuencias caóticas	12
2.2.3 Secuencias Thue-morse	13
2.2.4 Secuencias Legendre	14
2.2.5 Secuencias Zadoff-Chu	15
2.2.6 Secuencias Huffman	16
2.3 Arquitecturas eficientes para sistemas de comunicación PLC	17
2.4 Objetivos	18
Capítulo 3 Sincronismo	21
3.1 Wavelet-OFDM para PLC	22
3.2 Uso del Prefijo Cíclico	25

3.3	Modelo del canal PLC.....	26
3.4	Propuesta de sincronismo basada en dos etapas	28
3.4.1	Primera etapa: estimación gruesa.....	29
3.4.2	Segunda etapa: estimación fina	33
3.4.3	Resultados de la propuesta de sincronismo basada en dos etapas.....	37
3.5	Propuesta de sincronización basada en una etapa	42
3.6	Empleo de secuencias en la propuesta de sincronismo	44
3.7	Influencia de la máscara de transmisión PLC	49
3.8	Estudio del esquema de correlación en el receptor	54
3.8.1	Configuración A	54
3.8.2	Configuración B	55
3.8.3	Configuración C.....	56
3.8.4	Resultados del estudio para cada tipo de configuración	58
3.9	Estudio comparativo del uso del prefijo cíclico	60
3.9.1	Uso de las secuencias de estimación de canal junto a las secuencias de sincronismo para realizar la correlación cruzada en el receptor.....	61
3.9.2	Empleo de secuencias CSS multinivel adicionales en la correlación cruzada del receptor	62
3.9.3	Reducción del preámbulo empleado en la correlación cruzada del receptor	63
3.9.4	Resultados obtenidos en el estudio realizado con los diferentes esquemas sin el uso del prefijo cíclico	64
3.10	Conclusiones	68
Capítulo 4 Estimación e igualación de canal		71
4.1	Igualadores en el dominio de la frecuencia.....	72
4.1.1	Igualador <i>zero forcing</i>	74
4.1.2	Igualador MMSE (<i>Minimum Mean Square Error</i>) mediante varianza.....	75
4.1.3	Igualador MMSE (<i>Minimum Mean Square Error</i>) mediante SNR.....	77
4.2	Estimadores de canal	78
4.2.1	Estimador de mínimos cuadrados.....	79
4.2.2	Estimador MMSE (<i>Minimum Mean Square Error</i>).....	80
4.2.3	Estimador LMMSE (<i>Linear Minimum Mean Square Error</i>)	82
4.2.4	Estimador de rango óptimo.....	82
4.2.5	Cálculo de la matriz de auto-correlación del canal R_{hh}	83

4.3	Esquema final propuesto para la estimación e igualación de canal.....	88
4.3.1	Igualador de canal propuesto.....	90
4.3.2	Estimador de canal propuesto	93
4.4	Influencia de estimador-igualador propuesto sobre el sincronismo	99
4.5	Estudio comparativo del uso del prefijo cíclico	107
4.6	Estudio comparativo entre el igualador en el dominio de la frecuencia y el igualador 0-ASCET.....	117
4.7	Conclusiones	123
Capítulo 5 Definición de Arquitecturas Eficientes y Pruebas Experimentales		125
5.1	Introducción.....	125
5.1.1	Sincronismo	126
5.1.2	Estimador e Igualador de canal	127
5.2	Arquitecturas eficientes para la correlación cruzada.....	130
5.3	Arquitectura eficiente para la implementación de la etapa de sincronismo	136
5.4	Arquitectura eficiente para la implementación de la estimación e igualación de canal.....	146
5.5	Desarrollo de una plataforma para pruebas experimentales	153
5.6	Arquitectura propuesta para el transmisor	156
5.7	Arquitectura global propuesta para el receptor.....	159
5.8	Resultados experimentales.....	160
5.9	Conclusiones	164
Capítulo 6 Conclusiones y Trabajos futuros		167
6.1	Conclusiones	167
6.2	Trabajos futuros.....	170
6.3	Publicaciones derivadas de la Tesis	171
6.3.1	Publicaciones en Revistas Internacionales	171
6.3.2	Publicaciones en Congresos Internacionales	171
6.3.3	Publicaciones en Congresos Nacionales.....	172
Bibliografía.....		173

Lista de Figuras

Figura 2.1. Respuesta impulsiva del canal PLC según [Tonel 12]	7
Figura 2.2. Auto-correlación (arriba) y correlación cruzada (abajo) de los conjuntos complementarias de secuencias multinivel.	12
Figura 2.3. Auto-correlación de una secuencia caótica a modo de ejemplo.....	13
Figura 2.4. Auto-correlación de una secuencia Thuemorse.....	14
Figura 2.5. Auto-correlación de una secuencia Legendre de 359 bits a modo de ejemplo.	14
Figura 2.6. Auto-correlación de una secuencia Zadoff-Chu de 359 bits.	16
Figura 2.7. Auto-correlación a modo de ejemplo de una secuencia Huffman de 360 bits.	17
Figura 3.1. Máscara de emisión PLC para el ancho de banda disponible.....	22
Figura 3.2. Diagrama de bloques del transmisor basado en banco de filtros.....	23
Figura 3.3. Diagrama de bloques del receptor basado en banco de filtros.....	24
Figura 3.4. Diagrama de bloques del modelado del canal H.....	25
Figura 3.5. Inserción del prefijo cíclico.	25
Figura 3.6. Respuesta impulsiva de los modelos de canal PLC A y B empleados para las simulaciones [Tonel 12].....	27
Figura 3.7. Diagrama de bloques del sistema de sincronismo basado en dos etapas.	28
Figura 3.8. Comparación entre los datos transmitidos $X(z)$ y los datos recibidos $R(z)$	31
Figura 3.9. Resultado de la correlación $R(z) \cdot X(z^{-1})$ en el receptor.....	32
Figura 3.10. Correlación $R(z) \cdot X(z^{-1})$ elevada al cuadrado y normalizada.	32
Figura 3.11. Ventana del pico máximo de la correlación $R(z) \cdot X(z^{-1})$	33
Figura 3.12. Diferentes métodos de estimación fina.	34
Figura 3.13. Primer ejemplo comparativo entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ para los diferentes retardos de estimación fina considerados, consiguiendo el mejor resultado en el retardo 0.....	35
Figura 3.14. Segundo ejemplo comparativo entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ para los diferentes retardos de estimación fina considerados, consiguiendo el mejor resultado en el retardo 2.....	36
Figura 3.15. RMSE en la sincronización basada en dos etapas para diferentes SNR en un canal B de Tonello [Tonel 12].	37

Figura 3.16. RMSE en la sincronización basada en dos etapas para diferentes SNR en un canal A de Tonello [Tonel 12].	38
Figura 3.17. CDF en la sincronización basada en dos etapas para diferentes SNR en un canal B de Tonello [Tonel 12]	39
Figura 3.18. CDF en la sincronización basada en dos etapas para diferentes SNR en un canal A de Tonello [Tonel 12].	41
Figura 3.19. Diagrama de bloques del sistema completo propuesto empleando un sincronismo basado en una sola etapa.	42
Figura 3.20. Esquema interno del bloque de la sincronización propuesta basada en una sola etapa.	43
Figura 3.21. Formato de trama de datos propuesta para ser emitida por el transmisor.	43
Figura 3.22. Valores RMSE en la sincronización basada en una etapa para distintos tipos de secuencias (con una longitud de 359/360 muestras) y SNR empleando el modelo A de canal PLC.	45
Figura 3.23. Valores RMSE en la sincronización basada en una etapa para distintos tipos de secuencias (con una longitud de 359/360 muestras) y SNR empleando el modelo B de canal PLC.	46
Figura 3.24. Representaciones CDF del sincronismo basado en una etapa para distintos tipos de secuencias y SNR empleando el modelo de canal A.	47
Figura 3.25. Representaciones CDF del sincronismo basado en una etapa para distintos tipos de secuencias y SNR empleando el modelo de canal B.	48
Figura 3.26. Diagrama de bloques de la nueva propuesta de transmisión de CSS (parte superior) en el sincronismo basado en una etapa, comparado con la aplicación de la máscara en el dominio del tiempo antes descrito (parte inferior).	50
Figura 3.27. Función de auto-correlación normalizada para una secuencia de un conjunto CSS multinivel de longitud $L=512$ muestras.	51
Figura 3.28. Función de auto-correlación de una secuencia de un conjunto CSS con una longitud $L=512$ muestras, una vez procesada a través del esquema de transmisión propuesto en el dominio de la frecuencia para el sincronismo basado en una sola etapa.	51
Figura 3.29. Función de auto-correlación de una secuencia de un conjunto CSS con una longitud $L=512$ muestras, una vez procesada a través del esquema de transmisión propuesto para una máscara aplicada en el dominio del tiempo para el sincronismo basado en una sola etapa.	52
Figura 3.30. Función de correlación cruzada entre los símbolos pilotos transmitidos (consistentes en las secuencias de un CSS multinivel de longitud $L=512$ muestras) y la señal recibida incluyendo CP, y para un esquema de transmisión que aplica la máscara PLC en el dominio de la frecuencia.	52
Figura 3.31. Función de correlación cruzada entre los símbolos pilotos transmitidos (consistentes en las secuencias de un CSS multinivel de longitud $L=512$ muestras) y la señal recibida incluyendo CP, y para un esquema de transmisión que aplica la máscara PLC en el dominio temporal.	53
Figura 3.32. Trama de datos emitidos.	54
Figura 3.33. Diagrama de bloques para el tipo de configuración A.	55
Figura 3.34. Correlación cruzada de la señal recibida $r_c[n]$ con los símbolos piloto de la señal $x[n]$ para el esquema de la configuración A.	55
Figura 3.35. Diagrama de bloques para el tipo de configuración B.	56
Figura 3.36. Correlación cruzada de la señal recibida $r_c[n]$ con los símbolos piloto de la señal $x[n]$ para el esquema de la configuración B.	56

Figura 3.37. Diagrama de bloques para el tipo de configuración C.	57
Figura 3.38. Correlación cruzada de la señal recibida $r_c[n]$ con los símbolos piloto de la señal $x[n]$ para el esquema de la configuración C.	57
Figura 3.39. Valores RMSE en la sincronización para las distintas configuraciones de correlación analizados, empleando el canal B de Tonello.	59
Figura 3.40. Valores RMSE en la sincronización para las distintas configuraciones de correlación analizados, empleando el canal A de Tonello.	59
Figura 3.41. Esquema de correlación con un prefijo cíclico de 384 muestras.	61
Figura 3.42. Esquema de correlación cruzada con el uso de secuencias de estimación de canal junto a las secuencias de sincronismo.	61
Figura 3.43. Resultado de la correlación cruzada entre la señal recibida $r_c[n]$ y los símbolos piloto $S_n[n]$ para el esquema que emplea las secuencias de estimación de canal junto a las secuencias de sincronismo.	62
Figura 3.44. Esquema de correlación cruzada añadiendo dos secuencias CSS multinivel adicionales.	63
Figura 3.45: Resultado de la correlación cruzada entre la señal recibida $r_c[n]$ y los símbolos piloto $S_n[n]$ para el esquema que añade dos secuencias CSS multinivel adicionales.	63
Figura 3.46: Esquema de correlación cruzada reduciendo el preámbulo a la mitad de longitud.	64
Figura 3.47. Resultado de la correlación cruzada entre la señal recibida $r_c[n]$ y los símbolos piloto $S_n[n]$ para el esquema que reduce a la mitad la longitud del preámbulo.	64
Figura 3.48. Comparativa sobre el posible empleo del CP a partir de los valores RMSE obtenidos en el módulo de sincronismo para el canal A, siguiendo el esquema de correlación que reduce el preámbulo a la mitad de longitud para realizar la correlación cruzada en el receptor.	66
Figura 3.49. Comparativa sobre el posible empleo del CP a partir de los valores RMSE obtenidos en el módulo de sincronismo para el canal B, siguiendo el esquema de correlación que reduce el preámbulo a la mitad de longitud para realizar la correlación cruzada en el receptor.	66
Figura 3.50. Comparativa de los valores CDF obtenidos en el módulo de sincronismo con el canal A para diferentes SNR.	67
Figura 3.51. Comparativa de los valores CDF obtenidos en el módulo de sincronismo con el canal B para diferentes SNR.	68
Figura 3.52. Diagrama de bloques del nuevo sistema con los cambios añadidos.	69
Figura 3.53. Trama de datos para la emisión por el canal PLC.	70
Figura 4.1: Diagrama de bloques del igualador en frecuencia.	73
Figura 4.2. Comparativa entre señal transmitida x y recuperada \hat{x} para el uso del igualador zero forcing para SNR=-5dB (arriba) y SNR= 10dB (abajo).	75
Figura 4.3. Comparativa entre señal transmitida x y recuperada \hat{x} para el uso del igualador MMSE con varianza para SNR=-5dB (arriba) y SNR= 10dB (abajo).	76
Figura 4.4. Comparativa entre señal transmitida x y recuperada \hat{x} para el uso del igualador MMSE basado en SNR, para SNR=-5dB (arriba) y SNR= 10dB (abajo).	77
Figura 4.5. Ejemplo de inserción de los símbolos piloto en el patrón de emisión.	79
Figura 4.6. Ejemplo de canal estimado mediante el método LS.	80
Figura 4.7. Comparación entre un canal real y el obtenido al realizar la media de varias simulaciones.	84
Figura 4.8. Comparación entre un canal real y el obtenido mediante la matriz de auto-correlación.	85

Figura 4.9. Comparación entre la señal transmitida x y recuperada x al emplear la matriz de auto-correlación R_{hh}.	86
Figura 4.10. Comparación entre un canal real y el obtenido mediante el método basado en la correlación de los símbolos piloto.	87
Figura 4.11. Comparación entre la señal transmitida x y recuperada x al emplear la matriz de auto-correlación obtenida según el método de correlación por símbolos piloto.	87
Figura 4.12. Diagrama de bloques del sistema global propuesto.	89
Figura 4.13. Diagrama de bloques del igualador propuesto.	92
Figura 4.14. Diagrama de bloques del igualador de canal propuesto.	92
Figura 4.15. Comparación entre la respuesta en frecuencia del canal estimado H mediante LS y la respuesta del canal real H_c.	94
Figura 4.16. Error absoluto entre el canal real H_c y el canal estimado H.	94
Figura 4.17. Diagrama de bloques del estimador de canal propuesto.	95
Figura 4.18. Respuesta en frecuencia de los canales parciales estimados H_{s0} y H_{s1} para el estimador propuesto.	95
Figura 4.19. Respuesta en frecuencia del canal promedio H_{avg} y el canal umbralizado H. ...	96
Figura 4.20. Comparativa y error obtenido para un ejemplo entre el canal estimado H y el canal real H_c.	97
Figura 4.21. Ejemplo comparativo entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ con el estimador de canal propuesto.	98
Figura 4.22. Ejemplo ilustrativo de un error de sincronismo sobre la trama propuesta.	100
Figura 4.23. Comparación entre la respuesta temporal del canal estimado con y sin error de sincronismo en la estimación de canal.	100
Figura 4.24. Comparación entre el canal estimado H con y sin error de sincronización.	101
Figura 4.25. Comparación de la señal de entrada $r_m[n]$ al igualador con y sin error de sincronismo.	102
Figura 4.26. Comparación de la entrada al igualador con la entrada al igualador con error de sincronismo en el dominio de la frecuencia.	103
Figura 4.27. Comparación y error en las señales igualadas $r_m[n]$ con y sin error de sincronismo.	104
Figura 4.28. Comparación y error de las señales recuperadas $r_x[n]$ por el sistema propuesto con y sin error de sincronismo.	105
Figura 4.29. MSE entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ para diferentes errores de sincronismo.	106
Figura 4.30. Trama de datos emitida por el transmisor con prefijo cíclico.	107
Figura 4.31. Efecto del canal en la trama al eliminar el CP.	107
Figura 4.32. Efecto causado por el canal PLC en la transmisión al no usar CP.	108
Figura 4.33. Respuesta impulsiva y espectro del canal H_c empleado en el estudio.	109
Figura 4.34. Comparativa en la estimación de canal H alcanzada por ambos esquemas de transmisión, según el empleo del CP.	110
Figura 4.35. Comparativa entre la señal recuperada en el receptor $r_x[n]$ (rojo) y la transmitida originalmente $t_x[n]$ (azul) para ambos esquemas de transmisión en función de la presencia del CP.	111
Figura 4.36. Error absoluto entre la señal emitida $t_x[n]$ y la recuperada $r_x[n]$ para ambos esquemas de transmisión en función de la presencia del CP.	111
Figura 4.37. SNR obtenida para ambos esquemas de transmisión en función de la presencia del CP, considerando los modelos A y B de canal PLC [Tonel 12] [Tonel 07].	113
Figura 4.38. Espectro de los canales estimados H sin uso de CP para los casos de estudio. ..	114

Figura 4.39. Comparativa entre la señal recuperada en el receptor $r_x[n]$ (rojo) y la transmitida originalmente $t_x[n]$ (azul) sin CP para ambos casos de estudio: sincronismo perfecto o con errores.....	115
Figura 4.40. Error absoluto entre la señal emitida $t_x[n]$ y la recuperada $r_x[n]$ sin CP para ambos casos de estudio: sincronismo perfecto o con errores.....	116
Figura 4.41. MSE entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ para diferentes errores de sincronismo sin CP.	117
Figura 4.42. Diagrama de bloques general del sistema propuesto.	118
Figura 4.43. Diagrama de bloques del receptor con FEQ.	119
Figura 4.44. Diagrama de bloques del receptor con 0-ASCET.	119
Figura 4.45. Diagrama de bloques del banco de filtros modulado por el seno (SMFB).	120
Figura 4.46. Comparación entre la señal emitida $t_x[n]$ y la señal recuperada $r_x[n]$ para ambos enfoques, el de dominio de la frecuencia (FEQ) y el 0-ASCET.....	121
Figura 4.47. Error absoluto entre la señal emitida $t_x[n]$ y la señal recuperada $r_x[n]$ en el receptor para ambos enfoques, el de dominio de la frecuencia y el 0-ASCET.	122
Figura 4.48. SNR entre la señal emitida $t_x[n]$ y la señal recuperada $r_x[n]$ en el receptor para ambos enfoques, el de dominio de frecuencia (FEQ) y el 0-ASCET.	123
Figura 5.1. Diagrama de bloques general del sistema de comunicaciones PLC.	126
Figura 5.2. Función de correlación entre pilotos recibidos y transmitidos para el algoritmo de sincronismo propuesto.....	127
Figura 5.3. Diagrama de bloques del estimador de canal propuesto en este trabajo.	128
Figura 5.4. Diagrama de bloques del igualador.	129
Figura 5.5. Diagrama de funcionamiento del correlador de ventana A.	131
Figura 5.6. Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 2048 puntos para el correlador de ventana A.	132
Figura 5.7. Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 1024 puntos para el correlador de ventana A.	132
Figura 5.8. Diagrama de funcionamiento del correlador de ventana B.	133
Figura 5.9. Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 4096 puntos para el correlador de ventana B.	134
Figura 5.10. Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 2048 puntos para el correlador de ventana B.	134
Figura 5.11. Diagrama de funcionamiento del correlador de ventana para el diseño en que no se emplea CP para la trasmisión.	135
Figura 5.12. Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 1024 puntos para ambos correladores de ventana en la transmisión sin el uso de CP.	135
Figura 5.13. Diagrama de bloques general de la arquitectura propuesta para la implementación del algoritmo de sincronismo.....	137
Figura 5.14. Esquema del proceso de eliminación del CP, y la correspondiente entrada de la señal $r[n]$ al módulo de correlación.	138
Figura 5.15. Diagrama de bloques de la arquitectura propuesta para la implementación del módulo de correlación.	139
Figura 5.16. Arquitectura propuesta para la implementación del módulo de obtención del máximo de correlación.....	141
Figura 5.17. Diagrama de bloques de la arquitectura propuesta para la implementación del módulo de inventanado y umbralización.	142

Figura 5.18. RMSE en la estimación de retardo de sincronismo para ambos canales, para una representación de coma flotante y fija del algoritmo propuesto, así como para métodos de auto-correlación.	144
Figura 5.19. Función de distribución acumulativa (CDF) del error absoluto en la estimación del retardo de sincronismo con diferentes valores de SNR, (a) 15 dB, (b) 10 dB, (c) 5 dB, (d) 0 dB, para ambos modelos A y B, para el método de auto-correlación y para las versiones en coma flotante y fija del algoritmo propuesto.	145
Figura 5.20. Diagrama de bloques del sistema FBMC propuesto para comunicaciones PLC.	146
Figura 5.21. Arquitectura propuesta para la implementación del estimador de canal.	148
Figura 5.22. Arquitectura propuesta para la implementación del igualador de canal.	149
Figura 5.23. Arquitectura unificada propuesta para los multiplicadores complejos tanto en el estimador de canal como en el igualador.	150
Figura 5.24. Arquitectura final para la simplificación unificando tanto el estimador de canal como el igualador.	151
Figura 5.25. Diferentes rangos de frecuencias de transmisión en el MAX2981.	155
Figura 5.26. Ancho de banda real obtenido del MAX2981.	156
Figura 5.27. Comparativa entre las máscaras de emisión PLC para las versiones con y sin AFE.	156
Figura 5.28. Diagrama de bloques del sistema transmisor.	157
Figura 5.29. Diagrama de bloques con los dominios de reloj definidos en la arquitectura propuesta.	158
Figura 5.30. Diagrama de bloques interno del módulo Acoplador _TX.	158
Figura 5.31. Diagrama de bloques del receptor empleado para PLC de banda ancha.	159
Figura 5.32. Diagrama de bloques de la arquitectura propuesta.	160
Figura 5.33. Señales transmitidas y recibidas a través de la red para ambos casos A y B.	161
Figura 5.34. Espectro de las señales transmitidas y recibidas, $x[n]$ y $rx[n]$, a través de la red para los casos de prueba A y B.	162
Figura 5.35. Respuesta en frecuencia del modelo de canal estimado H obtenido para ambos casos A y B.	162
Figura 5.36. Parte real de las señales transmitidas $\{S_2[n], S_3[n]\}$ y las correspondientes recuperadas $r_m[n]$ después de aplicar el estimador de canal propuesto y el igualador para el caso de prueba A.	163
Figura 5.37. Parte real de las señales transmitidas $\{S_2[n], S_3[n]\}$ y las correspondientes recuperadas $r_m[n]$ después de aplicar el estimador de canal propuesto y el igualador para el caso de prueba B.	163

Lista de Tablas

Tabla 3.1. Parámetros de los modelos de canal PLC A y B empleados.	27
Tabla 3.2. Valores de MMSE para cada valor de retardo fino en el primer ejemplo comparativo mostrado para la estimación fina.	36
Tabla 3.3. Valores de MMSE para cada valor de retardo fino en el segundo ejemplo comparativo mostrado para la estimación fina.	36
Tabla 3.4. Valores RMSE obtenidos en la sincronización basada en dos etapas para diferentes SNR en un canal B de Tonello (Tonello, et al., 2012).	38
Tabla 3.5. Porcentaje de estimaciones con error nulo en la sincronización basada en dos etapas para diferentes SNR en un canal B de Tonello (Tonello, et al., 2012).	39
Tabla 3.6. Valores RMSE en la sincronización basada en dos etapas para diferentes SNR en un canal A de Tonello (Tonello, et al., 2012).	40
Tabla 3.7. Porcentaje de estimaciones con error nulo en la sincronización basada en dos etapas para diferentes SNR en un canal A de Tonello (Tonello, et al., 2012).	42
Tabla 3.8. Valores RMSE en el sincronismo basado en una etapa para distintas secuencias (con una longitud de 359 o 360 muestras) y diferentes SNR empleando el modelo de canal A.	45
Tabla 3.9. Valores RMSE en el sincronismo basado en una etapa para distintas secuencias (con una longitud de 359 o 360 muestras) y diferentes SNR empleando el modelo de canal B.	47
Tabla 3.10. Porcentaje de estimaciones de sincronismo con error nulo según el algoritmo propuesto basado en una sola etapa con cada secuencia y para diferentes SNR en ambos canales A y B.	49
Tabla 3.11. Valores de cota para las correlaciones obtenidas.	53
Tabla 3.12. SMR obtenidos para tipo de configuración presentada.	58
Tabla 3.13. Valores RMSE en la sincronización para los distintos esquemas de correlación analizados.	59
Tabla 3.14. Valores de SMR para los esquemas de correlación presentados para el algoritmo de sincronismo.	65

Tabla 3.15. Comparativa de los valores RMSE obtenidos en el módulo de sincronismo para ambos modelos de canal.....	66
Tabla 3.16. Comparativa de los valores CDF obtenidos en el módulo de sincronismo para ambos modelos de canal.....	68
Tabla 4.1. Valor MSE obtenido para el igualador Zero Forcing con distintas SNR.	75
Tabla 4.2. Valor MSE obtenido para el igualador MMSE con varianza con distintas SNR.	76
Tabla 4.3. Valor MSE obtenido para el igualador MMSE con SNR con distintas SNR. .	77
Tabla 4.4. Valor MSE obtenido para cada tipo del igualador estudiado previamente para distintos valores de SNR.....	78
Tabla 4.5. Valor MSE obtenido con el estimador de canal por matriz de auto-correlación.	85
Tabla 4.6. Valor MSE obtenido con el estimador de canal basado en el método de correlación de los símbolos piloto.	88
Tabla 4.7. Valor MSE entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ obtenido con el estimador de canal propuesto en función de SNR.	99
Tabla 4.8. Comparativa en función del SNR de los valores MSE obtenidos por distintos estimadores de canal, incluyendo el propuesto en este trabajo.	99
Tabla 4.9. Valores MSE entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ para diferentes errores de sincronismo.	106
Tabla 4.10. Parámetros de los modelos A y B de canal PLC empleados (Tonello, et al., 2012) (Tonello, 2007).	112
Tabla 4.11. Valor MSE obtenido entre la señal recuperada en el receptor $r_x[n]$ y la transmitida originalmente $t_x[n]$ con el estimador de canal propuesto sin prefijo cíclico.	112
Tabla 4.12. Comparativa de los valores MSE entre la señal recuperada en el receptor $r_x[n]$ y la transmitida originalmente $t_x[n]$ con y sin CP.	112
Tabla 4.13. SNR obtenidos para ambos canales con y sin CP para distintas SNR.	113
Tabla 4.14. Valores MSE para diferentes errores de sincronismo sin CP.	117
Tabla 4.15. Valores MSE entre la señal transmitida $t_x[n]$ y la señal recuperada $r_x[n]$ obtenido con el estimador de canal 0-ASCET.	121
Tabla 4.16. Comparativa de los valores MSE de cada estimador de canal.....	121
Tabla 5.1. Valores SMR obtenidos para cada correlación cruzada de la trama recibida con los símbolos piloto para los correladores de ventana presentados para diferente tamaño de puntos de la FFT.	136
Tabla 5.2. Consumo de recursos del algoritmo de sincronismo propuesto tras su implementación en una FPGA XC7K325T.	142
Tabla 5.3. Consumo de recursos detallado del algoritmo de sincronismo en la FPGA XC7K325T.	142
Tabla 5.4. Error de cuantificación relativo de las señales principales del diseño propuesto.	143
Tabla 5.5. Consumo de recursos y porcentaje de utilización para el sistema propuesto implementado en una FPGA kynthex XC7K325T.	151
Tabla 5.6. Rendimiento de la FFT según el ratio de paralelismo R_p.....	152

Tabla 5.7. Error de cuantificación en las señales más relevantes del estimador de canal y del igualador debido a la representación en coma fija.....	153
Tabla 5.8. Representación en coma fija de las principales señales en la arquitectura propuesta.	153
Tabla 5.9. Señales de control y bus de datos del dispositivo MAX2981.....	154
Tabla 5.10. Consumo de recursos y porcentaje de utilización para el sistema propuesto implementado en una FPGA VIRTEX5 XC5VLX50T.	159
Tabla 5.11. Consumo de recursos detallado del sistema en la FPGA XC7K325T.....	160
Tabla 5.12. Relación señal-ruido (SNR) de las señales recuperadas para los escenarios de prueba A y B.	164

Lista de Acrónimos

AFE	Analog Front End
CDF	Cumulative Distribution Function
CMFB	Cosine Modulated Filter Bank
CP	Cyclic Prefix
CSS	Complementary Sequence Set
CORDIC	COordinate Rotation Digital Computer
DCT	Discrete Cosine Transform
DFT	Discrete Fourier Transform
DMT	Discrete Multitone Modulation
DSP	Digital Signal Processor
DTT	Discrete Trigonometric Transform
FBMC	Filter Bank Modulated Cosine
FFT	Fast Fourier Transform
FPGA	Field-Programmable Gate Array
ICI	Inter-Carrier Interference
IDFT	Inverse Discrete Fourier Transform
IFFT	Inverse Fast Fourier Transform
ISI	Inter-Symbol Interference
LS	Least Squares
MMSE	Minimum Mean Square Error
MSE	Mean Square Error

OFDM	Orthogonal Frequency-Division Multiplexing
PLC	Power Line Communication
RMSE	Root Mean Square Error
SMFB	Sine Modulated Filter Bank
SMR	Sidelobe to Mainlobe Ratio
SNR	Signal to Noise Ratio
ZF	Zero Forcing

Capítulo 1

Introducción

A lo largo de la historia, el hombre se ha visto acompañado por los sistemas de comunicación, desde los más simples como los gestos corporales, hasta las modernas técnicas de comunicación digital, que hoy en día siguen evolucionando. Dentro de este enorme abanico, el sistema eléctrico forma una red que enlaza miles de hogares, empresa, instituciones públicas, por mencionar algunas. Esta red, que podría ser la más grande a nivel mundial, ha dado origen a una nueva tecnología de transmisión de datos conocida como *Power Line Communication* (PLC), la cual es un área de investigación muy atractiva y potencialmente conveniente para la transmisión de datos a tasas elevadas sobre una infraestructura ya existente.

La tecnología PLC representa un reto a la hora de transmitir datos a través de un medio que fue originalmente diseñado para la distribución de energía eléctrica y no para la transmisión de datos. Algunas de las principales desventajas que presenta este tipo de medio de comunicación, que en cierta forma lo conforman como uno de los peores canales de comunicación, son la presencia de ruido impulsivo, así como otros tipos de ruidos, además de tratarse de un canal variante en el tiempo. Para que los receptores puedan combatir los efectos nocivos de los canales hay que dotarlos de dispositivos y técnicas adecuadas.

Todos los problemas que se han mencionado degradan la señal. La naturaleza aleatoria que poseen hacen que, aunque se pueda encontrar un modelo bastante

preciso para describir sus parámetros, éstos son difíciles de determinar debido a que cambian con el tiempo. Esto obliga a utilizar en los receptores técnicas adaptativas que sean capaces de aprender las características del canal y seguir sus variaciones temporales.

En la presente tesis se abordan tres problemas fundamentales en la comunicación PLC de banda ancha. Uno es la sincronización entre el transmisor y receptor, siendo el más importante debido a la complejidad que conlleva para la posterior demodulación de los datos emitidos. Los otros dos, aunque se estudien por separado, se consideran dependientes. Uno de ellos es la eliminación de la interferencia inter-símbolo (ISI, *Inter-Symbol Interference*) mediante el uso de igualadores simples para compensar la degradación que sufre cualquier señal sobre el canal PLC. El segundo de ellos es la estimación de canal: siendo ésta necesaria en la etapa de igualación, la obtención de un modelo lo más parecido posible al canal de transmisión mejora significativamente la recuperación de la señal emitida.

Por último, el empleo de dispositivos FPGAs (*Field-Programmable Gate Arrays*) facilita la posible implementación de cualquiera de estos algoritmos debido a su versatilidad y elevado grado de paralelismo, características éstas fundamentales para el diseño de arquitecturas orientadas a la implementación en tiempo real de las técnicas de sincronismo y estimación e igualación de canal en comunicaciones PLC. Se trata pues de un aspecto fundamental de este trabajo, donde las propuestas superarán el ámbito teórico para entrar en la definición de arquitecturas hardware eficientes para su implementación.

1.1 Contexto de la Tesis

El trabajo realizado en esta tesis ha sido desarrollado en el Grupo de Investigación GEINTRA (Grupo de Ingeniería Electrónica Aplicada a Espacios Inteligentes y Transporte), bajo el marco de la investigación de dos proyectos públicos: Arquitecturas eficientes basadas en SoCs para nuevas técnicas de acceso al medio en comunicaciones de última generación (DISSECT-SOC), 2013-2015; y Arquitecturas eficientes en SoCs para tecnologías de capa física fiables en comunicaciones sobre redes eléctricas (SOC-PLC), 2016-2018. Ambos han sido subvencionados por el Ministerio de Economía y Competitividad (ref. TEC2012-38058-C03-03 y ref. TEC2015-64835-C3-2-R, respectivamente).

El objetivo principal de ambos proyectos es buscar técnicas de acceso al medio para comunicaciones de banda ancha, así como la definición de arquitecturas eficientes basadas en FPGA para acometer su implementación en tiempo real. En esta tesis se aborda en mayor medida la problemática que existe al realizar la sincronización entre emisor y receptor, y la posterior estimación de canal e igualación de canal para recuperar los datos transmitidos. Se proponen diferentes algoritmos con el fin de

evaluar el comportamiento frente a señales reales sin dejar de lado una futura implementación en un dispositivo FPGA, así como diferentes tipos de arquitecturas para que estos algoritmos que sean capaces de trabajar en tiempo real, llegando a una relación de compromiso entre consumo de recursos y rendimiento general del sistema.

1.2 Estructura de la Tesis

Atendiendo a la descripción general proporcionada anteriormente, el documento de esta tesis se ha dividido en los siguientes capítulos:

- Capítulo 2: “Estado del arte”. Se analizan los trabajos previos existentes en el ámbito del sincronismo y la estimación e igualación de canal para comunicaciones banda ancha. Se evalúan las distintas alternativas, así como su posible adecuación a las comunicaciones PLC, de forma que sea posible establecer en los capítulos sucesivos una serie de aportaciones al estado de la cuestión. Estas aportaciones constituyen el núcleo de este trabajo.
- Capítulo 3: “Sincronismo”. En este capítulo se expone el problema de la sincronización entre el emisor y el receptor. El canal PLC presenta un fuerte multicamino, además de diferentes tipos de ruido, siendo los más característicos el ruido impulsivo síncrono y asíncrono. Éste dificulta realizar una sincronización precisa, por lo que se plantea el uso de secuencias como símbolos pilotos, estudiando la secuencia con la que mejores resultados se obtienen.
- Capítulo 4: “Estimación e Igualación de canal”. Este capítulo presenta diferentes estimadores e igualadores de canal presentes en la literatura, realizando un estudio de las prestaciones y desventajas de cada uno. Se propone un nuevo estimador de canal, el cual es capaz de eliminar parte del ruido añadido durante el canal PLC. Igualmente se escoge un igualador en frecuencia por su simplicidad y fácil implementación. Además, el conjunto de ambos consigue corregir errores causados en la etapa de sincronización para una correcta entrada al demodulador.
- Capítulo 5: “Implementación y Pruebas Experimentales”. En este capítulo se presentan los diagramas de bloques de las arquitecturas eficientes propuestas para la implementación en tiempo real de los bloques referentes a la etapa de sincronismo y al conjunto de estimación e igualación de canal. Además, se expone el AFE empleado en la capa física del sistema para el desarrollo de las pruebas experimentales, observando las limitaciones que deben tenerse en cuenta para el diseño del transmisor y del receptor PLC en la FPGA. Por último, se realizan pruebas experimentales con el sistema implementado y el canal PLC para obtener los resultados reales oportunos.

- Capítulo 6: “Conclusiones y Trabajos Futuros”. Se expondrán las conclusiones obtenidas del desarrollo de esta tesis, incluyendo las referencias a las publicaciones derivadas de la misma. Para finalizar, se expondrán las posibles trayectorias que se podrán continuar como trabajos futuros.

Capítulo 2

Estado del Arte

2.1 Comunicaciones PLC (*Power Line Communications*)

La tecnología Power Line Communication (PLC), o comunicación a través de la red eléctrica, es el nombre que se ha dado a la transmisión de datos en banda estrecha o en banda ancha, usando como medio físico de transmisión a la red eléctrica. El objetivo de usar PLC consiste en aprovechar la infraestructura existente de la red eléctrica para transmitir señales de baja frecuencia (50 o 60 Hz, según el país), encargadas de la distribución de potencia, y señales de mayor frecuencia para los datos, ambas circulando a través del mismo cable. La tecnología PLC utiliza portadoras dependiendo en qué aplicación en particular sea utilizada. En el caso de la presente tesis, se trata de una aplicación de banda ancha, por lo cual se utiliza una portadora que puede llegar hasta los 62,5 MHz [Poude 14].

El uso de las líneas para la transmisión de datos no es algo novedoso, desde hace unos años se han usado las líneas eléctricas para la transmisión de datos. Lo novedoso de esta tecnología es la tasa de transferencia lograda hoy en día de hasta 1Gbps en una red de área local [Maiga 09].

2.1.1 Ventajas y limitaciones de las comunicaciones PLC

Entre las ventajas que presenta PLC se encuentran las siguientes [Huido 03]:

- **Infraestructura existente:** dicha infraestructura consiste en las líneas eléctricas de baja y media tensión.
- **Facilidad de acceso:** se necesita únicamente un enchufe para que exista conexión. Esto hace posible el acceso de más usuarios a los servicios utilizando PLC.
- **Alta velocidad:** la velocidad disponible en PLC va creciendo día a día. Se estima que pronto alcanzará los 200Mbps.
- **Coste reducido:** al no requerir infraestructura adicional los costos se reducen considerablemente. El costo se centra principalmente en los equipos que se adquieran.
- **Elevada escalabilidad:** las redes PLC son capaces de crecer y adaptarse a cambios sin perder la calidad de los servicios que brinda [Forou 06].

Así como se ha hablado de algunas de las ventajas que presenta las comunicaciones PLC, también es posible encontrar algunas limitaciones. Entre las principales limitaciones y sus posibles soluciones se pueden citar las siguientes [Hrasn 04].

Características del canal de transmisión PLC: las redes de suministro eléctrico de bajo voltaje no han sido diseñadas para funcionar como una red de transporte de datos, por lo que su uso para dicho cometido puede no resultar muy favorable.

Las redes eléctricas están diseñadas de forma asimétrica, debido a que los lugares donde llega el suministro eléctrico pueden tener diversas localizaciones. Por otro lado, los cables por donde son enviados los datos atraviesan diversos cables que cuentan con diferentes impedancias. Esto trae como consecuencia una serie de reflexiones que producen una propagación multicamino. Todo esto ocasiona una fuerte atenuación de la señal a una distancia no muy larga (una distancia alrededor de 300m por lo general).

Compatibilidad electromagnética: muchas veces se pueden utilizar para la transmisión de banda ancha frecuencias superiores a los 30MHz. Dichas frecuencias no se encuentran dentro del rango aprobado por el comité europeo de normalización electrotécnica [CENEC 07]. Esto se debe a que la red PLC puede interferir con algunos servicios de radio de onda corta, como puede ser la radio aficionado, así como con diversos servicios públicos, militares e incluso de control de vuelos, los cuales pueden verse afectados negativamente. Esto trae como problema que la transmisión de datos por medio de la red PLC deba darse a una potencia menor, lo cual la hace más sensible al ruido que haya alrededor.

Impacto de las interferencias y efecto en la tasa de transmisión: dentro de una red PLC puede haber interferencias causadas por diversas fuentes. Entre dichas fuentes pueden encontrarse servicios que operan por debajo de la frecuencia de 30MHz, así como artefactos conectados a la misma red PLC. Una solución a la distorsión de la señal es la utilización de los códigos de corrección de error, como el FEC (*Forward Error Correction*) y el ARQ (*Automatic Repeat reQuest*). Por otro lado, la utilización de dichos códigos puede limitar en cierta forma la capacidad de transmisión, y junto con las limitaciones causadas por los requerimientos de la compatibilidad electromagnética, hacen que las tasas de transmisión disponibles alcancen un valor máximo de 2 a 4Mbps. Además de esto, la tasa disponible por usuario puede ir disminuyendo conforme aumenta el número de usuarios que van a utilizar la red PLC.

2.1.2 Características del canal PLCs

El canal PLC presenta ciertas características que hacen especialmente importante el diseño de técnicas robustas de sincronismo, especialmente al emplear técnicas de modulación basadas en multiportadora, sensibles a los errores de sincronismo. Las reflexiones producidas en la línea por los cambios de impedancia, así como la conexión y desconexión de aparatos eléctricos en la red, hace que la respuesta impulsiva del canal presente un fuerte multicamino que, dependiendo de las condiciones, puede hacer que el primer tap no coincida con el de máxima potencia. Asimismo, el ruido impulsivo producido por fuentes conmutadas y rectificadores y la conexión/desconexión de aparatos a la red eléctrica hacen especialmente hostil al canal PLC [Zimme 02] [Tonel 12].

La Figura 2.1 muestra una realización del canal PLC presentado en [Galli 08] [Tonel 12] por A.M.Tonello, en la que puede observarse el fuerte multicamino y la elevada duración del canal.

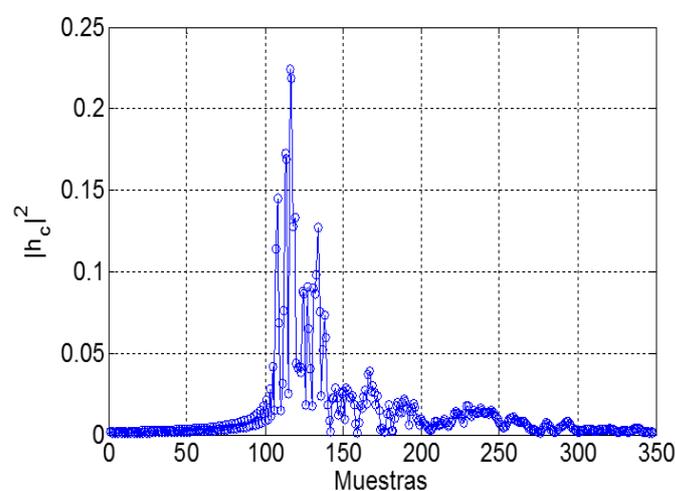


Figura 2.1. Respuesta impulsiva del canal PLC según [Tonel 12].

De acuerdo a [Pavli 03], en un canal PLC se distinguen 4 tipos de ruido, además del ruido blanco Gaussiano:

- **Ruido de fondo o coloreado.** Es el resultado de sumar todas las fuentes de ruido de baja potencia.
- **Ruido periódico impulsivo.** Son señales periódicas de corta duración y gran potencia. Por ejemplo, fuentes de potencia conmutadas.
- **Ruido de banda estrecha.** Se compone por señales sinusoidales con modulación en amplitud (estaciones de radio, señales de televisión, etc).
- **Ruido impulsivo asíncrono.** Ruido producido en el cambio de estado de un sistema, como puede ser el poner en marcha algún aparato eléctrico, que genera señales de corta duración y alta potencia. Es el más difícil de eliminar debido a que no presenta un patrón claro.

Por otra parte, a diferencia del canal inalámbrico en el que debe tenerse en cuenta el efecto Doppler, en el canal PLC este efecto puede descartarse y por tanto usar técnicas de sincronismo basadas en la correlación cruzada, en vez de las técnicas basadas en la auto-correlación, como se emplean fundamentalmente en el canal inalámbrico debido a su mayor robustez a desplazamientos en la frecuencia de la portadora [Minn 03]. Estas técnicas de correlación cruzada se basan en el envío de varios símbolos del preámbulo repetidos y separados por un número de muestras conocidas, de modo que en el receptor se realiza la siguiente métrica $A[n]$ (1):

$$A[n] = \frac{N_s}{N_s - 1} \cdot \left(\frac{|P[n]|}{E[n]} \right)^2 \quad (1)$$

donde N_s es el número de símbolos del preámbulo repetidos; y $P[n]$ y $E[n]$ son iguales a (2)(3):

$$P(n) = \sum_{q=0}^{L-2} \sum_{m=0}^{M-1} r^*(n + qM + m) \cdot r(n + (q + 1)M + m) \quad (2)$$

$$E(n) = \sum_{i=0}^{M-1} \sum_{q=0}^{L-1} |r(n + i + qM)|^2 \quad (3)$$

Donde $r[n]$ es igual a la señal recibida; $r^*[n]$ es el conjugado de $r[n]$; y M es la duración del símbolo en muestras. El offset del retardo estimado es determinado cuando la métrica $A[n]$ obtiene su valor máximo.

2.1.3 Técnicas de acceso al medio para PLC

Los sistemas basados en PLC presentan algunas limitaciones a mejorar con el fin de aumentar su robustez en su aplicación. Una de estas limitaciones reside en la técnica de acceso al medio, donde la mayoría de trabajos previos se ha centrado en modulación multiportadora (MCM, *Multi-Carrier Modulation*) [Cruz 11]. MCM permite que el

rendimiento y la eficiencia del espectro sean mejorados mediante la división del ancho de banda disponible en subcanales por donde se transmiten los datos. Diferentes técnicas MCM se han propuesto con éxito para PLC, dependiendo de cómo se lleva a cabo la división de subcanal. Algunas de las más relevantes son las basadas en Transformada Trigonométrica Discreta (DTT, *Discrete Trogonometric Tranform*) [Hwang 09], o las basadas en bancos de filtros (FBMC, *Filter-Bank Multi-Carrier*) [Farha 14]. En cualquier caso, independientemente de la técnica de acceso al medio considerada, todos los enfoques requieren un método de sincronismo adecuado y fiable entre los transmisores y receptores, con el fin de ser capaz de lograr el rendimiento esperado, evitando así la interferencia entre símbolos (ISI, *Inter-Symbol Interference*) y la interferencia entre portadoras (ICI, *Inter-Carrier Interference*) [Fazel 08].

Uno de los grandes problemas que presenta cualquier sistema de transmisión es la dificultad que existe a la hora de sincronizar los datos emitidos con los que se reciben en el receptor para poder aplicar una perfecta demodulación. El problema de la sincronización ha sido ampliamente considerado en trabajos previos para técnicas de múltiples portadoras, como DMT (*Discrete Modulation Tone*) [Polle 99], FBMC [Stitz 10], o OFDM (*Orthogonal Frequency Division Multiplexing*) [Schmi 97] [Willi 05] para comunicaciones inalámbricas.

Son varios los algoritmos propuestos para realizar la sincronización en el receptor, siendo los más conocidos los propuestos en [Kisho 06] (basado en una métrica de correlación cruzada), y en [Schmi 97] (basado en una métrica de auto-correlación). En [Guffe 07], se realiza un estudio comparativo de ambos métodos. En los dos casos, la idea básica consiste en realizar una correlación entre la señal recibida y los símbolos de la trama, el cual es conocido por el receptor. Cuando se obtiene un valor alto de la correlación se detectará el comienzo de la trama, pudiéndose identificar los símbolos OFDM de la trama en el receptor.

Sin embargo, para PLC de banda ancha hay un número reducido de trabajos que se ocupan de la sincronización en tal escenario, donde algunas características del canal PLC, como el desvanecimiento de frecuencia selectivo, la longitud del canal y los modelos de ruido, deben considerarse [Corte 10]. La mayor parte de la investigación realizada para PLC se centró en la implementación de OFDM propuesta en la norma IEEE 1901-2010 [IEEE 10].

En esos trabajos utilizan la auto-correlación como técnica de sincronismo, que consiste en la transmisión de símbolos repetidos y correlar la señal recibida consigo misma en busca de los símbolos consecutivos en el receptor. Esta métrica es útil para las comunicaciones inalámbricas, ya que aumenta la robustez al efecto Doppler, pero sufre las condiciones específicas del canal PLC. Estas técnicas de auto-correlación consideran el pico máximo obtenido como el comienzo del símbolo [Chen 11] [Marqu 10]. Esto no puede ser admisible en la práctica debido al multicamino que presenta el

canal PLC y, por lo tanto, el primer camino que llega puede ser de menor energía [Tlich 15]. Además del efecto que causa el multicamino, también se debe tener en cuenta la elevada duración efectiva del canal PLC, así como la caracterización del ruido del canal en ruido de fondo y en tres tipos de ruido impulsivo [Corte 10]. Ésta es la razón por la cual los esfuerzos de investigación adicionales deben centrarse en la propuesta y desarrollo de algoritmos de sincronización adecuados para MCM en comunicaciones PLC.

Además de la necesidad de realizar un sincronismo previo de los datos, también es adecuado realizar una estimación y posterior igualación del canal de comunicaciones, debido al ruido y la distorsión causada por la transmisión por el canal PLC. La mayoría de las propuestas disponibles en la literatura exponen el problema de la estimación de canal y la igualación desde un punto de vista muy teórico, sin considerar futuras implementaciones en tiempo real, haciendo más complejo migrar estos algoritmos a la tecnología actual.

Se encuentra disponible una relevante investigación reciente llevada a cabo en el área de estimación e igualación de canales para comunicaciones inalámbricas. En [Beek 95] se proporciona una primera aproximación para sistemas OFDM inalámbricos con un canal de radio de desvanecimiento rápido. Además, en [Coler 02] se propone una estimación de canal basada en pilotos tipo peine utilizando LS (*Least Squares*) y LMS (*Least Mean Squares*). Por otro lado, la estimación de los momentos de segundo orden de los parámetros del canal y el ruido también se basa en el LMS en [Dietr 06]. Desde el punto de vista de la igualación de canal, el tema ha sido ampliamente descrito en [Chiue 08], con definiciones estándar para igualadores.

En las comunicaciones inalámbricas, se utiliza una amplia gama de códigos pseudoaleatorios, secuencias complementarias o códigos Zadoff-Chu como señales piloto para fines de sincronización y estimación de canales [Spaso 01][Sesia 11]. No obstante, el canal PLC presenta algunas particularidades que deben abordarse cuidadosamente, evitando así la aplicación directa de técnicas de estimación bien establecidas a partir de sistemas inalámbricos. Por ejemplo, el ruido del canal PLC no se puede modelar como ruido blanco gaussiano, y típicamente se ve afectado por ciertos tipos de ruido coloreado e impulsivo, que se resuelven mediante diferentes técnicas de estimación y mitigación de canales [Zamir 03] [Al 11] [Peter 14]. Entre ellos, la mayoría de los trabajos anteriores han propuesto igualadores de subcanal basados en FIR [Farha 14] [Bellan 10] para canales de PLC.

El uso del igualador ASCET (*Adaptive Sine-modulated/Cosine-modulated filter bank Equalizer for Transmultiplexers*), con ruido blanco gaussiano y ruido típico en PLC, se estudia en [Pinto 15]. Desde el punto de vista de igualadores de canal, el tema ha sido ampliamente descrito en [Chiue 08] también.

2.2 Técnicas de codificación

En esta tesis, el uso de secuencias desempeña uno de los papeles más importantes, debido a que gracias a ellas se realiza la sincronización entre emisor y receptor del sistema de comunicaciones, y además se emplean como símbolos pilotos para obtener una estimación de canal precisa y eliminar el efecto que añade éste en la transmisión, así como para eliminar parte del ruido que añade el canal PLC.

A continuación, se presentan diferentes tipos de secuencias que pueden ser utilizadas para los fines descritos, junto a las ventajas en la correlación que presentan cada una de ellas para realizar la sincronización en el receptor.

2.2.1 Conjuntos complementarios de secuencias multinivel (CSS)

Los conjuntos complementarios de secuencias multinivel presentan propiedades de correlación ideales, de manera que un conjunto de K secuencias $s_{j,i}$; $0 \leq j$ and $i \leq K-1$ es un conjunto complementario de secuencias (CSS, *Complementary Set of Sequences*) si la suma de sus funciones de auto-correlación aperiódica $C_{s_{j,i}}$ es una delta de Kronecker [Garcí 13], de acuerdo con (4).

$$\sum_{i=0}^{K-1} C_{s_{j,i}}[n] = \eta \cdot \delta[n]; \quad 0 \leq j \leq K-1; \quad \eta \in \mathbb{R} - \{0\} \quad (4)$$

Dos CSS están incorrelados si la suma de las funciones de correlación cruzada aperiódica $C_{s_{j,i}s_{j',i'}}$ entre las secuencias $s_{j,i}$ y $s_{j',i'}$ de ambos conjuntos, es cero para cualquier desplazamiento (5).

$$\sum_{i=0}^{K-1} C_{s_{j,i}s_{j',i'}}[n] = 0; \quad 0 \leq j \neq j' \leq K-1 \quad (5)$$

Donde K es el número máximo de CSS incorrelados existentes e igual al número K de secuencias en el conjunto. La Figura 2.2 muestra el resultado de la auto-correlación y de la correlación cruzadas entre las secuencias complementarias multinivel con una longitud de 360 bits.

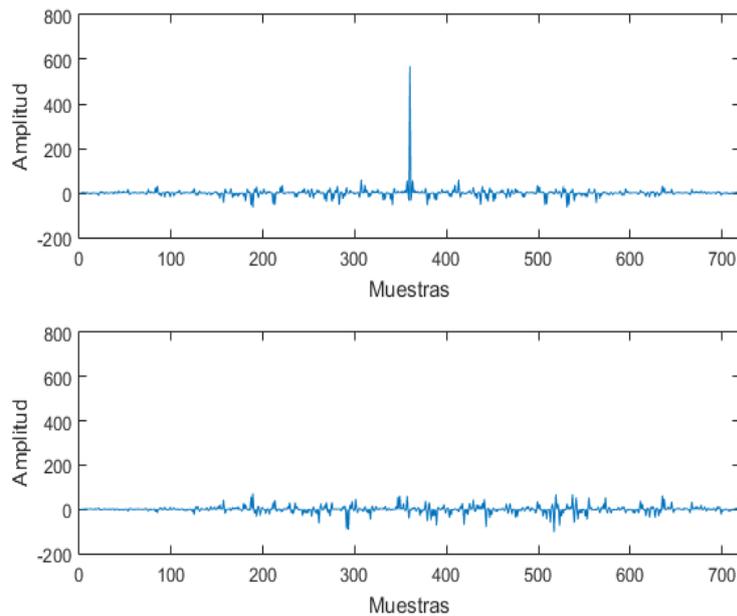


Figura 2.2. Auto-correlación (arriba) y correlación cruzada (abajo) de los conjuntos complementarias de secuencias multinivel.

2.2.2 Secuencias caóticas

Se basan en el empleo de un mapa logístico debido a su simplicidad [García 15]. Este mapa es una función unidimensional discreta diseñada para modelar el crecimiento de la población. Se expresa como se indica en (6).

$$x[t] = \mu \cdot (1 - x[t - 1]) \cdot x[t - 1]; \quad 0 < x < 1 \quad (6)$$

Donde μ es un parámetro cuyo valor debe ser $3.45 < \mu < 4$ para obtener un comportamiento caótico. Una ligera variación de la condición inicial implica un comportamiento completamente diferente.

La Figura 2.3 muestra el resultado de la auto-correlación entre las secuencias caóticas con una longitud de 360 datos, observándose que tiene forma de pirámide debido a que no se han umbralizado la salida del generador de secuencias y se ha realizado la auto-correlación con la secuencia en bruto.

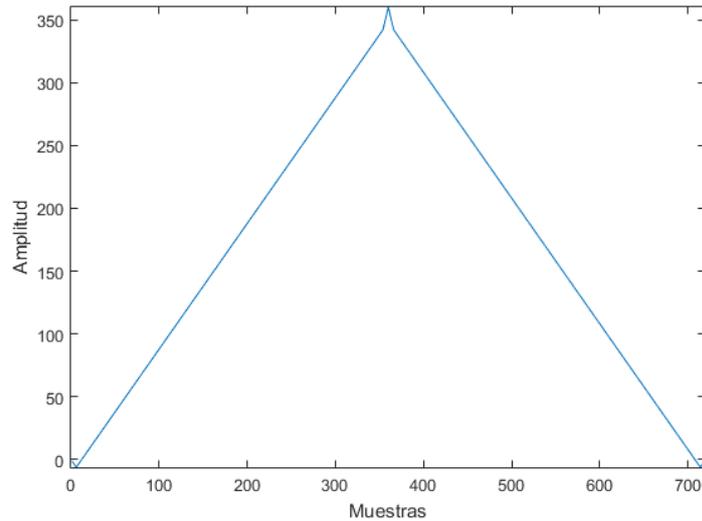


Figura 2.3. Auto-correlación de una secuencia caótica a modo de ejemplo.

2.2.3 Secuencias Thue-morse

Son secuencias binarias balanceadas y generadas copiando la negación binaria de los bits iniciales [Allou 00], cuya secuencia de generación es (7).

$$\prod_{i \geq 0} (1 - X^{2^i}) = \sum_{j \geq 0} (-1)^{t_j} X^j \quad (7)$$

Donde t_j es el j -ésimo elemento si se comienza en $j=0$. De esta forma, el primer elemento es 0 y una vez que se han especificado los primeros 2^n elementos, formando una cadena, entonces los siguientes 2^n elementos deben formar la negación a nivel de bit de la cadena. Ahora se han definido los primeros 2^{n+1} elementos y se repite la operación. De esta forma se obtiene (8).

$$\begin{aligned} T_0 &= 0; \\ T_1 &= 01; \\ T_2 &= 0110; \\ T_3 &= 01101001; \\ T_4 &= 0110100110010110; \end{aligned} \quad (8)$$

La Figura 2.4 muestra el resultado de la auto-correlación a modo de ejemplo de una secuencia Thue-morse con una longitud de 360 datos.

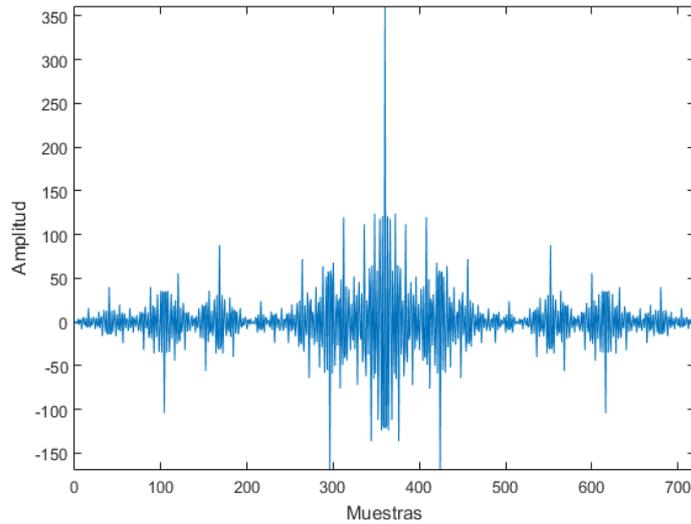


Figura 2.4. Auto-correlación de una secuencia Thue-morse.

2.2.4 Secuencias Legendre

Son secuencias con auto-correlación periódica favorable y existen para cualquier longitud N primo [Habob 11]; por tanto, existen para un mayor número de longitudes. La ecuación de generación [Zierl 58] para este tipo de secuencias se presenta en (9).

$$l[0] = 1$$

$$l[n] = \begin{cases} 1 & \text{si } n \text{ es un cuadrado} \\ -1 & \text{si } n \text{ es no cuadrado} \end{cases} \quad (9)$$

La Figura 2.5 muestra el resultado de la auto-correlación de una secuencia Legendre de 359 bits.

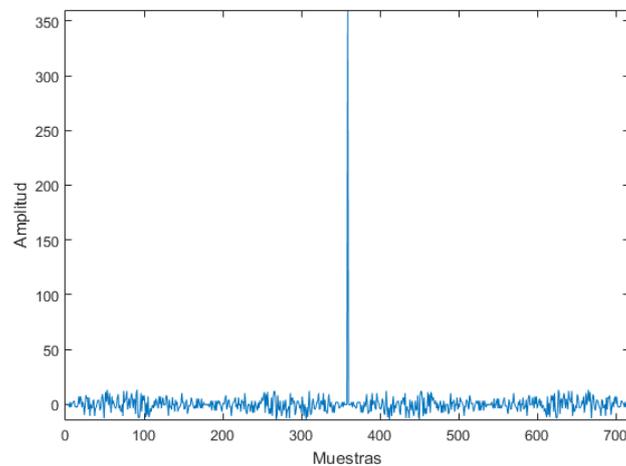


Figura 2.5. Auto-correlación de una secuencia Legendre de 359 bits a modo de ejemplo.

2.2.5 Secuencias Zadoff-Chu

De manera similar a las secuencias complementarias, las secuencias de Zadoff-Chu presentan otras propiedades que se hacen relevantes cuando se realizan correlaciones cruzadas [Chu 72]. Las secuencias de Zadoff-Chu son códigos no binarios con una amplitud igual a 1. Tienen una función de correlación nula entre una secuencia determinada $s_q[n]$ y una versión circularmente desplazada de ella, $s_q[n + \Delta]$, excepto cuando están alineadas ($\Delta = 0$), donde N es la longitud de la secuencia mencionada s_q (10) y $0 \leq q \leq N-1$ es el número de secuencias con bajos valores de correlación cruzada.

$$\sum_{n=0}^{N-1} s_q[n]s_q^*[n + \Delta] = \begin{cases} 1 & \Delta = 0 \\ 0 & \Delta \neq 0 \end{cases} \quad (10)$$

Donde s_q^* es el conjugado complejo de s_q .

Seleccionando un número primo para la longitud N , el número de secuencias que proporcionan un valor mínimo en la correlación cruzada es igual a $N-1$. Además, si se requiere una longitud no prima, es posible generar otra secuencia por truncamiento o expansión cíclica mientras se mantienen las propiedades sobre la amplitud constante y la auto-correlación cíclica nula.

Finalmente, otra propiedad a destacar es que la Transformada de Fourier Discreta (DFT, *Discrete Fourier Transform*) de una secuencia de Zadoff-Chu es otra secuencia desplazada cíclicamente, lo que implica que pueden generarse tanto en el dominio del tiempo como en el de la frecuencia. Esta característica es relevante ya que el procesamiento a menudo requiere trabajar en el dominio de la frecuencia, por lo que las propiedades de correlación de estas secuencias no se pierden con el cambio de dominio. La Figura 2.6 muestra el resultado de la auto-correlación de una secuencia Zadoff-Chu a modo de ejemplo.

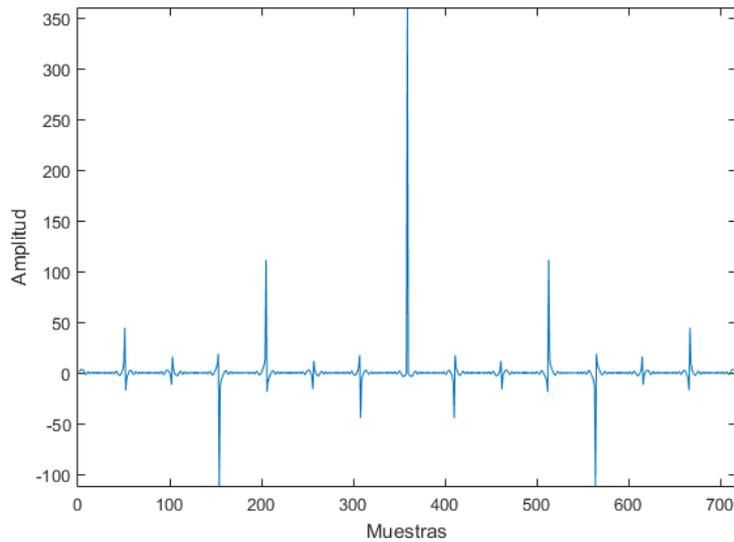


Figura 2.6. Auto-correlación de una secuencia Zadoff-Chu de 359 bits.

2.2.6 Secuencias Huffman

Las secuencias de Huffman se propusieron como secuencias reales/complejas con funciones de auto-correlación aperiódica casi perfectas. Dado un polinomio con raíces R expresado en el dominio Z como se muestra en (11), representa una secuencia de Huffman si sus raíces se eligen de modo que estén distribuidas uniformemente en el plano complejo (es decir, a intervalos angulares iguales), con cada uno de los ceros ubicados ya sea en un círculo de radio A o uno de radio $A-1$. Para obtener secuencias reales de Huffman, los ceros del polinomio deben aparecer en pares conjugados, en otros casos serán polifásicas.

$$S[z^{-1}] = s_0 + s_1 \cdot z^{-1} + \dots + s_R \cdot z^{-R} \quad (11)$$

La Figura 2.7 muestra el resultado de la auto-correlación entre las secuencias Huffman de una longitud de 360 bits.

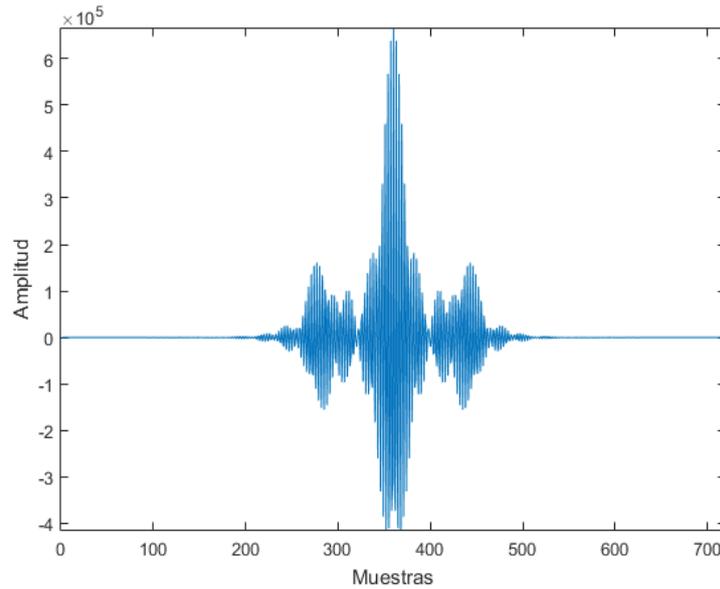


Figura 2.7. Auto-correlación a modo de ejemplo de una secuencia Huffman de 360 bits.

2.3 Arquitecturas eficientes para sistemas de comunicación PLC

En términos generales, es relevante tener en cuenta que muchas propuestas anteriores, no solo para la sincronización, pero también para las técnicas de acceso de varios operadores, implican un desafío de una implementación en tiempo real [Berg 14a] [Mefen 13]. A menudo manejan altas velocidades de datos, que requieren arquitecturas paralelas de procesamiento de señal y una cierta conexión a convertidores y sensores digitales.

Los cálculos masivos requeridos y la restricción en tiempo real a menudo implican que los procesadores de propósito general deben descartarse como la base de la arquitectura. Los dispositivos FPGA se han convertido en una alternativa tecnológica factible para aquellas aplicaciones en las que se deben crear instancias de rutas de datos múltiples y paralelas para el procesamiento intensivo de datos [Garri 17][Meyer 07] [Pham 13]. Además, los dispositivos FPGA recientes también incluyen procesadores de alto rendimiento, lo que permite el desarrollo de arquitecturas SoC (System-on-Chip) [Sapon 12]. Particularmente para los enfoques de múltiples usuarios, algunos trabajos previos ya han propuesto la implementación de arquitecturas basadas en FPGA [Schne 11][Poude 16][Moham 10][Haene 08][Alimo 14].

Muchas propuestas en la literatura ya han abordado el problema de la estimación e igualación de canales, no solo desde un punto de vista teórico, sino también considerando cuestiones de complejidad. Sin embargo, otro aspecto interesante es la viabilidad de su implementación en tiempo real, lo que limita su aplicabilidad con la tecnología actual. La mayoría de ellos implica un procesamiento

masivo y paralelo a altas frecuencias (comúnmente en el rango de MHz). Por lo tanto, un diseño cuidadoso de la estimación e igualación del canal para su implementación se convierte en un aspecto clave para futuras investigaciones [Schne 11][Lin 10].

En [Yan 07][Duc 09][Douka 06], se emplea un procesador DSP (*Digital Signal Processor*) con los algoritmos del esquema OFDM y se evalúan bajo una simulación de un canal AWGN (Additive White Gaussian Noise). Además, en [Douka 06] proponen una técnica para optimizar la estimación de los niveles de la SNR (Signal to Noise Ratio). También utilizando un DSP se implementa una de las técnicas DMT con simulación de un canal PLC [Carmo 06].

En [Yoshi 11], se implementa el algoritmo para compensar el CFO (*Carrier Frequency Offset*) y el balanceador I/Q en una FPGA, y posteriormente se usa el algoritmo presentado en [Xing 03]. El sistema implementado usa una fase en cuadratura diferencial desplazada de $\pi/4$. El sistema basado en el estándar ARIB-STD-T61 [ARIB 05] que trata el sistema de telecomunicación digital de banda estrecha.

En [Nadal 14], se realiza una implementación sobre una FPGA Zynq-7000, conectada a un AFE que posee un doble DAC. Se implementa un transmisor OFDM y otro FBMC/OQAM (*Offset Quadrature Amplitude Modulation*) para comunicación LTE (*Long-term Evolution*). En [Yu 13] se implementa en una Virtex 6 un transmisor OFDM para comunicaciones ópticas. En el caso del transmisor OFDM contiene una FFT y realiza una modulación QAM. En [Rings 10] se muestra la implementación en una Virtex 5 de un sistema FBMC comparándolo con OFDM en un sistema de comunicación WiMAX.

2.4 Objetivos

El objetivo fundamental de esta tesis doctoral es la definición y propuesta de arquitecturas eficientes para la implementación en tiempo real de algoritmos de sincronismo temporal en sistemas PLC de banda ancha empleando como técnica de acceso al medio Wavelet-OFDM (*Orthogonal Frequency Division Multiplexing*), así como de algoritmos para la estimación de canal y su posterior igualación. Para conseguir el objetivo global se han marcado una serie de objetivos parciales, abordando los distintos retos que supone el trabajo:

- Búsqueda y estudio de los diferentes tipos de codificación disponibles, determinando el tipo de códigos que proporcionan unas mejores prestaciones en la problemática de la sincronización.
- Estudio de técnicas de sincronismo en sistemas PLC de banda ancha, las cuales obtengan buenos resultados para otro tipo de canales de transmisión, tratando de adaptar las mismas al campo de los sistemas PLC, donde la complejidad del canal eleva las exigencias que deben cumplir.

- Estudio de diferentes técnicas de estimación de canal y posterior igualación, con el objetivo de obtener la mejor estimación del canal de transmisión PLC para su uso en la posterior fase de igualación, donde se pretende compensar los efectos que añade el canal a los datos transmitidos.
- Definición de arquitecturas eficientes para la implementación en tiempo real de las propuestas realizadas. En el proceso de diseño se abordarán diversos factores como la representación en coma fija, la reutilización en el tiempo de recursos, o el rendimiento final del sistema.
- A partir de la arquitectura, se pretende desarrollar un prototipo real que permita validar con pruebas experimentales las técnicas propuestas, abarcando el sistema de control y las etapas de emisión y recepción.

Capítulo 3

Sincronismo

De forma general en los sistemas de comunicación de banda ancha, y particularmente en el caso de PLC, se han adoptado habitualmente técnicas de acceso al medio basadas en modulaciones multiportadora. No obstante, estas técnicas requieren como norma de un sincronismo preciso para evitar interferencias inter-símbolo (ISI) e interferencias inter-portadoras (ICI) [Fazel 08]. Existen numerosos estudios que abordan el problema de sincronismo para comunicaciones basadas en técnicas multiportadora, como DMT (*Discrete Multitone Modulation*) [Polle 99], OFDM/OQAM (*Orthogonal Frequency-Division Multiplexing / Offset Quadrature Amplitude Modulation*) [Matte 12], FBMC (*Filter-Bank Multi-Carrier*) [Stitz 10] y especialmente OFDM (*Orthogonal Frequency Division Multiplexing*) [Schmi 97] [Willi 05]. Sin embargo, la mayor parte de ellos están orientados a comunicaciones inalámbricas en las que se consideran modelos de ruido gaussianos. El canal PLC presenta ciertas particularidades que lo diferencian de los canales inalámbricos empleados en los trabajos anteriores, como el fuerte desvanecimiento selectivo en frecuencia, la mayor duración efectiva del canal, así como la caracterización del ruido de canal en ruido de fondo y en tres tipos de ruido impulsivo [Corte 10]. Por ello, las técnicas de sincronización existentes en la literatura para comunicaciones inalámbricas no pueden aplicarse directamente al canal PLC, siendo necesario la propuesta de técnicas adicionales adaptadas a dicho canal.

En el estándar IEEE 1901-2010 para PLC de banda ancha, se propone el uso de Wavelet-OFDM como alternativa a la capa física basada en OFDM [IEEE 10]. Esta técnica de acceso al medio permite mejorar la eficiencia espectral del sistema al definir mejor en frecuencia las subportadoras y, por tanto, reducir las emisiones fuera de la banda de emisión. Asimismo, presenta ciertas particularidades como es el solapamiento de los símbolos en el dominio del tiempo, que impide la aplicación directa de las técnicas empleadas en trabajos previos para OFDM.

3.1 Wavelet-OFDM para PLC

Wavelet-OFDM es una técnica de acceso al medio perteneciente a la familia de técnicas conocidas como FBMC, debido a su implementación con transmultiplexores de M canales. Permite una menor emisión fuera de banda y por tanto menores niveles de ICI respecto a OFDM [Galli 08]. Normalmente, esta técnica de acceso al medio se implementa de forma eficiente mediante el uso de la transformada discreta del coseno (DCT, *Discrete Cosine Transform*), conociéndose así a Wavelet-OFDM como técnica basada en CMFB (*Cosine-Modulated Filter-Bank*). Dado que la transmisión por la línea eléctrica puede generar interferencias con sistemas electrónicos próximos, el estándar IEEE 1901-2010 [Galli 08] regula las frecuencias en las que los sistemas PLC pueden transmitir, de modo que, en transmisiones en banda base mediante Wavelet-OFDM, se generan $M=512$ subportadoras en las frecuencias comprendidas entre 0 y 31.25MHz, permitiendo únicamente el uso de forma efectiva de las bandas de frecuencia comprendidas entre 1.8MHz y 28MHz. Dentro de estas bandas, no se permite la emisión a las frecuencias correspondientes con los canales de radioaficionado, tal y como se muestra en la Figura 3.1, quedando libres por tanto 360 canales efectivos para la transmisión en PLC.

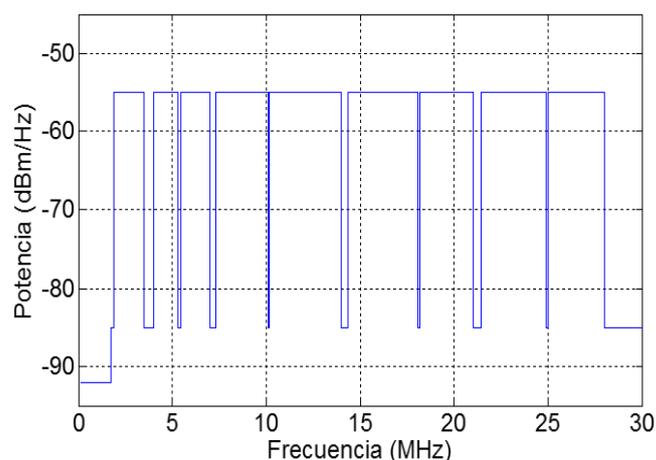


Figura 3.1. Máscara de emisión PLC para el ancho de banda disponible.

A diferencia de OFDM, donde cada subportadora tiene un inventariado rectangular en el dominio del tiempo, Wavelet-OFDM usa una DCT-IV más un filtrado

por cada subportadora (véase la Figura 3.2), conocido como filtro prototipo, permitiendo así cumplir con las caídas abruptas de potencia de hasta -30dB marcadas por la máscara de emisión del estándar IEEE 1901-2010 (véase la Figura 3.1). Este filtrado hace que símbolos consecutivos se solapen en el dominio del tiempo [Galli 08] y por tanto sea necesario evaluar la aplicabilidad de las técnicas de sincronismo existentes en la literatura para OFDM.

La Figura 3.2 muestra el diagrama de bloques de una posible implementación eficiente del banco de filtros del transmisor Wavelet-OFDM, mientras que la Figura 3.3 muestra el diagrama de bloques de una posible implementación eficiente del banco de filtros en el receptor Wavelet-OFDM [Poude 14], basado en la DCT-4e (*Discrete Cosine Transform 4-even*). Básicamente, en el receptor el procesamiento consiste en una primera deserialización de la señal recibida $r[n]$ para obtener los M subcanales $t_m[n]$. Estos M subcanales son procesados por pares de filtros $G_s(-z)$, donde $s=0, 1, \dots, S-1$ con $S=2 \cdot M$, para obtener las señales intermedias $q_s[n]$. Posteriormente, estas señales $q_s[n]$ son multiplicadas linealmente por matrices $(\mathbf{I}+\mathbf{J})$ y $(\mathbf{I}-\mathbf{J})$ y se suman, por lo que se obtienen las señales de entrada al bloque DCT $p_m[n]$. El módulo DCT procesa los M subcanales para proporcionar las señales $x_m[n]$, que, después de ser multiplicadas por la matriz diagonal Λ_{cn} , proporcionan los subcanales de salida $v_m[n]$.

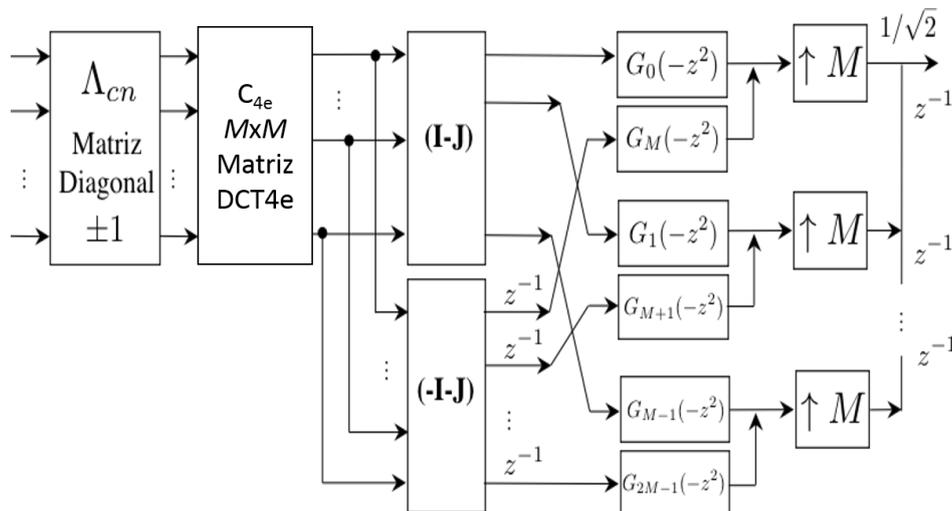


Figura 3.2. Diagrama de bloques del transmisor basado en banco de filtros.

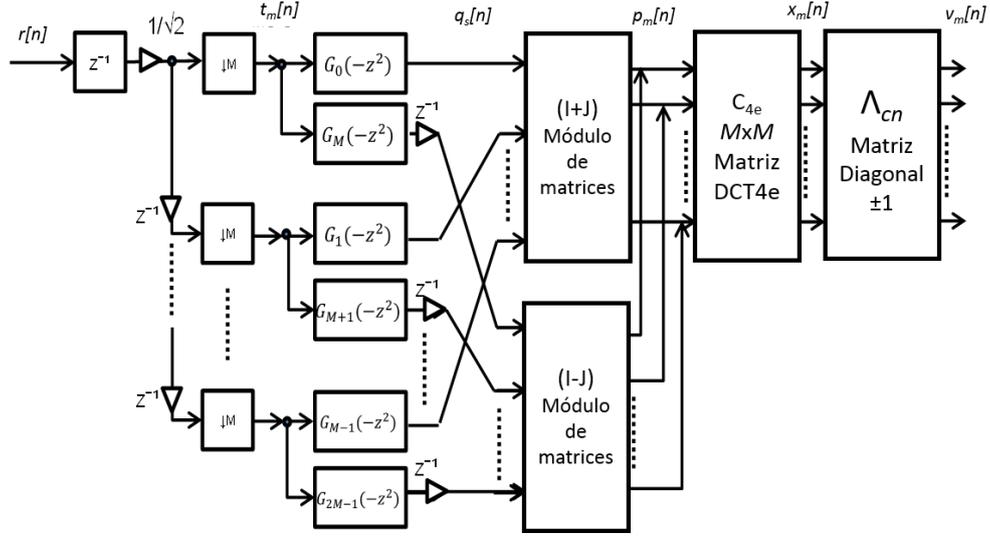


Figura 3.3. Diagrama de bloques del receptor basado en banco de filtros.

Esta implementación eficiente puede expresarse de forma matricial para el banco de síntesis $\mathbf{f}(z)$ como (12):

$$\mathbf{f}(z) = [F_0(z) \ F_1(z) \ \dots \ F_{M-1}(z)]^T; \quad (12)$$

$$\mathbf{f}(z) = \frac{1}{\sqrt{2}} \cdot [\mathbf{g}_0(z^{2M}) \quad z^{-M} \mathbf{g}_1(z^{2M})] \cdot \begin{bmatrix} \mathbf{I} + \mathbf{J} \\ \mathbf{I} - \mathbf{J} \end{bmatrix} \cdot \mathbf{C}_{4e} \cdot \Lambda_{cn} \quad (13)$$

Y para el banco de análisis $\mathbf{h}(z) = \mathbf{f}(z)^{-1}$ como (14):

$$\mathbf{h}(z) = \frac{1}{\sqrt{2}} \cdot \Lambda_{cn} \cdot \mathbf{C}_{4e} \cdot [\mathbf{I} + \mathbf{J} \quad \mathbf{I} - \mathbf{J}] \cdot \begin{bmatrix} \mathbf{g}_0(z^{2M}) \\ z^{-M} \mathbf{g}_1(z^{2M}) \end{bmatrix} \quad (14)$$

Donde $\mathbf{g}_0(z)$ es una matriz diagonal, cuyos elementos diagonales son $[G_0(-z) \ G_1(-z) \ \dots \ G_{M-1}(-z)]$; $\mathbf{g}_1(z)$ es también una matriz diagonal cuyos elementos diagonales son $[G_M(-z) \ G_{M+1}(-z) \ \dots \ G_{2M-1}(-z)]$; $G_s(-z)$, $0 \leq m \leq 2 \cdot M - 1$, es el filtro prototipo en el dominio discreto; \mathbf{C}_{4e} es la matriz de la DCT-4e, cuyos elementos son:

$$[\mathbf{C}_{4e}]_{k,l} = \sqrt{\frac{2}{M}} \cdot \cos\left(\left(k + \frac{1}{2}\right) \frac{\pi}{M} \cdot \left(l + \frac{1}{2}\right)\right), \quad 0 \leq k \leq M - 1, 0 \leq l \leq 2M - 1; \quad (15)$$

Λ_{cn} es una matriz diagonal $M \times M$, cuyo i -ésimo elemento es:

$$[\Lambda_{cn}]_{i,i} = \sqrt{2} \cdot \cos\left(\frac{\pi}{2} \left(i + \frac{1}{2}\right)\right) \cdot \cos(\theta_c), \quad \theta_c = \{0, \pi\}; \quad (16)$$

Finalmente, \mathbf{I} denota una matriz identidad $M \times M$, mientras que \mathbf{J} denota la matriz de anti-identidad [Poude 14] [Cruz 04].

En el caso de un banco con reconstrucción perfecta, entonces $R(z) \cdot f(z) = h(z) \cdot R(z)$, donde $R(z)$ es la entrada al banco de síntesis. Sin embargo, se asume una estimación de sincronismo ideal para lograr un banco de filtros de reconstrucción perfecto, de lo contrario la señal reconstruida sufrirá ISI e ICI, haciendo inviable la recuperación de los datos transmitidos en el lado receptor. La interferencia ICI aparece cuando las subportadoras pierden ortogonalidad, cuando la duración del canal de transmisión es mayor al intervalo del prefijo cíclico añadido, o cuando se produce un desplazamiento en frecuencia en el receptor. Por el contrario, en la interferencia ISI un símbolo interfiere con símbolos posteriores produciéndose un efecto similar al del ruido, y suele estar causada por el efecto del multicamino, o por la respuesta en frecuencia del canal de transmisión. Por eso es importante diseñar un algoritmo de sincronización eficaz, capaz de estimar con precisión el tiempo de retardo.

3.2 Uso del Prefijo Cíclico

La Figura 3.4 representa el diagrama de bloques empleado en el modelado del canal de transmisión PLC suponiendo que no existe retardo entre el transmisor y el receptor, es decir, teniendo una sincronización perfecta entre ambos. El prefijo cíclico, CP en la Figura 3.4, se utiliza para corregir los efectos causados por la respuesta impulsiva del canal, de modo que si su longitud es superior a la duración efectiva del canal es posible eliminar la ISI producida por éste.

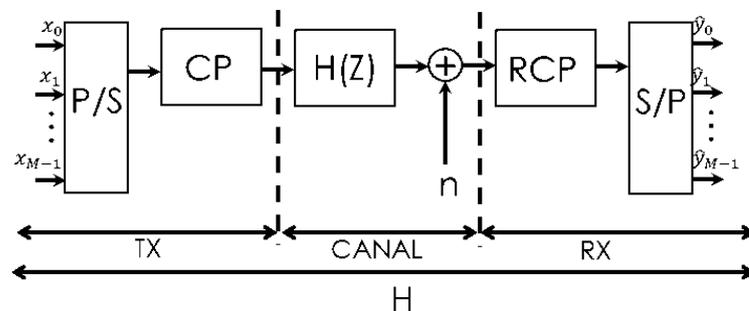


Figura 3.4. Diagrama de bloques del modelado del canal H.

En el transmisor se inserta el CP, después de la conversión paralelo-serie de los datos modulados (bloque P/S de la Figura 3.4), de tal forma que se replique la parte final de los datos al principio del envío con una longitud igual o mayor a la longitud efectiva del canal de transmisión L_{ch} . La inserción del CP se muestra en la Figura 3.5.

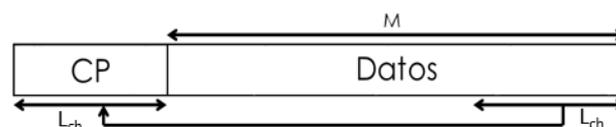


Figura 3.5. Inserción del prefijo cíclico.

La relación entrada-salida queda descrita en (17).

$$\hat{\mathbf{y}} = \mathbf{H} \cdot \mathbf{x} + \mathbf{n}_c \quad (17)$$

Siendo $\hat{\mathbf{y}}$ la señal recibida en banda base; \mathbf{x} la señal a transmitir en banda base antes de pasar a alta frecuencia y de la inserción del prefijo cíclico; \mathbf{H} es la matriz que contiene la respuesta impulsiva del canal; y \mathbf{n}_c es la matriz de ruido añadido.

La inserción del prefijo cíclico permite modelar la matriz del canal \mathbf{H} como una matriz circular (18):

$$\mathbf{H} = \mathbf{W}^{-1} \cdot \mathbf{\Lambda} \cdot \mathbf{W} \quad (18)$$

Siendo \mathbf{W} la matriz de la DFT (*Discrete Fourier Transform*), $M \times M$, obtenida por FFT (*Fast Fourier Transform*); y $\mathbf{\Lambda}$ una matriz diagonal, $M \times M$, cuyos elementos de la diagonal principal se obtienen mediante la DFT de M puntos del canal (19)(20).

$$\mathbf{\Lambda} = \text{diag} \{ \lambda_0, \lambda_1, \dots, \lambda_{M-1} \} \quad (19)$$

$$\lambda_m = \sum_{n=0}^{M-1} h[n] \cdot e^{-j\frac{2\pi}{M}m \cdot n}, 0 \leq m \leq (M-1) \quad (20)$$

Posteriormente se elimina el CP en el receptor (bloque RCP de la Figura 3.4) y vuelve a bajarse en frecuencia asignando cada subportadora recibida al canal correspondiente (bloque S/P de la Figura 3.4), habiendo sincronizado previamente el sistema.

3.3 Modelo del canal PLC

Se han considerado dos modelos diferentes de canal PLC presentados en [Galli 08] [Tonel 12] [Tonel 07]. Se hará uso de diferentes modelos de canal para poder estudiar las prestaciones de los algoritmos de sincronismo presentados en los apartados sucesivos. El primer modelo, correspondiente al canal definido como A, y cuyos parámetros han sido evaluados en el proyecto europeo OMEGA [Galli 08], es un modelo de canal más complejo. El segundo modelo de canal, denominado como B, consta de una duración efectiva menor [Tonel 12] y unos parámetros que lo hacen menos hostil en la transmisión. Los parámetros de ambos modelos de canal se muestran en la Tabla 3.1.

Tabla 3.1. Parámetros de los modelos de canal PLC A y B empleados.

	Canal A	Canal B
Longitud máxima de línea	300 metros	800 metros
Párametros de la atenuación dependiente de la frecuencia α_0	10^{-5}	$0.3 \cdot 10^{-2}$
Párametros de la atenuación dependiente de la frecuencia α_1	10^{-9}	$4 \cdot 10^{-2}$
Intensidad del tiempo de llegada de Poisson	0.667m^{-1}	0.2m^{-1}
Duración del canal	$4 \mu\text{s}$	$5.56 \mu\text{s}$
Frecuencia de parada	31.25 MHz	31.25 MHz

La Figura 3.6 muestra, a modo de ejemplo, la respuesta impulsiva de ambos modelos de canal utilizados en las simulaciones. Puede observarse que el canal A, considerado el más complejo, presenta un fuerte multicamino y una mayor duración con respecto al canal B.

Por otra parte, se ha considerado en las simulaciones cuatro tipos de ruido de canal: ruido impulsivo síncrono, asíncrono, ruido de fondo y ruido de banda estrecha; cuyos niveles de potencia relativos han sido ajustados de acuerdo a los trabajos presentados en [Zimme 02][Corte 10].

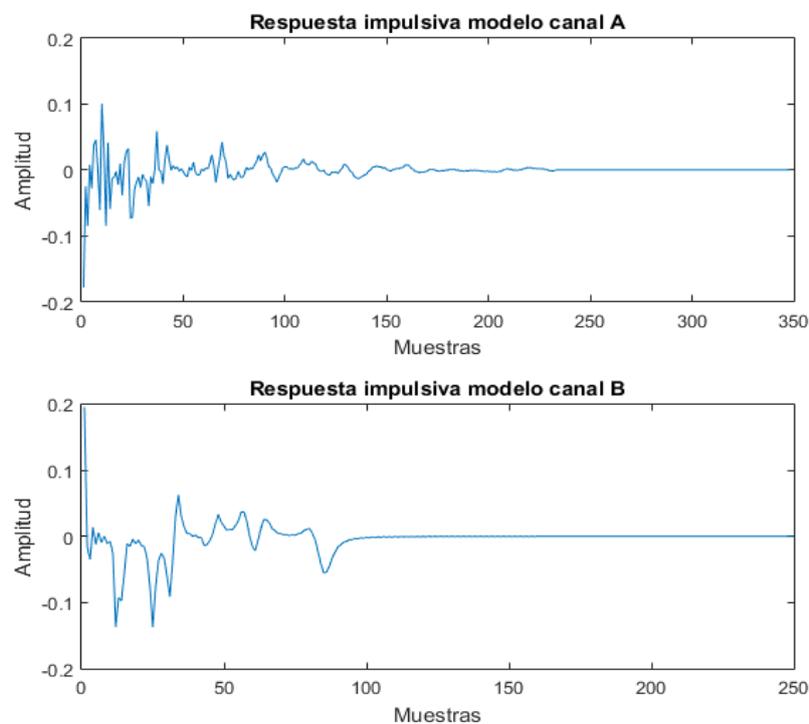


Figura 3.6. Respuesta impulsiva de los modelos de canal PLC A y B empleados para las simulaciones [Tonel 12].

Una vez vista la problemática general, se proponen a continuación dos posibles algoritmos de sincronismo, uno basado en dos etapas y otro de una fase; en ambas propuestas se emplean conjuntos de secuencias complementarias para realizar la sincronización entre emisor y receptor.

3.4 Propuesta de sincronismo basada en dos etapas

En la Figura 3.7 se muestra un diagrama de bloques del sistema propuesto, en el cual se diferencia la parte del transmisor, el canal PLC, y el receptor del sistema donde se realiza la sincronización. En el transmisor se emplean secuencias complementarias multinivel como símbolos piloto a las que se les aplica la máscara de emisión establecida en [Galli 08] y se modulan mediante el banco de filtros del transmisor, añadiendo el CP antes de la emisión por el canal de comunicaciones PLC.

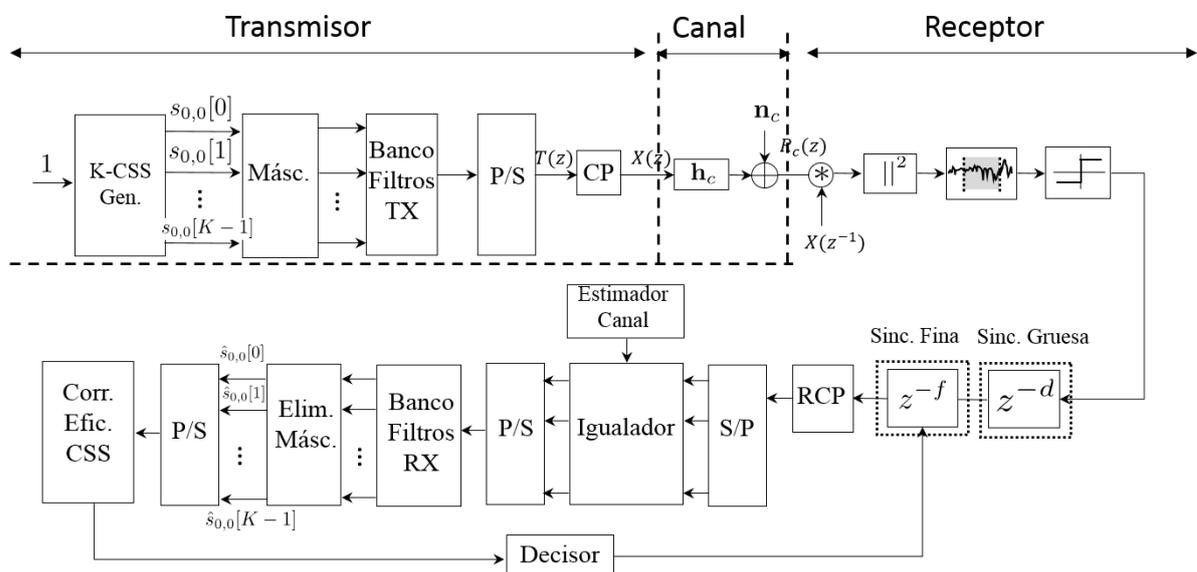


Figura 3.7. Diagrama de bloques del sistema de sincronismo basado en dos etapas.

En la Figura 3.7 se propone un algoritmo de sincronización en el cual se distinguen dos fases o etapas: una inicial en la que se realiza una estimación gruesa y otra en la que se utilizan las propiedades de correlación de las secuencias complementarias en la recepción para refinar la estimación del retardo.

Esta etapa comprende la eliminación del prefijo cíclico añadido en el transmisor, la etapa de igualación para compensar el efecto introducido por la respuesta impulsiva del canal, y la recuperación y posterior demodulación en el banco de filtros del receptor. La señal recuperada se correla con las secuencias complementarias transmitidas utilizadas como símbolos piloto y, empleando un bloque decisor, se realiza la estimación temporal fina obteniendo un retardo con el menor MMSE (*Minimum Mean Square Error*). El decisor empleado se basa en el cálculo del MMSE en la correlación, de modo que, iterando un número determinado de veces, se valida el retardo que presenta el

menor MSE (*Mean Square Error*) en la correlación en baja frecuencia tras la demodulación/reconstrucción.

3.4.1 Primera etapa: estimación gruesa

La estimación temporal gruesa obtiene una estimación del valor de retardo, pudiendo coincidir con el retardo real, introducido durante la transmisión por el canal PLC. El método propuesto emplea la correlación cruzada para estimar el retardo, de tal forma que se correlan los símbolos piloto transmitidos con la señal recibida. En el receptor es necesario tener una réplica de los símbolos pilotos transmitidos con la inserción del prefijo cíclico para realizar la correlación cruzada con la señal recibida, la cual está contaminada con ruido [Corte 10] y afectada por la respuesta impulsiva del canal PLC.

Las características de correlación ideales proporcionadas por secuencias multinivel permiten mejorar la detección del primer tap del canal, con el fin de desarrollar un algoritmo de sincronización más robusto. Para fines de representación, un generador CSS (*Complementary Sets of Sequences*) de longitud L se ha considerado en la Figura 3.7 y se muestra como K-CSS Gen.

Dado un conjunto de secuencias complementarias multinivel en el dominio Z (21) (22),

$$S_0(z) = \{S_{0,0}(z), S_{0,1}(z), \dots, S_{0,K-1}(z)\} \quad (21)$$

$$S_{0,k}(z) = s_{0,k}[0] + s_{0,k}[1] \cdot z^{-1} + \dots + s_{0,k}[L-1] \cdot z^{-L+1} \quad (22)$$

se propone la transmisión de un conjunto de K símbolos con M muestras, cada una formada por una secuencia complementaria multinivel $S_{0,k}(z)$ de longitud L ($L \leq M$ e igual al número de subcanales disponibles). Este número se determina mediante una máscara de transmisión definida en la norma IEEE 1901-2010 [IEEE 10]. El bit de secuencia $s_{0,k}[n]$ está asignado al k -ésimo símbolo y al n -ésimo subcanal disponible en el banco de síntesis. En aquellos subcanales que no están disponibles para transmisión según el estándar PLC, se asigna el bit 0, por lo que no se utilizarán $M-L$ subcanales. Se escoge emplear secuencias complementarias multinivel debido a la versatilidad de longitudes que tienen frente a las secuencias binarias que poseen un menor número de longitudes de bits posibles.

Los bits de secuencia de entrada, después de haber sido asignados en la subportadora apropiada según la máscara, son procesados en paralelo por el banco de síntesis $\mathbf{f}(z)$ (banco de filtros TX en la Figura 3.7), para conformar el espectro tal como se diseñó en los filtros prototipo $G_s(-z)$. Posteriormente, la salida de $\mathbf{f}(z)$ se convierte en un flujo de datos serie utilizando un convertidor paralelo a serie (P/S en la Figura 3.7). Por consiguiente, la señal de salida $T(z)$, después del bloque P/S, es expresada matemáticamente según (23).

$$T(z) = \sum_{k=0}^{K-1} \sum_{\substack{l=0 \\ l \in \chi}}^{L-1} s_{0,k}[l] \cdot f_{\chi}(z^M) \cdot z^{-(kM+\chi)} \quad (23)$$

Considerando $D(z)$ la señal a emitir con CP, entonces $X(z) = T(z)$ si no se inserta CP; χ es el número de subportadoras disponibles. Suponiendo que no se utilice CP y que haya un canal ideal (\mathbf{h}_c igual a la matriz identidad en la Figura 3.7) y ningún ruido de canal ($\mathbf{n}_c = 0$), la correlación del piloto transmitido $X(z)$ por la entrada del receptor $R(z)$ es igual a (25):

$$\begin{aligned} R(z) &= X(z) \cdot \mathbf{h}_c + \mathbf{n}_c \quad (24) \\ R(z) \cdot X(z^{-1}) &= X(z) \cdot X(z^{-1}) \\ &= \sum_{k=0}^{K-1} \sum_{\substack{n=0 \\ n \in \chi}}^{L-1} s_{0,k}[n] \cdot F_{\chi}(z^M) \cdot z^{-(kM+\chi)} \\ &\quad \cdot \sum_{k=0}^{K-1} \sum_{\substack{n=0 \\ n \in \chi}}^{L-1} s_{0,k}[n] \cdot F_{\chi}(z^{-M}) \cdot z^{(kM+\chi)} \end{aligned} \quad (25)$$

Suponiendo un buen diseño de filtro, la correlación cruzada entre subportadoras adyacentes puede ser despreciada, reduciendo la expresión (25) a (26), donde sólo se considera un término de la función de correlación $R(z) \cdot X(z^{-1})$.

$$\begin{aligned} R(z) \cdot X(z^{-1}) &= X(z) \cdot X(z^{-1}) \\ &= \sum_{k=0}^{K-1} \sum_{\substack{m=0 \\ m \in \chi}}^{L-1} (s_{0,k}[n])^2 \cdot F_{\chi}(z^M) \cdot F_{\chi}(z^{-M}) \\ &\quad + \sum_{k=0}^{K-1} \sum_{k'=k}^{K-1} \sum_{\substack{m=0 \\ m \in \chi}}^{L-2} s_{0,k}[n] \cdot s_{0,k'}[n+1] \\ &\quad \cdot F_{\chi}(z^M) \cdot F_{\chi+1}(z^{-M} \cdot z^{-M(k'-k)-1}) \end{aligned} \quad (26)$$

El primer sumando en (26) corresponde a la auto-correlación de las secuencias, afectadas por la auto-correlación del banco de filtros, y el segundo término representa la correlación cruzada entre las subportadora adyacentes de los filtros y los bits de secuencia.

En el caso de tener un canal PLC real y diferentes ruidos que afectan al canal [Corte 10], en la expresión (26) aparece un nuevo termino que representa la correlación cruzada entre la señal recibida $R(z)$ y $X(z^{-1})$ donde (27):

$$\begin{aligned}
R(z) \cdot X(z^{-1}) = & \sum_{k=0}^{K-1} \sum_{\substack{n=0 \\ n \in \mathcal{X}}}^{L-1} (s_{0,k}[n])^2 \cdot F_{\chi}(z^M) \cdot F_{\chi}(z^{-M}) + (\mathbf{h}_c) \\
& \cdot \sum_{k=0}^{K-1} \sum_{k'=k}^{K-1} \sum_{\substack{n=0 \\ n \in \mathcal{X}}}^{L-2} s_{0,k}[n] \cdot s_{0,k'}[n+1] \\
& \cdot F_{\chi}(z^M) \cdot F_{\chi+1}(z^{-M}) \cdot z^{-M(k'-k)-1}
\end{aligned} \tag{27}$$

Por lo tanto, las propiedades de correlación ideales de las secuencias complementarias multinivel $S_{0,k}(z)$ se degradan al no poder usar todas las M subportadoras. Ésta permanecería ideal si todas las M subportadoras del banco de filtros se utilizan para la transmisión.

Después de la inserción del CP, la señal $D(z)$ pasa por el canal PLC \mathbf{h}_c y se le añade el ruido del canal \mathbf{n}_c , como se representa en la Figura 3.7. El modelo de Tonello [Tonel 12] muestra las duras condiciones del canal PLC, ya que el primer tap no presenta la máxima amplitud, lo que dificulta estimar el primer camino de llegada.

La Figura 3.8 muestra un ejemplo de una transmisión $X(z)$ (gráfica superior), donde se ha utilizado un conjunto de dos secuencias complementarias multinivel de longitud $L=360$ bits junto con tres paquetes de ceros para compensar el retardo de grupo de los filtros empleados, distribuyendo cada uno de los bits de la secuencias por las subportadoras que establece la máscara de emisión PLC por las que se permite la transmisión (véase la Figura 3.1). De igual forma se muestra la señal recibida $R(z)$ (gráfica inferior), con la distorsión causada por el efecto del canal y contaminada con el ruido de la transmisión PLC.

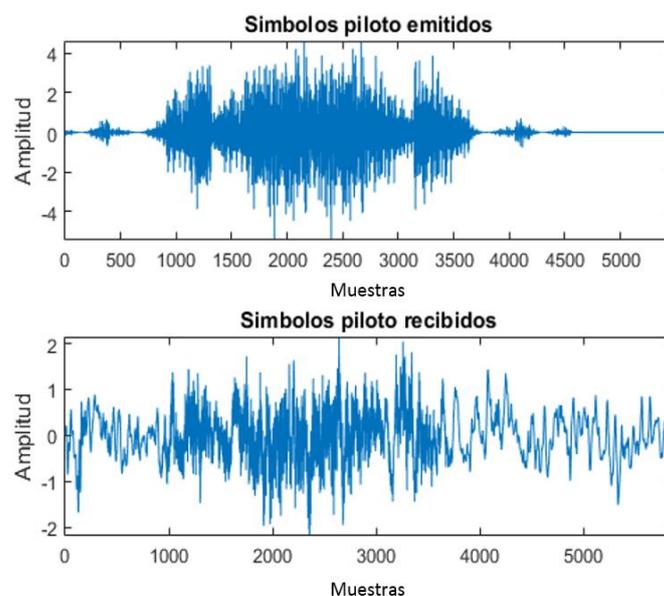


Figura 3.8. Comparación entre los datos transmitidos $X(z)$ y los datos recibidos $R(z)$.

Al emplear la misma trama repetida es más sencillo obtener un pico máximo de correlación y conseguir así el retardo de canal estimado para la transmisión. La Figura 3.9 representa el resultado obtenido al realizar la correlación $R(z) \cdot X(z^{-1})$ entre los símbolos piloto recibidos $R(z)$ y los símbolos piloto emitidos $X(z)$.

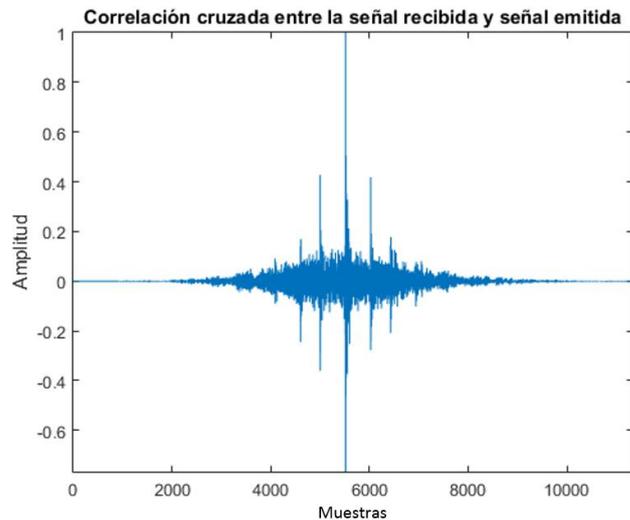


Figura 3.9. Resultado de la correlación $R(z) \cdot X(z^{-1})$ en el receptor.

El resultado obtenido de la correlación cruzada se eleva al cuadrado para acentuar el valor del pico máximo obtenido y descartar posibles máximos locales obtenidos por valores de ruido añadidos en el canal de transmisión como se muestra en la Figura 3.10.

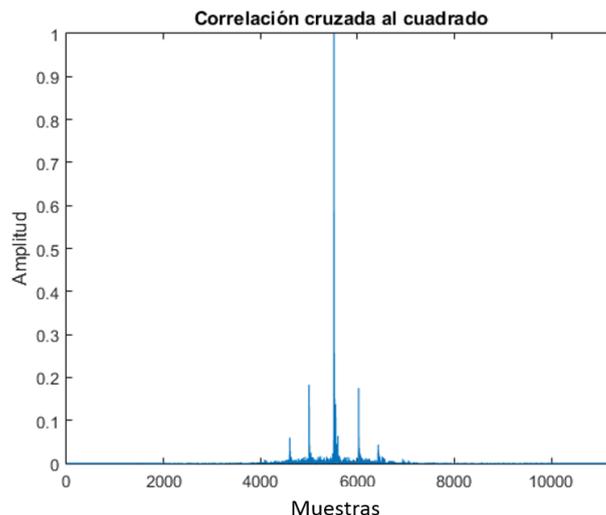


Figura 3.10. Correlación $R(z) \cdot X(z^{-1})$ elevada al cuadrado y normalizada.

Debido a la complejidad del canal PLC presentado en [Galli 08], en el que el primer tap no coincide con la potencia máxima del canal, no es posible establecer como valor de retardo el pico máximo obtenido con la correlación cruzada, ya que puede ser causado por el efecto del fuerte multicamino del canal PLC. En consecuencia, debe

buscarse un posible inicio del canal PLC en muestras anteriores al valor máximo de correlación. Para ello, se realiza un enventanado en torno al valor de máxima potencia, centrando la búsqueda del tap de inicio del canal en un rango cercano al valor máximo obtenido por multicamino. Posteriormente se umbraliza la ventana resultante, fijando como estimación temporal gruesa el primer tap que supere dicho umbral V_{th} . En la Figura 3.11 se representa, a modo de ejemplo, el resultado del enventanado del valor máximo de la correlación $R(z) \cdot X(z^{-1})$ y el valor umbral V_{th} empleado para obtener el primer tap del canal.

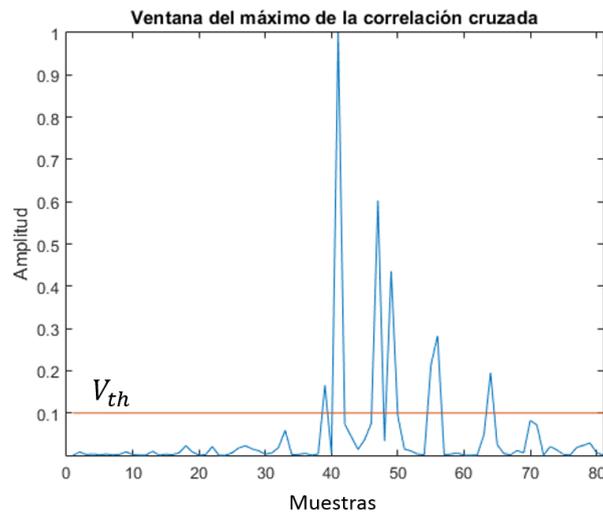


Figura 3.11. Ventana del pico máximo de la correlación $R(z) \cdot X(z^{-1})$.

Esta estimación no es muy exacta debido a la complejidad del canal, como se mencionaba anteriormente, haciendo que el resultado estimado pueda diferir en algunas muestras con respecto al real, por lo que es necesario una segunda etapa de estimación fina.

3.4.2 Segunda etapa: estimación fina

Esta segunda etapa o fase de estimación temporal fina trata de ajustar el retardo obtenido mediante la estimación temporal gruesa; para ello se estima que el retardo real se encuentra cercano al retardo grueso. Suponiendo el criterio anterior, se aplican retardos cercanos a la estimación temporal gruesa y mediante un bloque decisor se elige cuál de todos ellos se asemeja más al real.

El principio de la estimación fina se basa en comparar con muestras anteriores y posteriores al retardo grueso conseguido, proponiéndose inicialmente varios métodos posibles. La Figura 3.12 muestra un ejemplo de las estrategias planteadas inicialmente, partiendo siempre de la estimación gruesa. Se proponen tres técnicas diferentes para la realización de la estimación fina:

- 1- Comparar con las 4 muestras anteriores más el propio retardo grueso.

- 2- Tomando como centro el retardo grueso, el fino se centra en 2 muestras anteriores y 2 posteriores.
- 3- Por último, tomando de partida el retardo grueso, se centra el estudio de la estimación fina en 4 muestras posteriores.

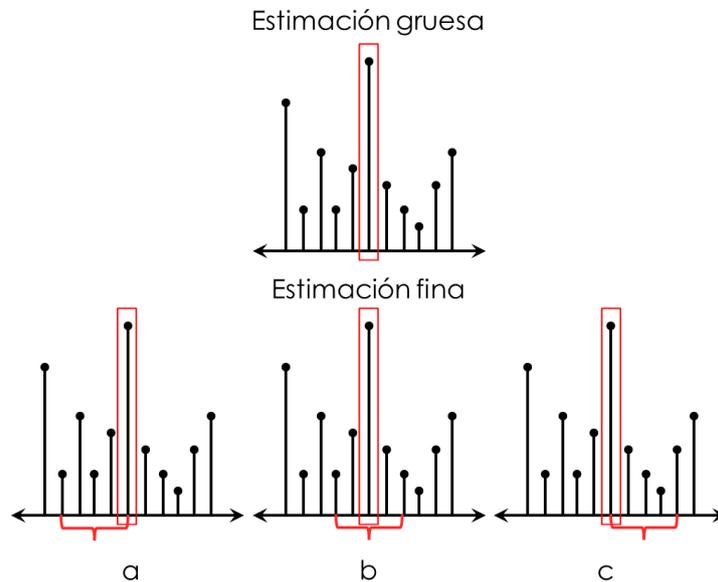


Figura 3.12. Diferentes métodos de estimación fina.

Después de realizar varias simulaciones se observa que la mejor estrategia de las mostradas es la segunda (b en la Figura 3.12), ya que no se centra únicamente en muestras anteriores o posteriores. Debido a que en esta etapa se suponen varios retardos cercanos al obtenido con la estimación temporal gruesa, el inicio estimado del prefijo cíclico varía, obteniendo diferentes demodulaciones de la señal recibida.

Asumiendo que el igualador compensa el efecto que ejerce el canal PLC en la señal transmitida, y suponiendo que la sincronización fuese perfecta y que no influyese el efecto del ruido añadido, la salida del igualador en banda base debe ser igual a la señal transmitida $T(z)$ a la salida del banco de filtros.

La señal $\hat{r}_m[n]$ obtenida, después de igualar y suponiendo compensado el efecto del canal, se demodula en el banco de filtros del receptor, recuperando las muestras transmitidas. Esta señal recuperada $r_x[n]$ se correla con los símbolos piloto transmitidos, utilizando un correlador eficiente para conjuntos complementarios de secuencias. La salida de este correlador es empleada por un decisor para ajustar el retardo de forma final, mediante la obtención del mínimo valor MSE (MMSE, *Minimum Mean Squared Error*) para asegurarse una estimación temporal fina válida.

La Figura 3.13 y Figura 3.14 muestran los diferentes resultados parciales de cada iteración de la estimación fina para determinados casos del estudio simulados empleando una estimación de canal ideal en el que se considera conocido el canal de transmisión y con ruido añadido específico del canal PLC [Corte 10].

En la Figura 3.13 puede observarse que el menor valor MMSE se obtiene para un retardo de la estimación fina de 0, coincidiendo con el retardo obtenido con la estimación gruesa.

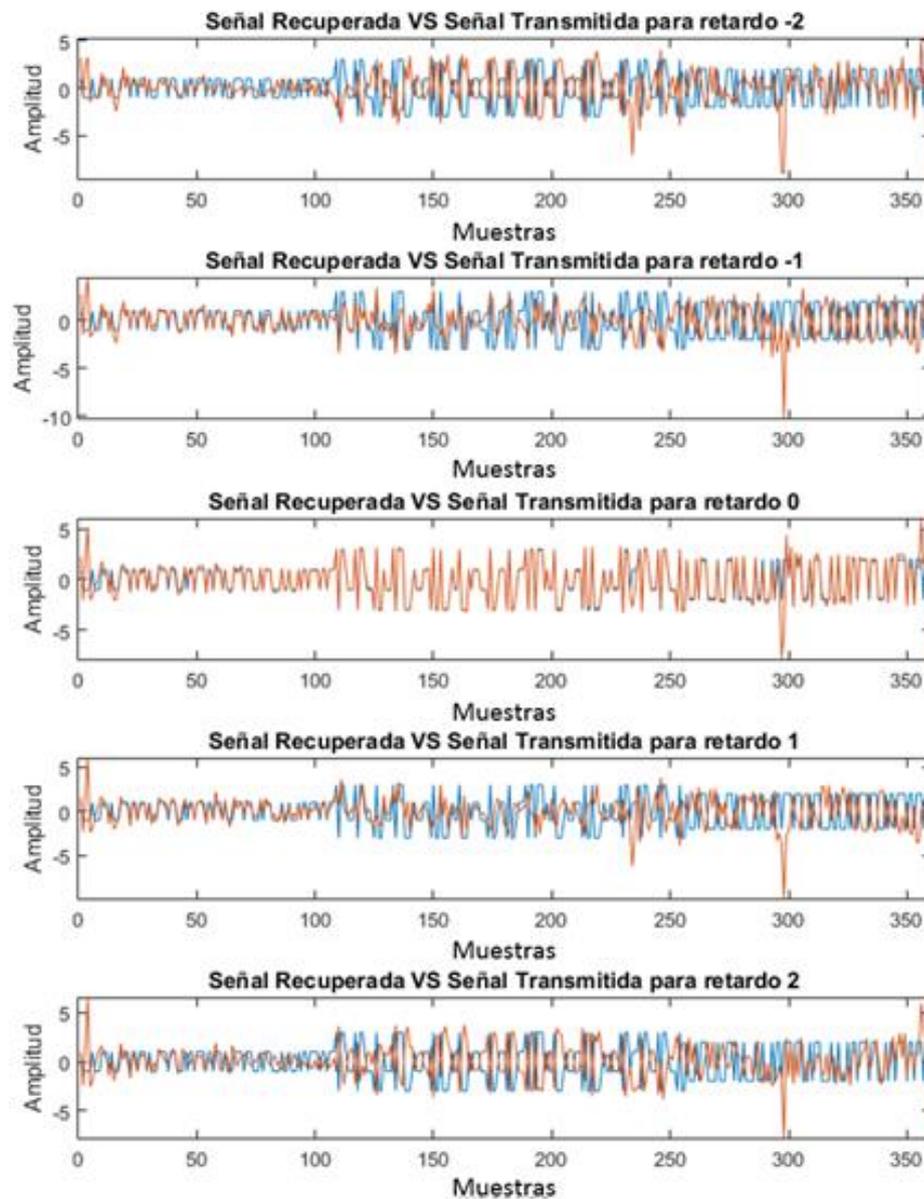


Figura 3.13. Primer ejemplo comparativo entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ para los diferentes retardos de estimación fina considerados, consiguiendo el mejor resultado en el retardo 0.

Por el contrario, la Figura 3.14 muestra que el menor valor MMSE se obtiene con un retardo de estimación fina de +2, por lo que la estimación gruesa no ha sido lo suficientemente precisa y es en la estimación fina donde se consigue recuperar de forma óptima la señal emitida.

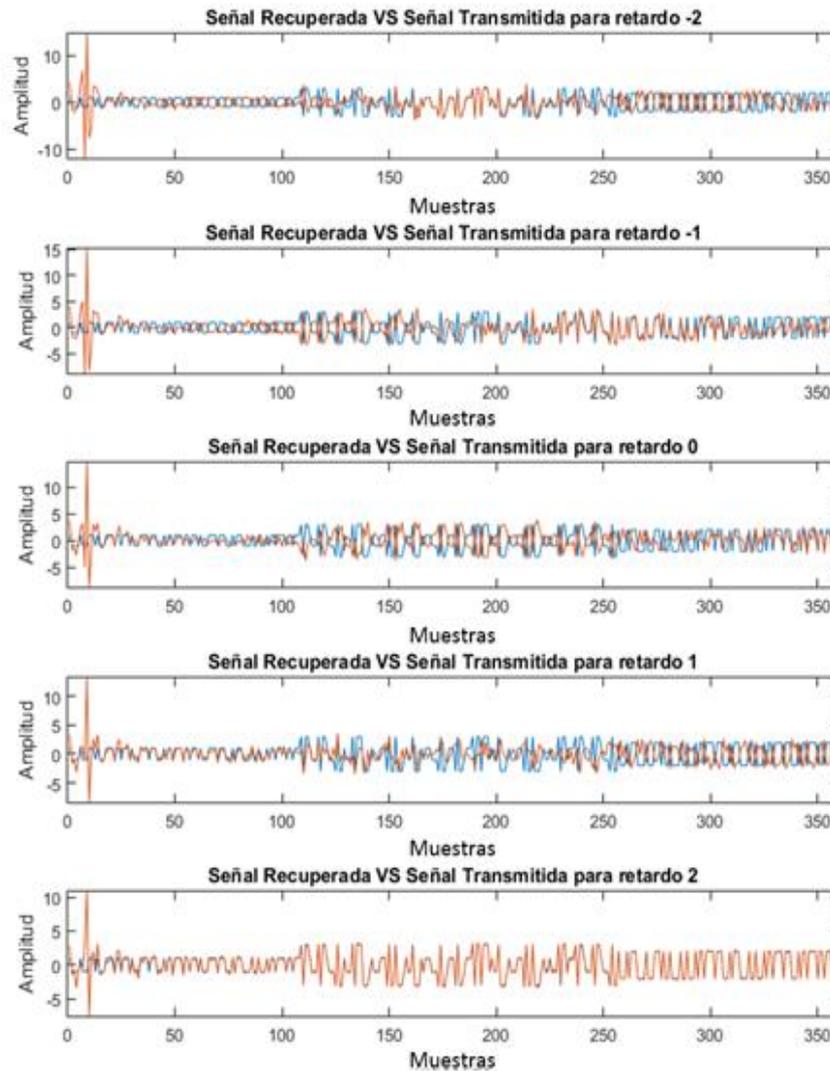


Figura 3.14. Segundo ejemplo comparativo entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ para los diferentes retardos de estimación fina considerados, consiguiendo el mejor resultado en el retardo 2.

Tanto la Tabla 3.2 como la Tabla 3.3 muestran los valores de MMSE obtenidos para cada posible valor de retardo considerado en la estimación fina (nótese que se ha sombreado en estas tablas el retardo más óptimo).

Tabla 3.2. Valores de MMSE para cada valor de retardo fino en el primer ejemplo comparativo mostrado para la estimación fina.

Retardo fino	$n-2$	$n-1$	n	$n+1$	$n+2$
MSE	$4.24 \cdot 10^{10}$	$5.98 \cdot 10^{10}$	$1.29 \cdot 10^8$	$5.98 \cdot 10^{10}$	$4.06 \cdot 10^{10}$

Tabla 3.3. Valores de MMSE para cada valor de retardo fino en el segundo ejemplo comparativo mostrado para la estimación fina.

Retardo fino	$n-2$	$n-1$	n	$n+1$	$n+2$
MSE	$5.97 \cdot 10^{10}$	$6.02 \cdot 10^{10}$	$4.43 \cdot 10^{10}$	$5.96 \cdot 10^{10}$	$3.35 \cdot 10^7$

Observando las gráficas de cada realización para los valores correctos de retardo puede comprobarse que la señal recibida no es exactamente idéntica a la emitida; esto se debe al ruido añadido por el canal en la transmisión de los datos, siendo muy difícil eliminar este tipo de ruido y obtener una recuperación de los datos ideal.

3.4.3 Resultados de la propuesta de sincronismo basada en dos etapas

Con el fin de evaluar el algoritmo de sincronización presentado aquí de forma sistemática, se han simulado 1.000 realizaciones de canal PLC en el sistema mostrado en la Figura 3.7, para cada relación señal-ruido comprendida entre -5 dB y 30 dB en pasos de 5 dB, resultando un total 8.000 realizaciones distintas del canal. Como símbolos piloto se utilizan un par de secuencias complementarias multinivel seguidas del conjunto de datos a transmitir. Por último, se simula un retardo de canal comprendido entre 10 y 50 muestras de forma aleatoria para cada una de las realizaciones diferentes de canal.

La Figura 3.15 muestra los valores RMSE en el sincronismo para SNR comprendidos entre -5 y 30 dB en el modelo de canal B, siendo éste el más favorable. Como puede observarse la estimación fina permite reducir el RMSE en un valor medio de 0.5 muestras respecto a la estimación gruesa (véase la Figura 3.15).

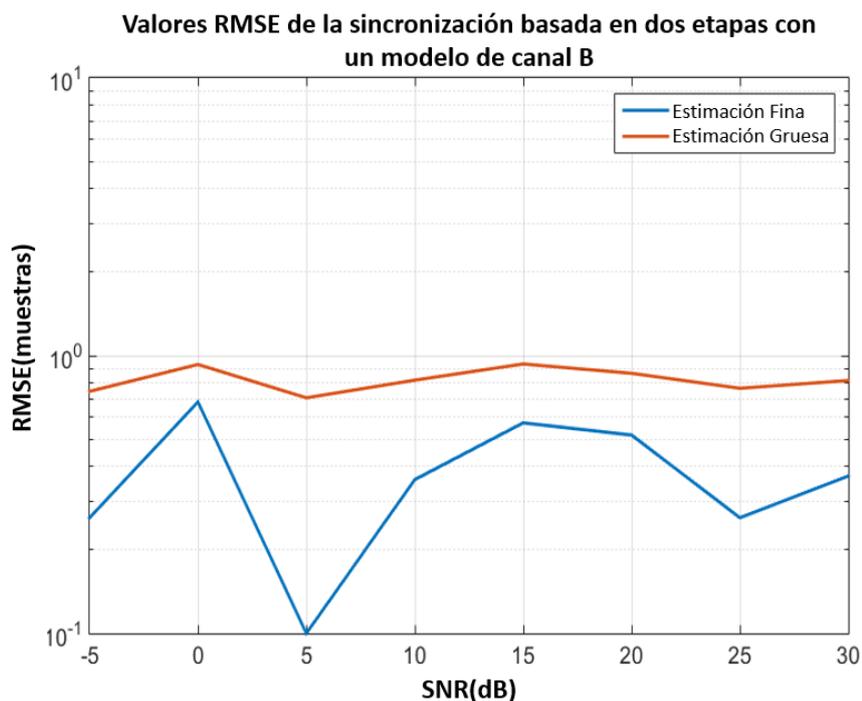


Figura 3.15. RMSE en la sincronización basada en dos etapas para diferentes SNR en un canal B de Tonello [Tonel 12].

Tabla 3.4. Valores RMSE obtenidos en la sincronización basada en dos etapas para diferentes SNR en un canal B de Tonello [Tonel 12].

RMSE (muestras)	Sincronización	Sincronización	Auto-correlación
	Gruesa	Fina	
-5 dB	0.74	0.26	3.26
0 dB	0.93	0.68	2.98
5 dB	0.71	0.1	2.76
10 dB	0.81	0.35	2.21
15 dB	0.93	0.57	2.19
20 dB	0.86	0.52	2.54
25 dB	0.76	0.26	2.49
30 dB	0.81	0.37	2.43

La Figura 3.16 muestra los valores RMSE para la sincronización empleando el modelo A de canal de Tonello [Tonel 12] para SNR de -5 dB a 30 dB, asumiendo nuevamente una estimación ideal de canal.

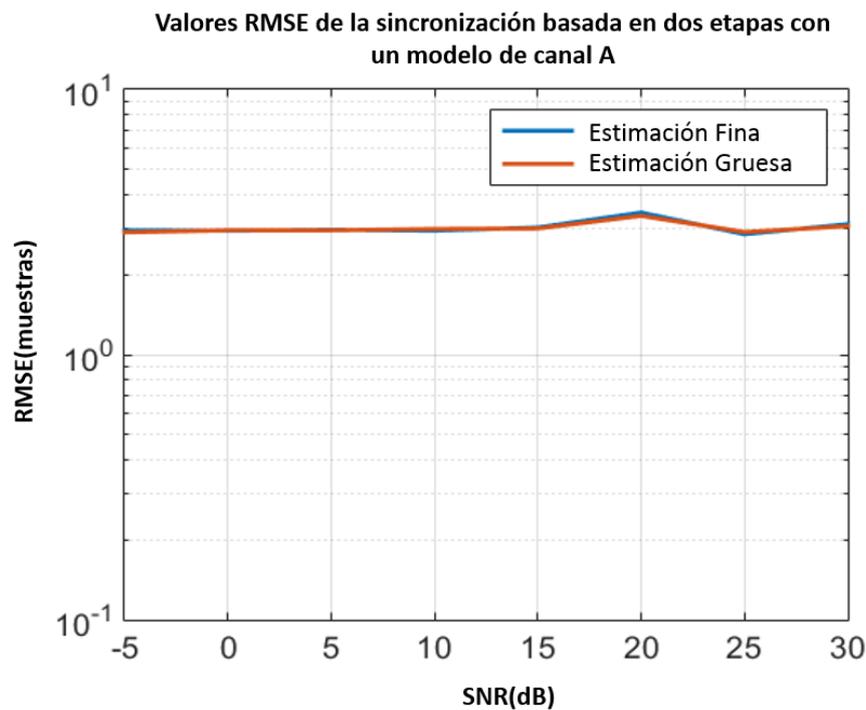


Figura 3.16. RMSE en la sincronización basada en dos etapas para diferentes SNR en un canal A de Tonello [Tonel 12].

Por otro lado, la Figura 3.17 muestra las gráficas CDF (*Cumulative Distribution Function*) para cada una de las SNR simuladas. Los resultados obtenidos en simulación con el algoritmo propuesto basados en dos etapas mejora el algoritmo de sincronización PLC de banda ancha propuesto en [Minn 03]. Nótese que en dicho trabajo [Minn 03] se utiliza OFDM como técnica de acceso al medio y el modelo de canal PLC OPERA [Babic

05], en el cual se considera que el primer camino del canal es el de mayor potencia, siendo por tanto más sencillo el proceso de sincronismo.

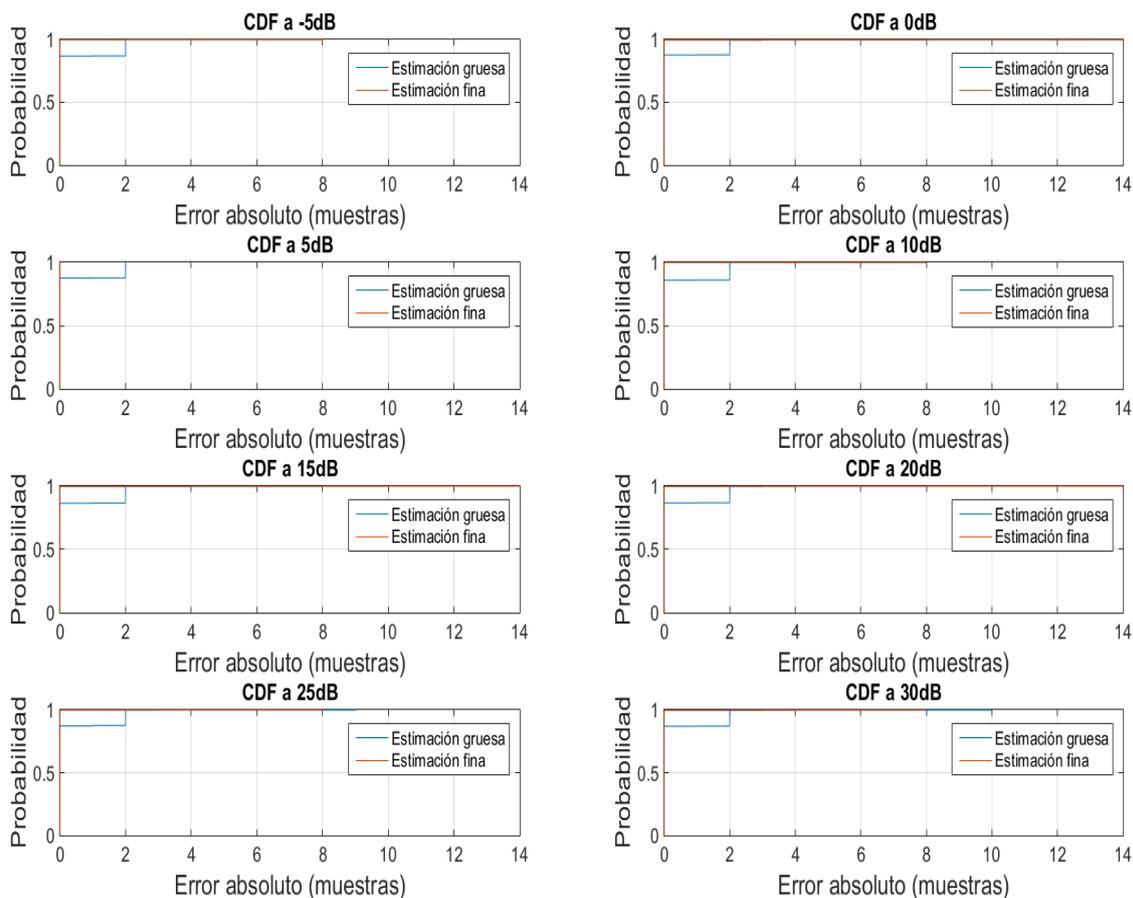


Figura 3.17. CDF en la sincronización basada en dos etapas para diferentes SNR en un canal B de Tonello [Tonel 12].

La Tabla 3.5 muestra el número de realizaciones de cada 1.000 simuladas para las que se consigue un retardo estimado igual al retardo real. Se observa una clara mejora al aplicar la etapa de estimación fina, donde se consigue estimar el retardo sin error.

Tabla 3.5. Porcentaje de estimaciones con error nulo en la sincronización basada en dos etapas para diferentes SNR en un canal B de Tonello [Tonel 12].

Porcentaje de acierto	Sincronización Gruesa	Sincronización Fina	Auto-correlación
-5 dB	86.9%	99.8%	82.6%
0 dB	87.8%	99.5%	84.8%
5 dB	87.5%	100%	81.7%
10 dB	85.9%	99.8%	89.9%
15 dB	86.4%	99.6%	90.1%
20 dB	86.8%	99.6%	90.2%
25 dB	87.2%	99.8%	89.2%
30 dB	87%	99.6%	89.8%

En este caso, es posible comprobar cómo, debido a las dificultades para determinar el primer pico de llegada por el efecto del multicamino en el canal, la estimación fina no puede reducir el RMSE con respecto a la estimación gruesa, e incluso puede empeorar las cifras. Este resultado proviene del elevado número de valores atípicos proporcionados por la estimación gruesa, haciendo inviable mejorar el resultado final durante la etapa de estimación fina.

La Tabla 3.6 muestra el RMSE para el algoritmo de sincronismo propuesto basado en dos etapas para las diferentes relaciones señal-ruido. Como se observa estos valores son muy similares para las etapas de estimación gruesa y estimación fina, esto se debe a que el canal A de Tonello es mucho más hostil y complejo que el modelo B.

Tabla 3.6. Valores RMSE en la sincronización basada en dos etapas para diferentes SNR en un canal A de Tonello [Tonel 12].

RMSE (muestras)	Sincronización	Sincronización	Auto-correlación
	Gruesa	Fina	
-5 dB	2.90	2.94	10.68
0 dB	2.94	2.93	10.39
5 dB	2.94	2.95	10.26
10 dB	2.97	2.93	10.21
15 dB	2.99	3.01	10.16
20 dB	3.34	3.43	10.08
25 dB	2.90	2.84	10.26
30 dB	3.05	3.10	10.03

Por otro lado, la Figura 3.18 muestra el CDF para el modelo A de canal PLC. Los resultados de la simulación mejoran de nuevo los propuestos en [Minn 03]. Además, en la Figura 3.18 se puede observar que la estimación fina también mejora los resultados de la gruesa. Sin embargo, como se mencionó anteriormente, no es posible mejorar el valor RMSE, debido al número de valores atípicos.

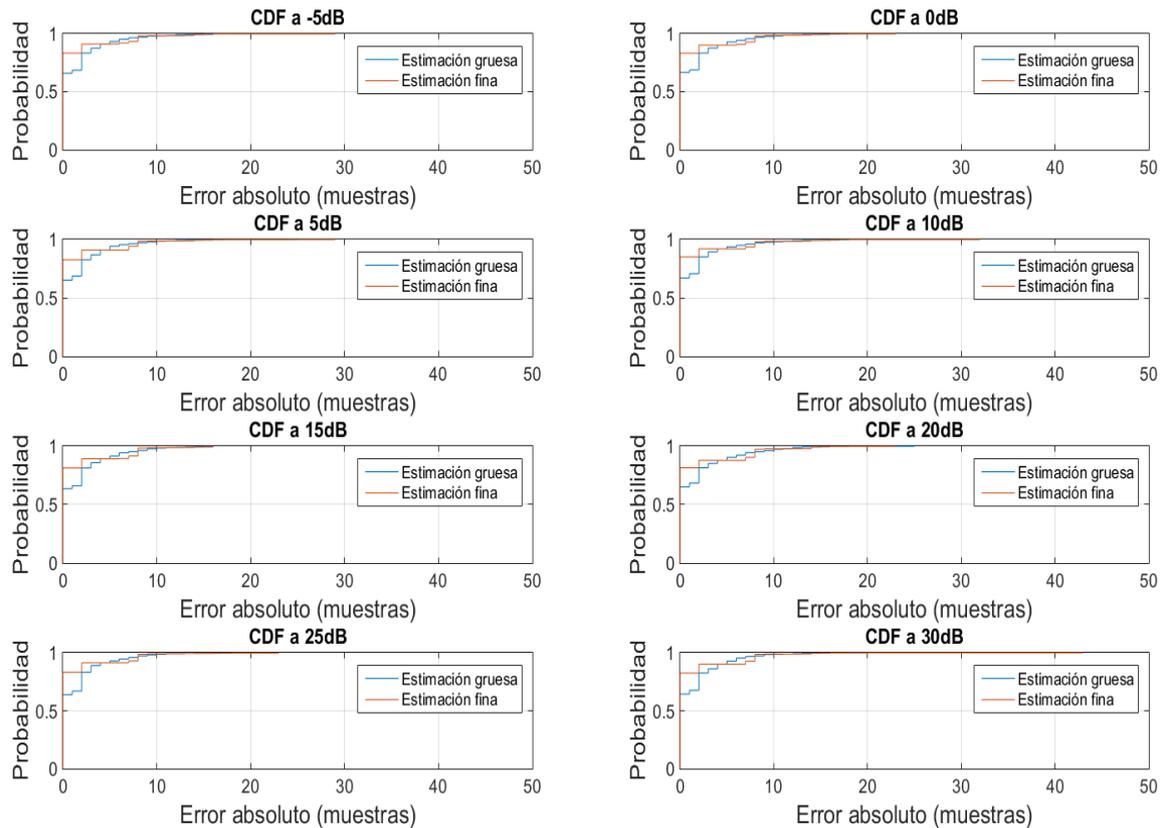


Figura 3.18. CDF en la sincronización basada en dos etapas para diferentes SNR en un canal A de Tonello [Tonel 12].

La Tabla 3.7 muestra el porcentaje de simulaciones de las 1.000 realizadas donde el retardo estimado es igual al real, para el modelo de canal A. Como ya se ha comentado antes, debido a la complejidad que presenta este canal de transmisión, en el que se tiene un mayor multicamino y el primer tap del canal no es el de máxima potencia, es difícil estimar el inicio de la trama emitida en el receptor. Esto conlleva que el error de sincronismo de la etapa de estimación gruesa sea muy elevado, haciendo que la etapa de estimación fina propuesta, en la que solo se tienen en cuenta dos muestras antes y después de la estimación gruesa, no sea válida para corregir la desincronización causada por el canal. Para corregir este error sería necesario emplear un decisor que analizase una ventana de mayor longitud, permitiendo así contemplar ese primer tap de potencia reducida.

Tabla 3.7. Porcentaje de estimaciones con error nulo en la sincronización basada en dos etapas para diferentes SNR en un canal A de Tonello [Tonel 12].

Porcentaje de acierto	Sincronización Gruesa	Sincronización Fina	Auto-correlación
-5 dB	66.0%	83.4%	25.8%
0 dB	66.7%	83.3%	25.1%
5 dB	65.2%	82.7%	24.9%
10 dB	67.0%	85.1%	26.9%
15 dB	63.6%	81.2%	24.5%
20 dB	65.1%	81.5%	28.1%
25 dB	63.8%	83.2%	28.6%
30 dB	64.4%	82.5%	27.5%

3.5 Propuesta de sincronización basada en una etapa

La anterior propuesta basada en una sincronización con dos etapas, una primera gruesa y después otra fina, presenta una elevada complejidad, teniendo en cuenta además la presencia de un correlador eficiente a la salida y un bloque decisor para elegir la muestra correcta de sincronismo. Por ello, se propone a continuación un nuevo algoritmo de sincronismo basado en una sola etapa, según se muestra en la Figura 3.19.

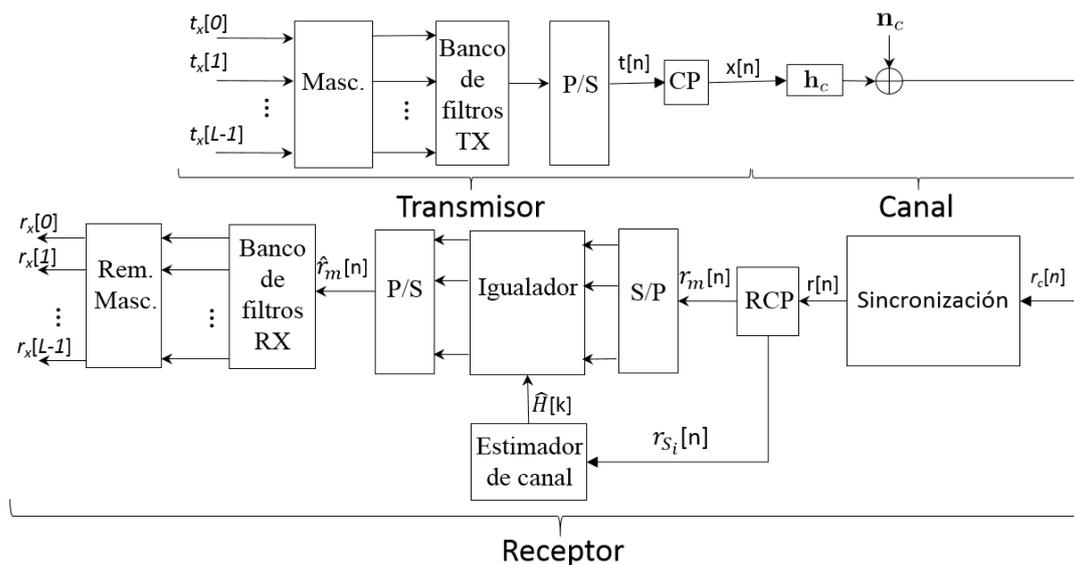


Figura 3.19. Diagrama de bloques del sistema completo propuesto empleando un sincronismo basado en una sola etapa.

Como se observa en el diagrama de bloques de la Figura 3.19, el algoritmo de sincronismo de una sola etapa/fase es muy similar al mostrado en la Figura 3.7. Simplemente, se han substituido los bloques de sincronizaciones gruesa y fina por un único bloque que estima el retardo temporal en el receptor; a su vez se eliminan los bloques del correlador eficiente y el decisor, puesto que el nuevo sistema no necesita una realimentación para elegir el retardo correcto a aplicar, sino que el retardo estimado

se supone correcto y se corrige, en caso de ser necesario, en etapas posteriores del sistema como es la igualación del canal explicada en detalle en el siguiente capítulo.

El bloque marcado como sincronización en la Figura 3.19 consta de las mismas fases que se mencionaban en la etapa de estimación gruesa del modelo anterior: inicialmente se realiza la correlación cruzada entre la señal recibida y la copia de los símbolos pilotos emitidos disponible en el receptor, elevando el resultado al cuadrado para remarcar el pico máximo de correlación frente a posibles lóbulos laterales causados por ruido o multicamino. Se elige una ventana en torno a este pico máximo de correlación y se escoge la primera muestra que supere un cierto umbral V_{th} , siendo considerada como el inicio de la trama. La Figura 3.20 muestra el diagrama de bloques del bloque de sincronización.

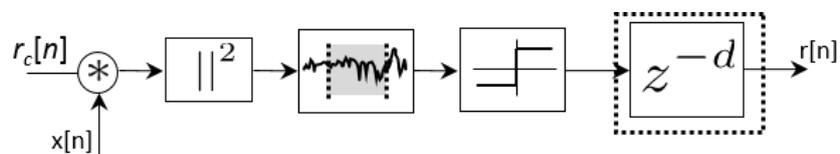


Figura 3.20. Esquema interno del bloque de la sincronización propuesta basada en una sola etapa.

La trama mostrada en la Figura 3.21 está formada por dos primeros paquetes de M datos de secuencias $\{S_0; S_1\}$ que serán empleadas por sus propiedades de correlación, posteriormente se estudian diversos tipos de secuencias para obtener las idóneas para realizar la sincronización entre emisor y receptor, siendo $M=512$ el número de subcanales disponibles para la transmisión. Seguido a estos paquetes se transmite un par de secuencias Zadoff-Chu $\{S_2; S_3\}$; que serán utilizadas posteriormente para estimar el canal. El conjunto de estos cuatro paquetes iniciales es el preámbulo fijo que debe preceder al envío de cualquier conjunto de datos, siendo éstos una sucesión de paquetes con una duración inferior al tiempo de coherencia del canal, para garantizar así que el canal no sufra cambios bruscos durante dicha transmisión y asegurarse una estimación de canal válida para toda la trama. Para finalizar la emisión se añaden dos paquetes nulos, siendo necesarios para compensar el retardo que introduce el banco de filtros del receptor.

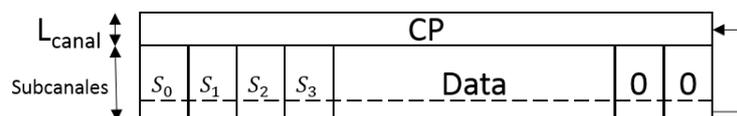


Figura 3.21. Formato de trama de datos propuesta para ser emitida por el transmisor.

En lo sucesivo por tener un mayor interés práctico debido a la elevada complejidad de la implementación, se centran los estudios en la propuesta de una sola etapa, analizando en los siguientes apartados el tipo de secuencias que se emplearán para realizar la sincronización en el receptor con el fin de seleccionar la que mejores

resultados presente. Posteriormente se estudia el efecto que tiene en el sistema aplicar la máscara de emisión PLC en el dominio del tiempo o en dominio de la frecuencia, además de diferentes esquemas de correlación en el receptor. Por último, se estudia el caso de no utilizar CP en la transmisión, comparando los resultados con los obtenidos con el esquema que utiliza el CP.

3.6 Empleo de secuencias en la propuesta de sincronismo

Con el fin de evaluar el comportamiento y obtener la mejor configuración posible de la etapa de sincronismo, se aplican a los paquetes de sincronización diferentes tipos de secuencias, para elegir la que consiga mejor sincronización del sistema. Debido a que el número de canales hábiles para la transmisión según la máscara marcada en el estándar [IEEE 10] es 360 y no se corresponde con un número primo, se establecen dos casos diferentes a la hora de analizar las posibles secuencias y su comportamiento: uno para secuencias con una longitud exacta de 360 muestras; y el otro para longitudes de 359 muestras. Éste último, por ser un número primo, permite emplear secuencias con mejores propiedades de correlación en algunas de las familias que se estudiarán a continuación.

Respecto a cómo se emplazan las secuencias estudiadas en los paquetes de datos $\{S_0; S_1\}$ reservados para el sincronismo, en el caso de los conjuntos complementarios de secuencias CSS, se emplearán conjuntos de $K=2$ secuencias, cada una asociada a un paquete de datos. En el caso de secuencias caóticas, se emplea una secuencia caótica repetida en ambos paquetes de sincronización $\{S_0; S_1\}$ para conservar la estructura de la trama propuesta. De la misma forma se aplicarán las secuencias Thue-Morse y Legendre, es decir, una secuencia en ambos paquetes de sincronización $\{S_0; S_1\}$. Las secuencias Zadoff-Chu tienen parte real e imaginaria, mientras que la transmisión por el canal con Wavelet-OFDM hace imposible emitir valores complejos. Por ello, se propone dividir cada secuencia en dos paquetes, una con la parte real y la otra con la imaginaria. De este modo, el primer paquete de sincronismo $\{S_0\}$ se corresponde con la parte real de la secuencia y el siguiente $\{S_1\}$ con la parte imaginaria. De la misma forma, con las secuencias Huffman, el primer paquete de sincronización $\{S_0\}$ corresponde a la parte real de la secuencia, y el segundo paquete $\{S_1\}$ a la parte imaginaria.

De forma similar a los estudios precedentes, se han simulado 1.000 realizaciones de canal PLC en el sistema mostrado en la Figura 3.19 para evaluar el comportamiento del bloque de sincronismo, empleado relaciones señal-ruido comprendidas entre -5 dB y 30 dB en pasos de 5 dB, resultando un total 8.000 realizaciones distintas del canal para cada tipo de las secuencias descritas. Se vuelven a considerar los dos modelos de canal PLC descritos en la Tabla 3.1, así como cuatro tipos de ruido de canal (\mathbf{n}_c en la Figura

3.19): ruido impulsivo síncrono, asíncrono, ruido de fondo y ruido de banda estrecha presentados en [Zimme 02][Corte 10].

La Figura 3.22 muestra los valores RMSE del bloque de sincronismo empleado el modelo de canal A para cada una de las secuencias utilizadas. Como puede observarse, la mayoría de las secuencias tiene un valor RMSE muy similar en torno a 9/10 muestras, salvo para el caso del empleo de las CSS, donde el valor RMSE es inferior a 9 muestras.

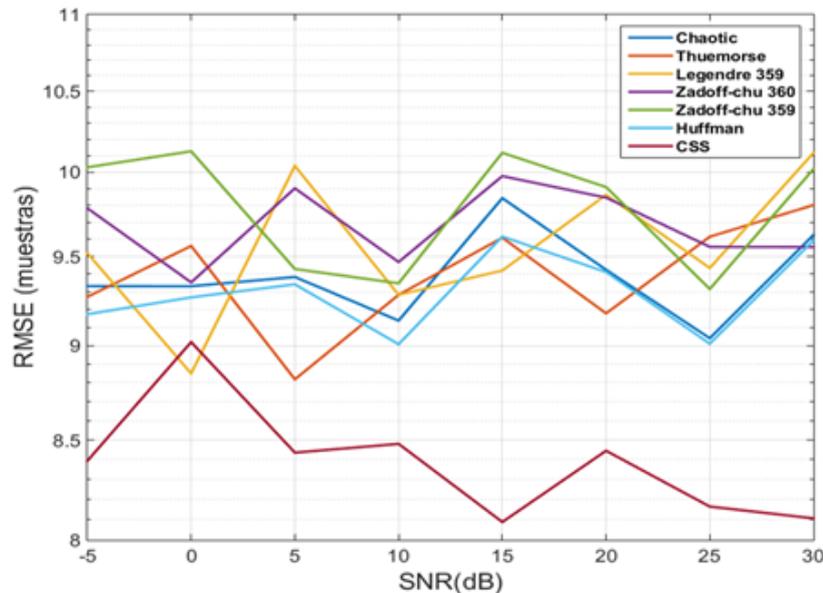


Figura 3.22. Valores RMSE en la sincronización basada en una etapa para distintos tipos de secuencias (con una longitud de 359/360 muestras) y SNR empleando el modelo A de canal PLC.

La Tabla 3.8 muestra el RMSE para el algoritmo simulado en las diferentes relaciones señal-ruido para cada tipo de secuencia. Se puede verificar que el caso donde se consigue una mejor sincronización es usando CSS como símbolos piloto para un modelo de canal A.

Tabla 3.8. Valores RMSE en el sincronismo basado en una etapa para distintas secuencias (con una longitud de 359 o 360 muestras) y diferentes SNR empleando el modelo de canal A.

	Chaotic	Thuemorse	Legendre 359	Zadoff- Chu 360	Zadoff- Chu 359	Huffman	CSS
-5 dB	9.33	9.27	9.51	9.78	10.02	9.17	8.39
0 dB	9.33	9.56	8.85	9.35	10.12	9.26	9.02
5 dB	9.38	8.81	10.03	9.90	9.42	9.34	8.43
10 dB	9.13	9.28	9.28	9.46	9.34	9.00	8.48
15 dB	9.84	9.60	9.41	9.97	10.11	9.61	8.08
20 dB	9.42	9.17	9.86	9.84	9.90	9.41	8.44
25 dB	9.04	9.61	9.43	9.55	9.31	9.01	8.16
30 dB	9.62	9.80	10.11	9.55	10.01	9.59	8.10

La Figura 3.23 muestra los valores RMSE del bloque de sincronismo basado en una sola etapa para SNR comprendidos entre -5 y 30 dB empleado el modelo de canal B para cada una de las secuencias utilizadas. Al igual que para el modelo de canal A, la mayoría de las secuencias tiene un valor RMSE muy similar, en torno a 2/4 muestras, salvo para el caso del empleo de las CSS, donde el valor RMSE es inferior a 2 muestras. Como era de esperar, al emplear un modelo de canal más favorable, se consiguen valores RMSE mejores.

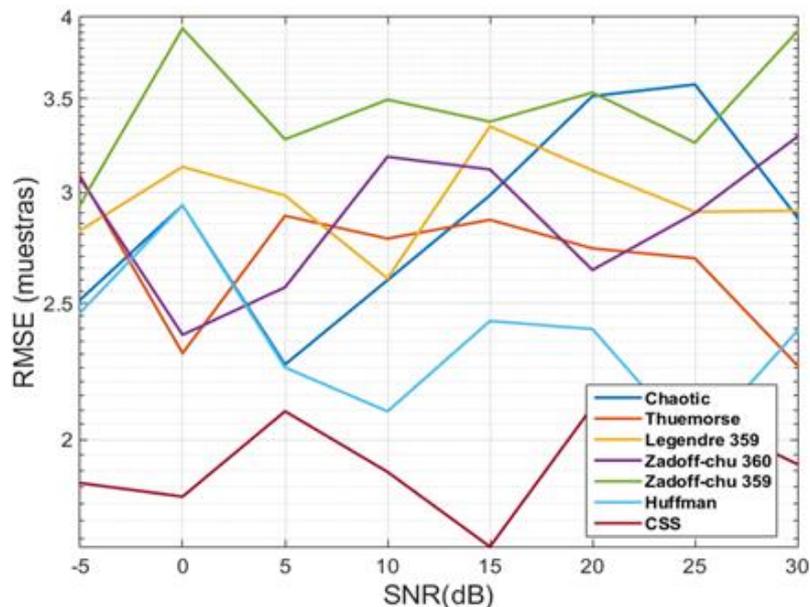


Figura 3.23. Valores RMSE en la sincronización basada en una etapa para distintos tipos de secuencias (con una longitud de 359/360 muestras) y SNR empleando el modelo B de canal PLC.

De forma similar, la Figura 3.24 muestra las gráficas CDF obtenidas para las diferentes SNR en cada tipo de secuencia empleado. Debido a la complejidad del canal de transmisión, los valores de CDF obtenidos, para los que se consigue una sincronización perfecta entre emisor y receptor, no superan el 50%. Por otro lado, es difícil establecer qué tipo de secuencia alcanza una mejor CDF, debido a que los resultados obtenidos varían para cada SNR utilizada.

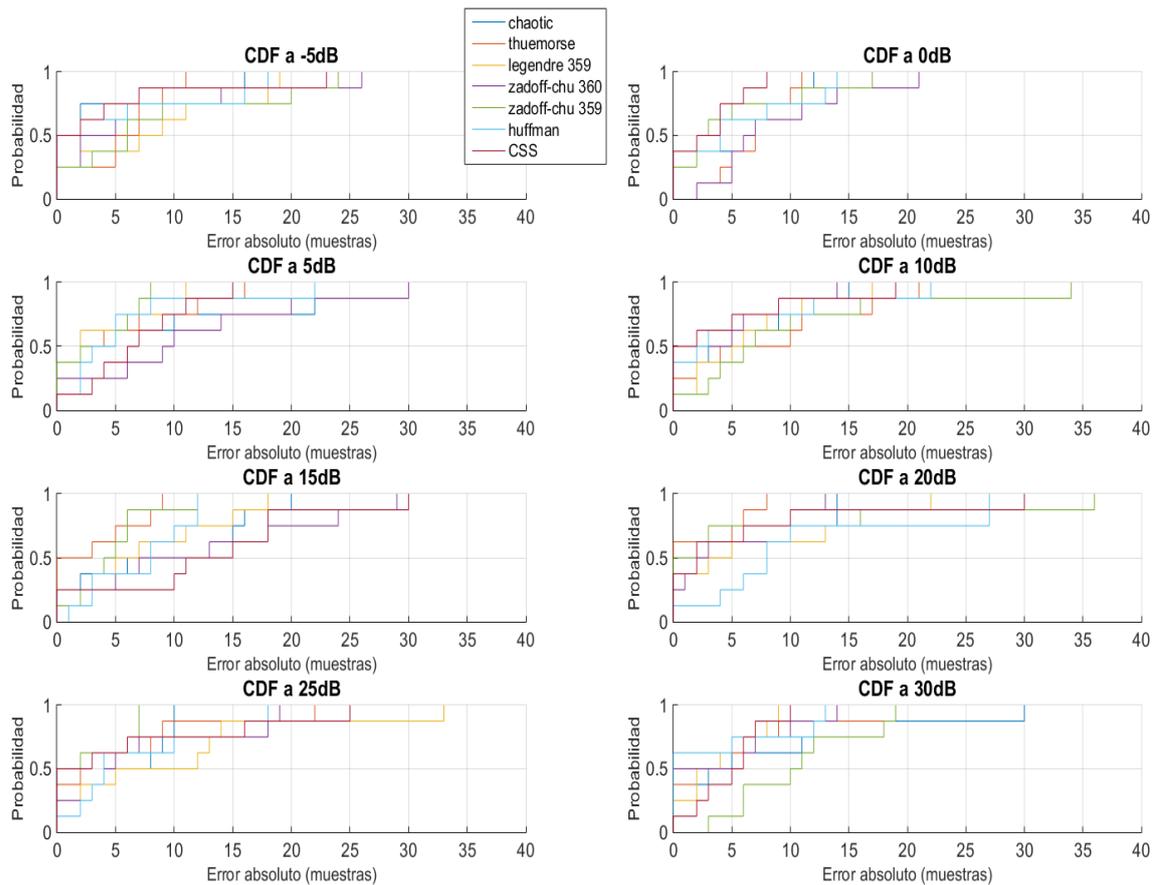


Figura 3.24. Representaciones CDF del sincronismo basado en una etapa para distintos tipos de secuencias y SNR empleando el modelo de canal A.

La Tabla 3.9 muestra el RMSE para el algoritmo de sincronismo basado en una etapa, simulado para diferentes relaciones señal-ruido para cada tipo de secuencia. Nuevamente se corrobora que los CSS obtienen unos mejores resultados como símbolos piloto para un modelo de canal B.

Tabla 3.9. Valores RMSE en el sincronismo basado en una etapa para distintas secuencias (con una longitud de 359 o 360 muestras) y diferentes SNR empleando el modelo de canal B.

	Chaotic	Thuemorse	Legendre 359	Zadoff- Chu 360	Zadoff- Chu 359	Huffman	CSS
-5 dB	2.51	3.08	2.81	3.06	2.94	2.46	1.86
0 dB	2.93	2.30	3.12	2.37	3.92	2.93	1.82
5 dB	2.26	2.88	2.98	2.56	3.27	2.25	2.09
10 dB	2.59	2.78	2.60	3.18	3.49	2.09	1.89
15 dB	2.98	2.86	3.34	3.11	3.36	2.42	1.67
20 dB	3.51	2.76	3.11	2.64	3.53	2.39	2.11
25 dB	3.58	2.69	2.90	2.89	3.25	1.98	2.08
30 dB	2.87	2.25	2.91	3.28	3.90	2.39	1.92

La Figura 3.25 muestra cada uno de los CDF obtenidos para las diferentes relaciones señal-ruido en cada tipo de secuencia empleada. Para el caso del modelo de canal B, donde el entorno es más favorable para la transmisión, los valores que se consiguen para una sincronización perfecta entre emisor y receptor son superiores al 80% en todas las secuencias utilizadas y para cualquier relación señal-ruido.

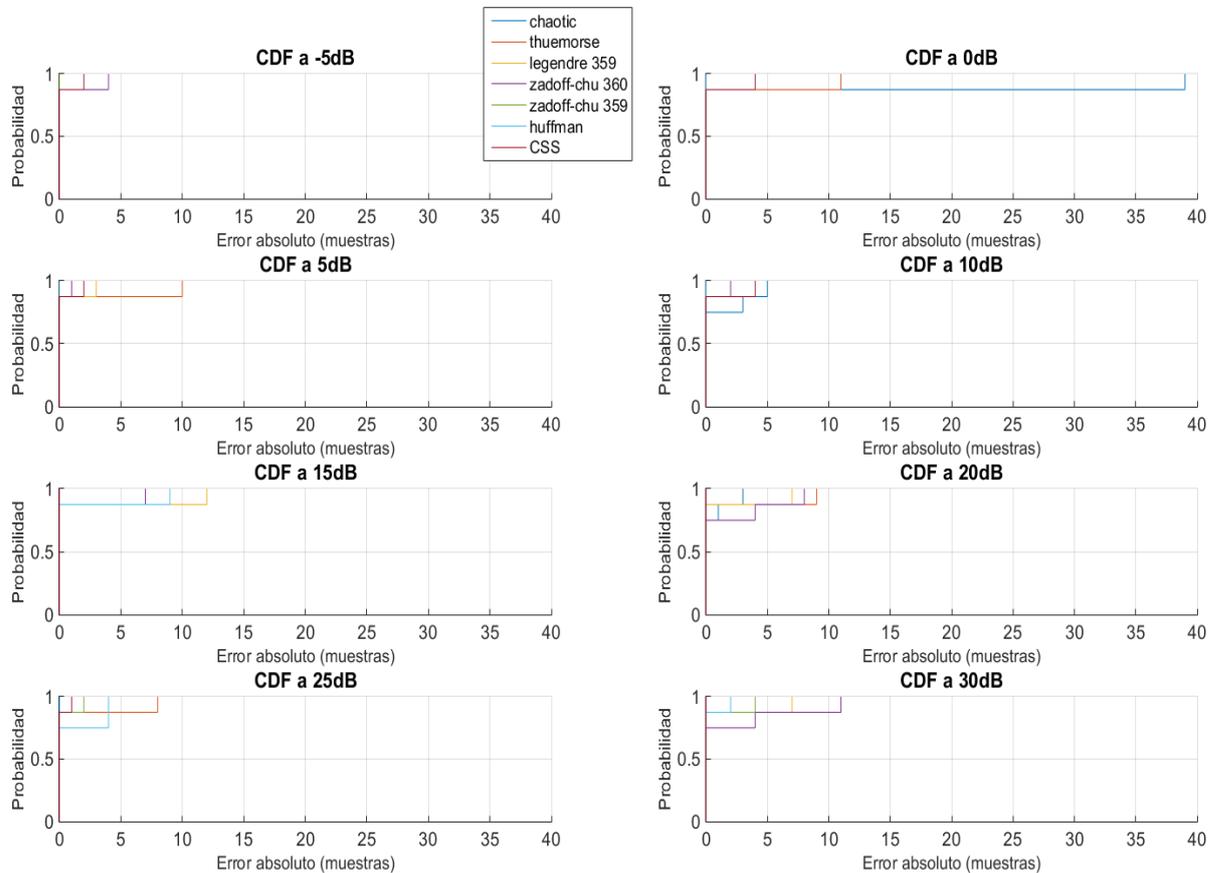


Figura 3.25. Representaciones CDF del sincronismo basado en una etapa para distintos tipos de secuencias y SNR empleando el modelo de canal B.

La Tabla 3.10 recopila cada uno de los porcentajes en los que se consigue una sincronización perfecta entre emisor y receptor para cada valor de relación señal-ruido empleando las diferentes secuencias y para ambos modelos de canal. Como se mencionó antes, el canal B es más favorable, por lo que puede observarse que los porcentajes son muy superiores que en el caso del canal de transmisión tipo A.

Tabla 3.10. Porcentaje de estimaciones de sincronismo con error nulo según el algoritmo propuesto basado en una sola etapa con cada secuencia y para diferentes SNR en ambos canales A y B.

	Canal	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
Chaotic	A	50%	37.5%	37.5%	37.5%	25%	50%	37.5%	37.5%
	B	100%	87.5%	100%	75%	100%	75%	100%	100%
Thuemorse	A	25%	12.5%	37.5%	25%	50%	62.5%	37.5%	37.5%
	B	100%	87.5%	87.5%	100%	100%	87.5%	87.5%	100%
Legendre	A	25%	37.5%	37.5%	12.5%	12.5%	37.5%	25%	25%
	B	100%	100%	87.5%	87.5%	87.5%	87.5%	87.5%	87.5%
Zadoff-Chu	A	25%	12.5%	25%	50%	25%	25%	25%	50%
	B	87.5%	100%	87.5%	87.5%	87.5%	75%	87.5%	87.5%
Zadoof-Chu	A	25%	25%	37.5%	12.5%	12.5%	50%	50%	12.5%
	B	100%	100%	100%	100%	100%	100%	87.5%	87.5%
Huffman	A	50%	37.5%	12.5%	37.5%	12.5%	12.5%	12.5%	62.5%
	B	87.5%	100%	100%	100%	87.5%	100%	75%	87.5%
CSS	A	50%	37.5%	12.5%	50%	25%	37.5%	50%	12.5%
	B	87.5%	87.5%	87.5%	87.5%	100%	100%	87.5%	100%

La conclusión que se obtiene después de realizar este estudio con los diferentes tipos de secuencias empleados según la propuesta de sincronismo basada en una sola etapa es que las mejores prestaciones y resultados se obtienen con los conjuntos complementarios de secuencias CSS.

3.7 Influencia de la máscara de transmisión PLC

La principal ventaja que se pretende conseguir al usar los conjuntos CSS multinivel es aprovechar sus propiedades de correlación a la hora de sincronizar. En el diseño de la Figura 3.19 las muestras de las secuencias se distribuyen entre los canales habilitados para la transmisión mediante la máscara aportada en la Figura 3.1, para posteriormente ser moduladas mediante el banco de filtros del transmisor. Esta serie de pasos por los que son tratadas las secuencias llevan a pensar que las propiedades de correlación que poseen puedan perderse y no conseguirse un pico de correlación óptimo.

La Figura 3.26 muestra dos tipos de diagrama de bloques con los que se pretende estudiar el comportamiento de las propiedades de correlación de las secuencias con el fin de elegir la configuración que mejor se adapte al sistema. El nuevo modelo mostrado (parte superior de la Figura 3.26), en el que se aplica la máscara PLC en el dominio de la frecuencia, utiliza secuencias de una longitud mayor, 512 muestras, que pasan al dominio de la frecuencia para posteriormente anular los canales que no son hábiles para la transmisión según la máscara. El resultado se transforma al dominio del tiempo y se transmite con el CP por el canal.

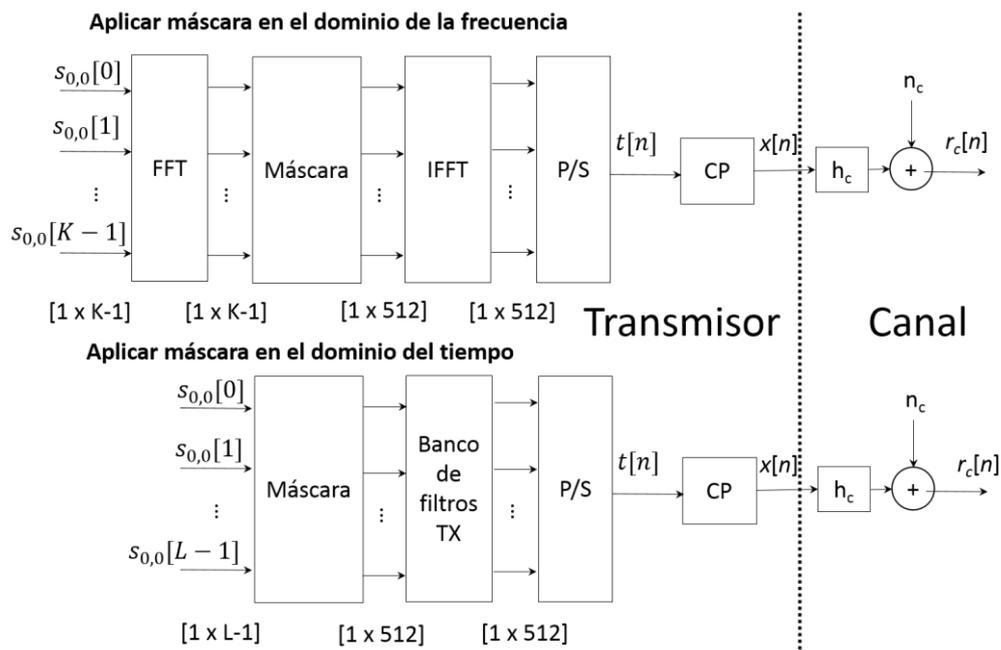


Figura 3.26. Diagrama de bloques de la nueva propuesta de transmisión de CSS (parte superior) en el sincronismo basado en una etapa, comparado con la aplicación de la máscara en el dominio del tiempo antes descrito (parte inferior).

La principal diferencia entre el método que aplica la máscara PLC en el tiempo y el método que aplica la máscara en el dominio de la frecuencia es que esta última no modula las secuencias para ser transmitidas por el emisor, haciendo que no se pierdan las propiedades de correlación de las secuencias al someterlas a cambios de dominio frecuencia-tiempo.

Las simulaciones que se han realizado utilizan una longitud de secuencias para el esquema que aplica la máscara en el dominio de la frecuencia de $L=512$ muestras, mientras que en el precedente se emplea una longitud de secuencia de $L=360$ muestras, para acoplarse a los canales que deja disponibles la máscara de transmisión (recuérdese que de un total de $M=512$ subportadoras, sólo se permite el envío de información por 360 de ellas). En el esquema que aplica la máscara en el dominio de la frecuencia se emplea una secuencia de longitud mayor, siendo posteriormente en el dominio de la frecuencia donde se anulan las subportadoras por las que no se debe emitir, recuperando la señal resultante en el dominio temporal para su emisión. El resultado obtenido es una secuencia degradada pero que conserva las propiedades de correlación de la secuencia original.

El estudio al aplicar la máscara en el dominio de la frecuencia se centra en la comparación de los resultados de la correlación para comprobar cómo se conservan las buenas propiedades de los conjuntos CSS. La Figura 3.27 muestra el resultado de la auto-correlación de una secuencia del conjunto con una longitud de $L=512$, con el fin de evaluar posteriormente cómo evoluciona la misma al ir introduciendo las sucesivas etapas del esquema propuesto.

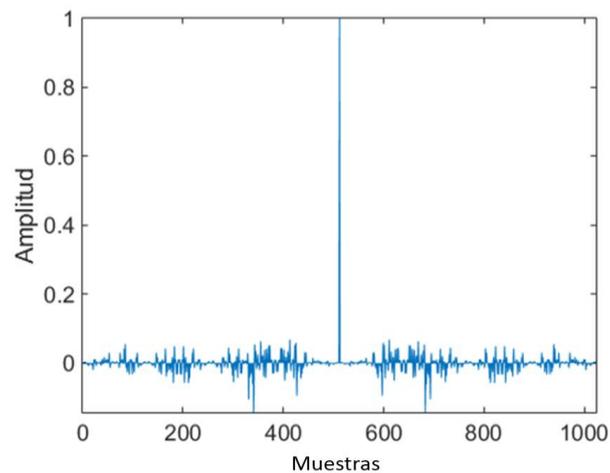


Figura 3.27. Función de auto-correlación normalizada para una secuencia de un conjunto CSS multinivel de longitud $L=512$ muestras.

La Figura 3.28 representa el resultado de la auto-correlación de una secuencia del conjunto después de haberse sometido a los cambios de dominio de la frecuencia, eliminación de los canales marcados por la máscara, y volver a transformar al dominio del tiempo. Puede observarse que aparecen lóbulos laterales de mayor amplitud, pero aún es claramente distinguible el pico máximo de correlación.

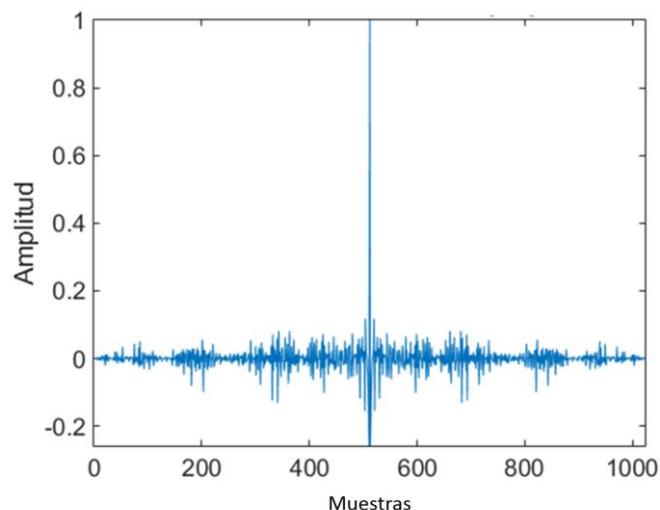


Figura 3.28. Función de auto-correlación de una secuencia de un conjunto CSS con una longitud $L=512$ muestras, una vez procesada a través del esquema de transmisión propuesto en el dominio de la frecuencia para el sincronismo basado en una sola etapa.

Para realizar una buena comparación, se obtiene el resultado de esa misma auto-correlación de la secuencia al repartir los bits por cada canal de emisión y modularse por el banco de filtros del transmisor, mostrándose en la Figura 3.29. Nótese que éste es el esquema que aplica la máscara PLC en el dominio del tiempo.

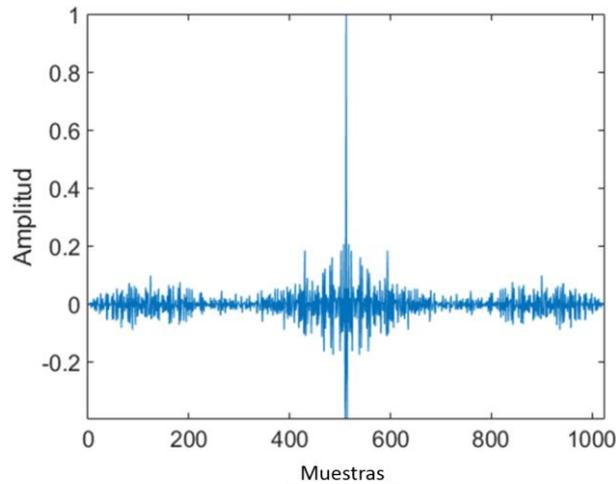


Figura 3.29. Función de auto-correlación de una secuencia de un conjunto CSS con una longitud $L=512$ muestras, una vez procesada a través del esquema de transmisión propuesto para una máscara aplicada en el dominio del tiempo para el sincronismo basado en una sola etapa.

Comparando la Figura 3.28 con la Figura 3.29, puede observarse como los valores de los lóbulos laterales obtenidos con el sistema que aplica la máscara en el dominio de la frecuencia poseen un mayor amplitud respecto a utilizar la secuencia para correlar, siendo el pico de correlación lo suficientemente elevado para descartar posibles interferencias por ruido en el canal PLC.

Para finalizar se obtiene la correlación entre la señal recibida $r_c[n]$ y la copia de los símbolos piloto transmitidos $x[n]$, una vez se ha añadido el CP y se ha transmitido por el canal de comunicaciones. La Figura 3.30 muestra la correlación obtenida en el receptor con el nuevo sistema propuesto, donde puede observarse que ha sido atenuada debido al canal y que los lóbulos laterales cobran mayor importancia, pero siempre estando por debajo del pico máximo de correlación.

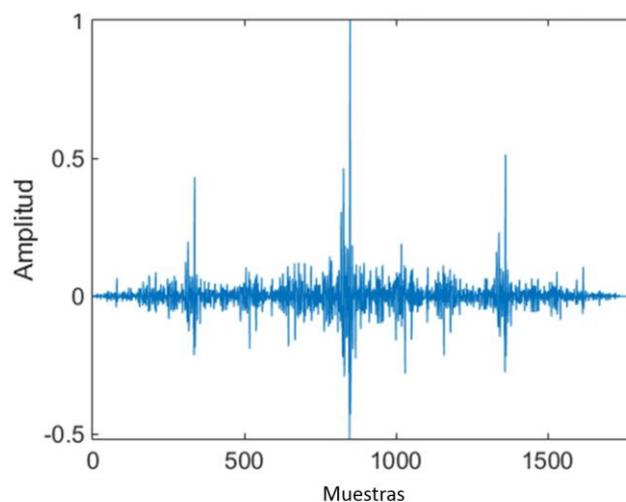


Figura 3.30. Función de correlación cruzada entre los símbolos piloto transmitidos (consistentes en las secuencias de un CSS multinivel de longitud $L=512$ muestras) y la señal

recibida incluyendo CP, y para un esquema de transmisión que aplica la máscara PLC en el dominio de la frecuencia.

Obteniendo la correlación entre la señal recibida $r_c[n]$ y la copia de los símbolos piloto transmitidos $x[n]$ para el esquema que aplica la máscara en el dominio temporal, la Figura 3.31 muestra nuevamente que el pico máximo de correlación tiene un valor inferior frente a los lóbulos laterales que el que se obtiene por el nuevo esquema que aplica la máscara en el dominio de la frecuencia.

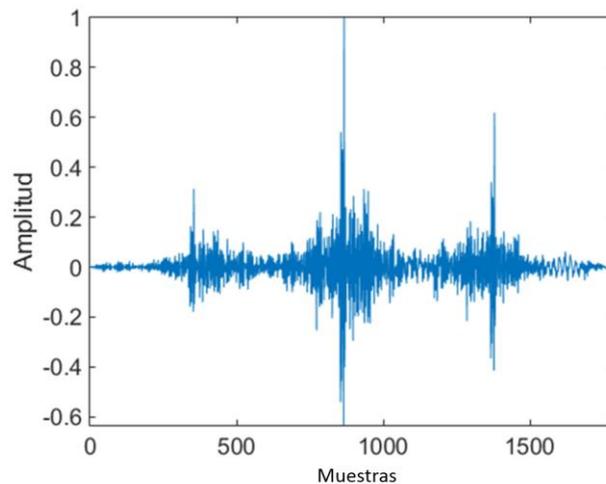


Figura 3.31. *Función de correlación cruzada entre los símbolos pilotos transmitidos (consistentes en las secuencias de un CSS multinivel de longitud $L=512$ muestras) y la señal recibida incluyendo CP, y para un esquema de transmisión que aplica la máscara PLC en el dominio temporal.*

La Tabla 3.11 muestra los valores de SMR (Sidelobe to Mainlobe Ratio) para cada una de las correlaciones obtenidas para el diseño que aplica la máscara en el dominio de la frecuencia y el diseño que aplica la máscara en el dominio temporal, pudiendo observarse que se mejora los resultados al emplear el sistema que aplica la máscara en el dominio de la frecuencia.

Tabla 3.11. *Valores de cota para las correlaciones obtenidas.*

	SMR
Auto-correlación de la secuencia original	0.054
Auto-correlación de la señal $x[n]$ en el esquema que aplica la máscara PLC en el dominio del tiempo	0.100
Auto-correlación de la señal $x[n]$ en el esquema que aplica la máscara PLC en el dominio de la frecuencia	0.099
Correlación cruzada de la señal $r_c[n]$ con $x[n]$ en el esquema que aplica la máscara PLC en el dominio del tiempo	0.621
Correlación cruzada de la señal $r_c[n]$ con $x[n]$ en el esquema que aplica la máscara PLC en el dominio de la frecuencia	0.502

Como se ha demostrado, el esquema que aplica la máscara en el dominio de la frecuencia utilizado en la emisión, mejora los resultados de correlación obtenidos, por lo que se incorpora dicha funcionalidad al sistema, de tal forma que ahora las secuencias empleadas para la sincronización se las aplica la máscara en el dominio de la frecuencia. Éstas son transmitidas sin ser moduladas por el banco de filtros del transmisor y posteriormente los datos modulados por el banco de filtros.

3.8 Estudio del esquema de correlación en el receptor

Una vez se han definido los preámbulos propuestos en este trabajo, se pasa a continuación a analizar diferentes esquemas de correlación que pueden ser empleados en el bloque de sincronismo. En este apartado se van a utilizar diferentes longitudes de secuencias a las que se aplica la máscara en el dominio de la frecuencia para ser transmitidas por el canal PLC. En el receptor se estudian diferentes símbolos pilotos para realizar la correlación, ya sea con los símbolos piloto emitidos con CP o con la propia secuencia utilizada antes de añadir la máscara PLC en el dominio de la frecuencia.

Para este análisis, se ha empleado una trama completa de transmisión de datos como la mostrada en la Figura 3.32. En ella se puede observar que los dos primeros paquetes están dedicados al sincronismo $\{S_0; S_1\}$, seguidos de los utilizados para la estimación de canal $\{S_2; S_3\}$, y finalmente, en este caso se ha optado por enviar diez paquetes de datos aleatorios y los dos últimos paquetes de ceros para compensar el retardo de grupo de los filtros.

S_0	S_1	S_2	S_3	10 paquetes de datos	$2M \times$ ceros
-------	-------	-------	-------	----------------------	-------------------

Figura 3.32. Trama de datos emitidos.

A continuación, se van a estudiar comparativamente tres configuraciones diferentes para realizar la correlación en el receptor, para tratar de establecer cuál presenta un mejor rendimiento ante la trama definida.

3.8.1 Configuración A

En este caso se muestra el comportamiento del sistema según se ha empleado hasta el momento en todas las pruebas y análisis realizados anteriormente en este capítulo. La Figura 3.33 muestra el diagrama de bloques empleado, donde se realiza la correlación cruzada en el receptor de la señal recibida $r_c[n]$ con los símbolos piloto transmitidos $x[n]$, las secuencias CSS multinivel $S_{0,k}[n]$, además de incluir el correspondiente CP.

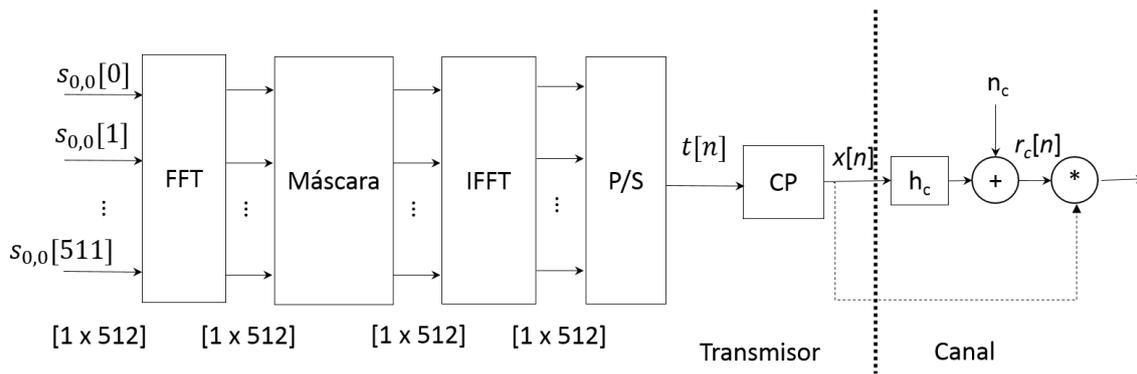


Figura 3.33. Diagrama de bloques para el tipo de configuración A

La longitud de las secuencias CSS empleadas es también $L=512$ muestras (como el número de subportadoras M , y consecuentemente el tamaño del paquete de datos), de los cuales se anulan fijándose a cero los de las subportadoras canceladas por la máscara de emisión del estándar. En el receptor se realiza la correlación cruzada con los símbolos piloto después de añadirse el CP y obteniendo una correlación como la mostrada en la Figura 3.34.

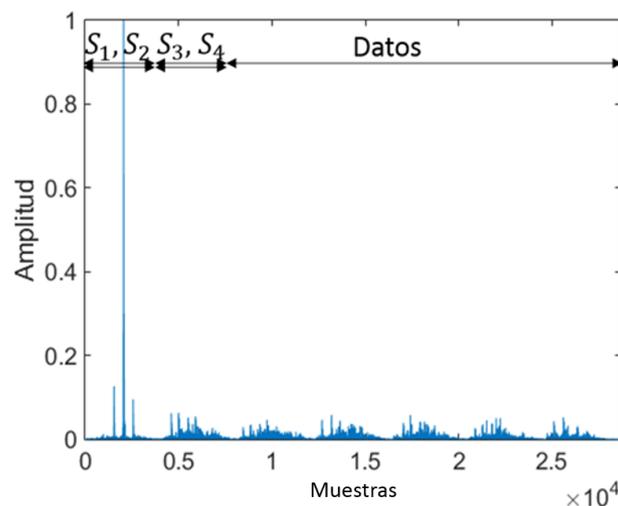


Figura 3.34. Correlación cruzada de la señal recibida $r_c[n]$ con los símbolos piloto de la señal $x[n]$ para el esquema de la configuración A.

En la Figura 3.34 puede observarse como el pico máximo de correlación destaca por encima de los lóbulos laterales y del resto de datos de la trama emitida, haciendo por lo tanto viable la estimación del comienzo de las secuencias.

3.8.2 Configuración B

Este caso es muy similar al anterior, realizando igualmente la correlación cruzada entre los símbolos pilotos emitidos una vez se añade el CP $x[n]$ y la señal recibida $r_c[n]$. Sin embargo, en este caso se ha supuesto el uso de secuencias de una menor longitud, por lo que ahora en vez de anular los canales cancelados por la máscara, se reparten las muestras de la secuencia por cada subportadora en la que se permite la emisión. En

total se tienen 360 subportadoras disponibles para la transmisión, por lo que se propone emplear secuencias con una longitud $L=173$ muestras, siendo muy inferior a los 360 disponibles en la transmisión. Como se explicará en el Capítulo 5, se elige esta longitud de secuencia debido a que el AFE (*Analog Front End*) empleado en la capa física no permite el envío de algunas de las subportadoras por su limitación en el ancho de banda.

La Figura 3.35 muestra cómo se han empleado y transmitidos las secuencias CSS de longitud 173 muestras para realizar la sincronización.

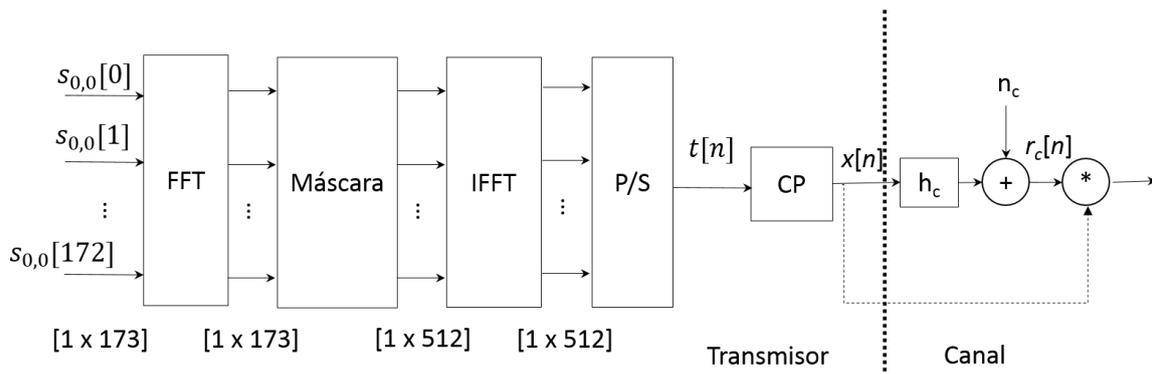


Figura 3.35. Diagrama de bloques para el tipo de configuración B.

En la Figura 3.36 se muestra el resultado de la correlación obtenido. El pico máximo de correlación sigue siendo mayor que el resto de valores obtenidos para los paquetes de datos de la trama.

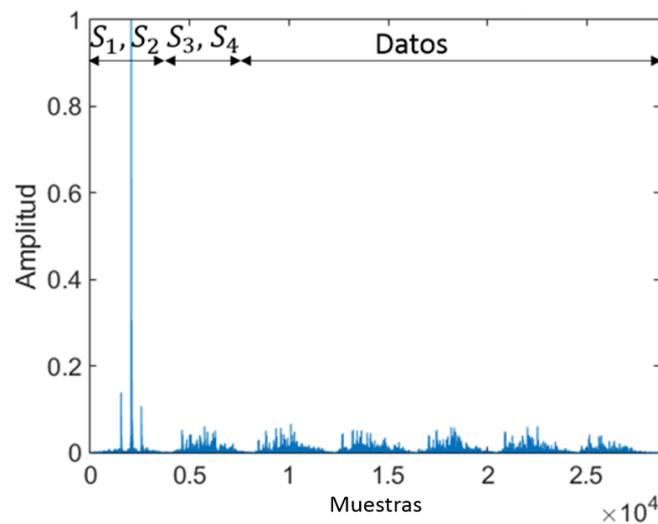


Figura 3.36. Correlación cruzada de la señal recibida $r_c[n]$ con los símbolos piloto de la señal $x[n]$ para el esquema de la configuración B.

3.8.3 Configuración C

El último caso estudiado realiza la correlación en el receptor con las propias secuencias empleadas como símbolos piloto, si necesidad de eliminar los bits

correspondientes a las frecuencias que descarta la máscara PLC. De este modo el diagrama de bloques de la correlación queda como se muestra en la Figura 3.37.

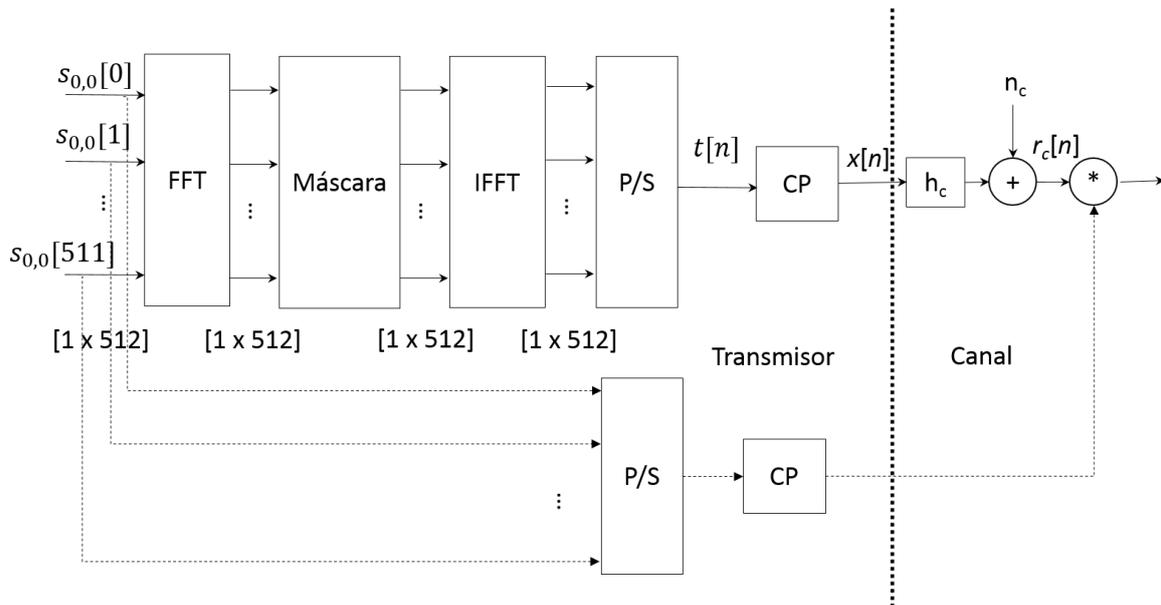


Figura 3.37. Diagrama de bloques para el tipo de configuración C.

Como se observa es necesario añadir a estos símbolos piloto la parte correspondiente al prefijo cíclico para obtener los patrones finales de correlación en el receptor. En la Figura 3.38 se muestra el resultado de la correlación obtenido.

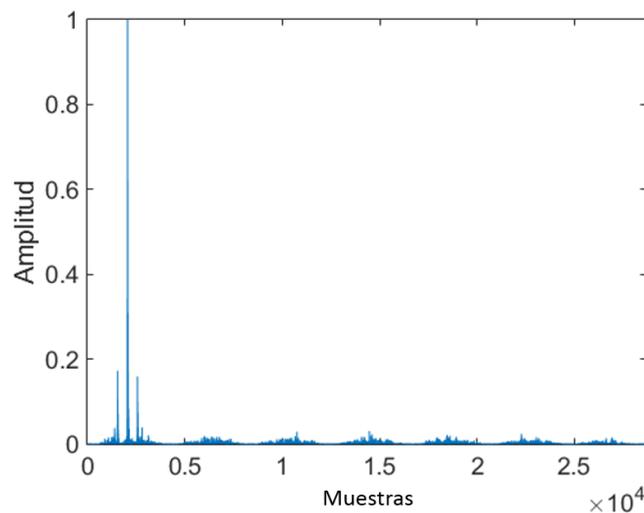


Figura 3.38. Correlación cruzada de la señal recibida $r_c[n]$ con los símbolos piloto de la señal $x[n]$ para el esquema de la configuración C.

La correlación cruzada con el resto de datos recibidos $r_c[n]$ es insignificante respecto al pico máximo de la correlación, por lo que utilizar directamente las secuencias complementarias como patrón de referencia en la correlación del receptor no empeora el comportamiento del sistema.

3.8.4 Resultados del estudio para cada tipo de configuración

En este apartado se analizan los resultados obtenidos para cada tipo de configuración explicada anteriormente, con el fin de comprobar las ventajas y desventajas que cada una presenta para realizar la sincronización del sistema.

La Tabla 3.12 muestra los valores de SMR para las correlaciones obtenidas para cada uno de los tres esquemas presentados. El mínimo valor de SMR se consigue para la configuración B, aunque no es una comparación justa debido a que no se utilizan todos las subportadoras permitidas por la máscara PLC para la transmisión de datos, perdiendo eficiencia en el sistema. En el resto de casos se observa que se consiguen valores de cota similares, pero por simplicidad en el diseño (es posible correlar directamente en el receptor con los conjuntos complementarios de secuencias) a la hora de correlar en el receptor es mejor el tercer caso mostrado, a falta de realizar un estudio de los valores de sincronismo obtenidos para estos dos casos.

Tabla 3.12. SMR obtenidos para tipo de configuración presentada.

	SMR
Configuración A	0.167
Configuración B	0.140
Configuración C	0.172

Habiendo descartado el segundo caso por ser el que menor eficiencia tiene en la transmisión debido a que emplea menor número de subportadoras, se realiza una comparativa entre los casos restantes para comprobar el valor RMSE en el sincronismo, representándose en la Figura 3.39 para el canal B de Tonello y la Figura 3.40 para el canal A [Tonel 12]. Se han realizado 1000 simulaciones de canal diferentes para relaciones señal-ruido comprendidas entre -5dB y 30dB con pasos de 5dB, y un ruido de canal añadido presentado en [Zimme 02] [Corte 10]. Ambas figuras muestran que existe poca diferencia entre las configuraciones de correlación propuestas; lo que sí se comprueba es que en el diseño en el que se aplica la máscara PLC en el dominio temporal se consigue reducir el valor RMSE presentado en la Figura 3.22 y la Figura 3.23.

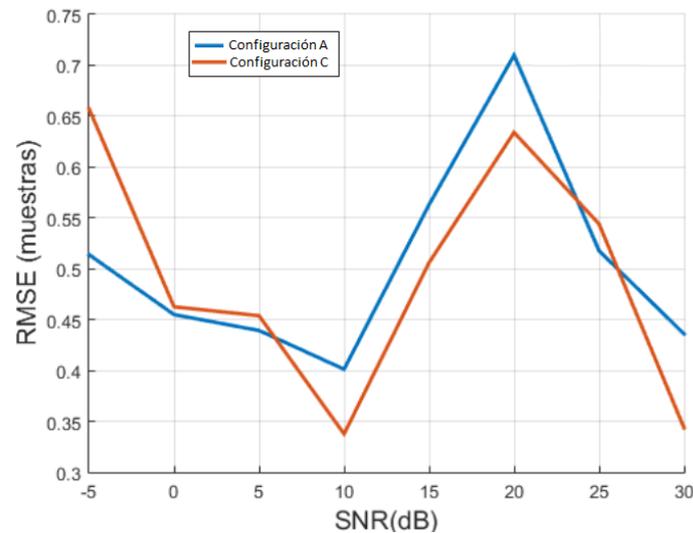


Figura 3.39. Valores RMSE en la sincronización para las distintas configuraciones de correlación analizados, empleando el canal B de Tonello.

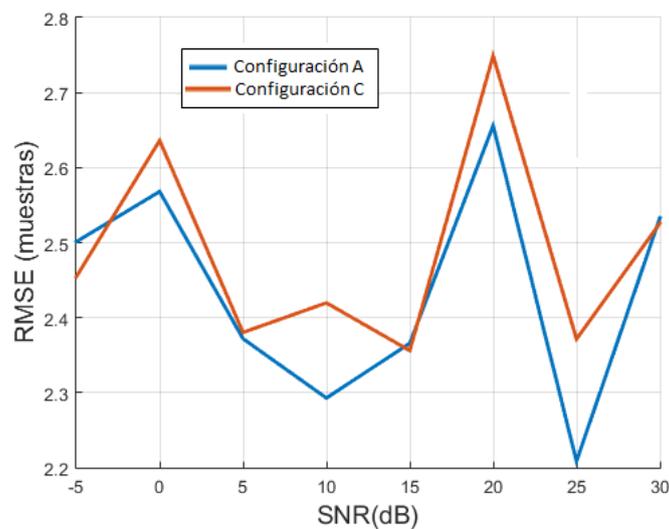


Figura 3.40. Valores RMSE en la sincronización para las distintas configuraciones de correlación analizados, empleando el canal A de Tonello.

En la Tabla 3.13 quedan reflejados cada uno de los valores de la Figura 3.39 y la Figura 3.40, observándose que no existe una diferencia apreciable entre las configuraciones estudiadas.

Tabla 3.13. Valores RMSE en la sincronización para los distintos esquemas de correlación analizados.

	Canal	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
Configuración A	A	2.50	2.56	2.37	2.29	2.36	2.65	2.20	2.53
	B	0.51	0.45	0.44	0.40	0.56	0.71	0.51	0.43
Configuración C	A	2.45	2.63	2.38	2.42	2.35	2.75	2.37	2.53
	B	0.65	0.46	0.45	0.33	0.50	0.63	0.54	0.34

Concluyendo con este estudio, se ha comprobado que emplear directamente las secuencias complementarias multinivel aplicando la máscara en el dominio de la frecuencia mejora el resultado de la correlación cruzada en el receptor para determinar el inicio de la trama como muestran los valores RMSE obtenidos en ambos modelos de canal. De esta forma, se decide continuar aplicando la configuración C, en la que se correla directamente en el receptor con las secuencias empleadas en la trama antes de aplicarse la máscara de emisión PLC en el dominio de la frecuencia.

3.9 Estudio comparativo del uso del prefijo cíclico

El siguiente apartado muestra una comparativa entre la utilización de prefijo cíclico en la transmisión de datos PLC y la transmisión equivalente sin el uso del prefijo cíclico (CP). En trabajos previos se ha establecido que, en una modulación mediante una Transformada Discreta del Coseno (DCT) y un posterior banco de filtros (Wavelet-OFDM) [Poude 14], no es necesario el uso del prefijo cíclico para la emisión en banda ancha [Chen 15]. En cualquier caso, existen también gran cantidad de trabajos que utilizan el prefijo cíclico debido a que mejora las prestaciones y simplicidad del receptor [Kong 14].

En el caso de no usar el prefijo cíclico, el canal queda modelado por la propia respuesta impulsiva de éste, haciendo más complicada la eliminación de las interferencias inter-símbolo y del efecto que causa el canal en la transmisión, siendo más complicado conseguir recuperar los datos en el receptor.

Orientando a una futura implementación en FPGA, es sumamente complejo realizar una correlación cruzada en el dominio del tiempo; por ello y con el único fin de mejorar la implementación final se trabaja en el dominio de la frecuencia para obtener la correlación. Esta correlación puede expresarse en el dominio de la frecuencia como (28):

$$c[n] = IDFT \{DFT\{r_c[n]\} \cdot DFT\{S_n[n]\}\} \quad (28)$$

Donde $c[n]$ es el resultado de la correlación; DFT e IDFT son las transformadas discretas de Fourier directa e inversa; $r_c[n]$ es la señal recibida por el canal de comunicaciones contaminada por ruido y el efecto del canal; y $S_n[n]$ son las secuencias utilizadas como símbolos pilotos en el emisor.

Debido al uso del prefijo cíclico, la correlación necesaria para la sincronización necesita de una FFT interna de 4096 puntos por la longitud utilizada. El valor de 4096 puntos de la FFT se obtiene de la correlación de las tramas de pilotos $S_n[n]$ con $r_c[n]$ ambas con una longitud de 2048 muestras, como se muestra en la Figura 3.41.

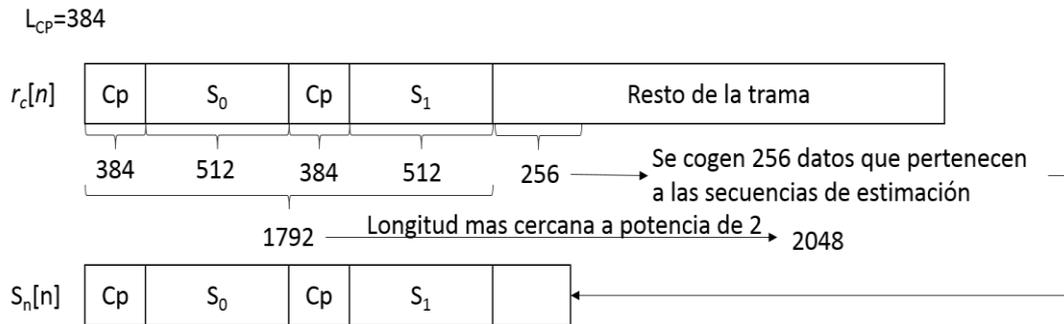


Figura 3.41. Esquema de correlación con un prefijo cíclico de 384 muestras.

En la Figura 3.41, los bloques inferiores hacen referencia a los paquetes transmitidos utilizados para la sincronización del sistema, mientras que los bloques superiores equivalen a los mismos paquetes recibidos después de ser transmitidos por el canal PLC. Si de la trama se elimina el prefijo cíclico, se reduce considerablemente los datos que deben ser emitidos. Esto da lugar a varias técnicas de sincronización, todas ellas empleando la correlación cruzada entre la señal recibida $r_c[n]$ con los símbolos piloto enviados $S_n[n]$ pero con ligeras variaciones. En los siguientes esquemas, a modo de ejemplo ilustrativo, se ha supuesto un retardo de canal de 26 taps, empleando el mismo modelo de canal B de Tonello y sin ruido añadido, para comprobar cuál es el resultado de la correlación cruzada en el receptor y verificar si el retardo estimado en todos ellos es el mismo. En los siguientes esquemas de correlación se elimina el uso del prefijo cíclico.

3.9.1 Uso de las secuencias de estimación de canal junto a las secuencias de sincronismo para realizar la correlación cruzada en el receptor

El primer esquema que se propone implica seguir utilizando una FFT de 4096 puntos para realizar la sincronización, por lo que se supone que la longitud del preámbulo de sincronismo debe seguir siendo 2048 muestras.

Habiendo eliminado el prefijo cíclico, si se siguen utilizando un preámbulo de 2048 datos de longitud con el mismo número de secuencias que se usaban anteriormente para sincronizar (únicamente 2 secuencias), es obvio que en la sincronización tomarán más importancia las secuencias utilizadas para la estimación de canal (véase la Figura 3.42).

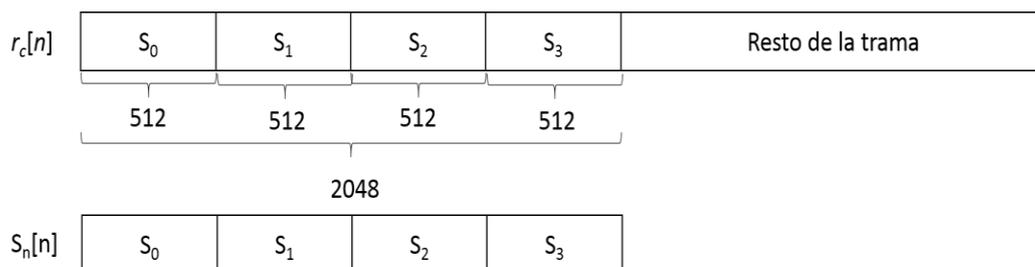


Figura 3.42. Esquema de correlación cruzada con el uso de secuencias de estimación de canal junto a las secuencias de sincronismo.

Como se puede observar en la Figura 3.42, este esquema utiliza los pilotos emitidos empleados en la sincronización para realizar la estimación posterior, de esta forma sincronización y estimación de canal emplearán las mismas secuencias emitidas. Con este esquema se pierde el concepto de realizar sincronización y estimación de canal completamente por separado.

La Figura 3.43 muestra el resultado obtenido en la correlación, pudiéndose observar que el pico máximo de correlación resultante se diferencia respecto a los lóbulos laterales y el posible efecto del multicamino del canal. La estimación del tiempo de retardo conseguida es de 26 taps, siendo la posición del pico máximo de correlación en la Figura 3.43 de 2074 ($2074-2048=26$), como se corresponde con el modelo de canal empleado.

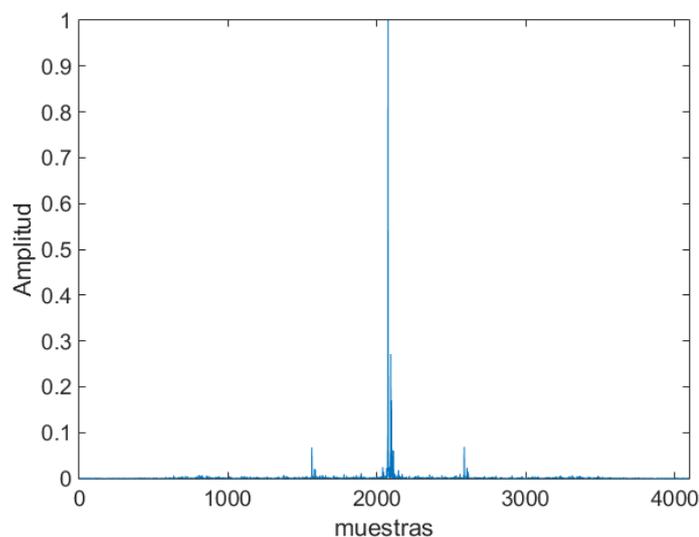


Figura 3.43. Resultado de la correlación cruzada entre la señal recibida $r_c[n]$ y los símbolos piloto $S_n[n]$ para el esquema que emplea las secuencias de estimación de canal junto a las secuencias de sincronismo.

3.9.2 Empleo de secuencias CSS multinivel adicionales en la correlación cruzada del receptor

El segundo esquema utilizado es muy semejante al explicado anteriormente, con un número de puntos de la FFT de 4096 y longitudes de 2048 muestras para las tramas que se correlan. La principal diferencia es que se añaden dos nuevas secuencias para sincronizar en vez de utilizar las propias de la estimación.

Como se aprecia en la Figura 3.44, las secuencias de estimación de canal no intervienen para nada en la sincronización, volviendo a quedar independientes uno del otro. La principal desventaja es que son necesarias dos secuencias más en la definición del preámbulo.

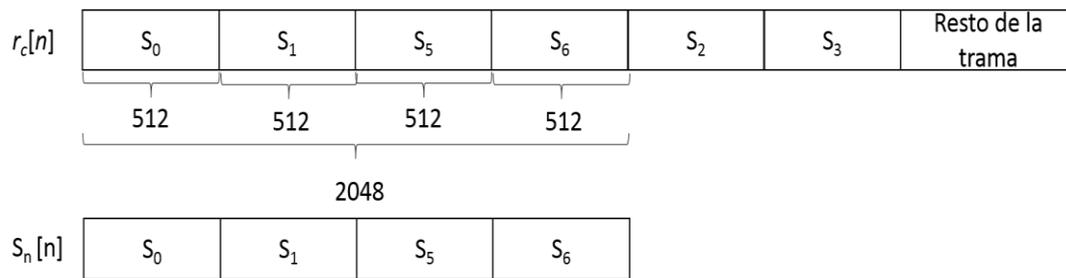


Figura 3.44. Esquema de correlación cruzada añadiendo dos secuencias CSS multinivel adicionales.

En la Figura 3.44 se observa como los lóbulos laterales alcanzan valores más elevados debido a que se emplean dos veces las mismas secuencias para sincronizar, pero aun así se obtiene un inicio de trama preciso. Igual que el esquema que emplea las secuencias de estimación de canal junto a las secuencias de sincronismo para realizar la correlación cruzada en el receptor, la estimación del retardo de canal es precisa, siendo de 26 taps ($2074-2048=26$).

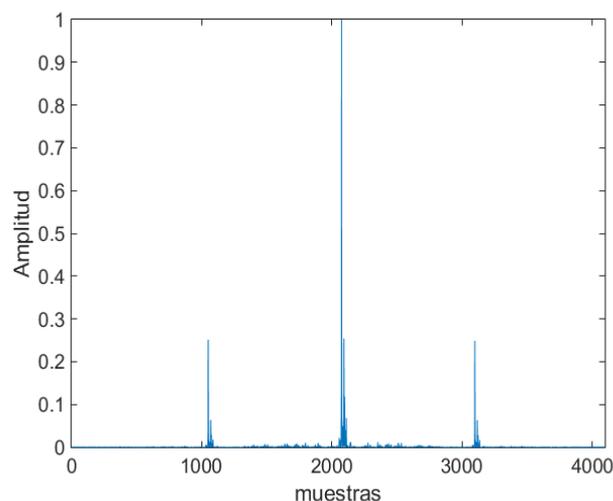


Figura 3.45: Resultado de la correlación cruzada entre la señal recibida $r_c[n]$ y los símbolos piloto $S_n[n]$ para el esquema que añade dos secuencias CSS multinivel adicionales.

3.9.3 Reducción del preámbulo empleado en la correlación cruzada del receptor

El siguiente esquema es el más novedoso respecto a los explicados anteriormente. Se contempla bajar la longitud del preámbulo de sincronización a 1024 muestras, utilizando únicamente dos secuencias para sincronizar, pero sin prefijo cíclico. De esta forma el número de puntos necesarios para realizar la FFT es de 2048 (véase la Figura 3.46).

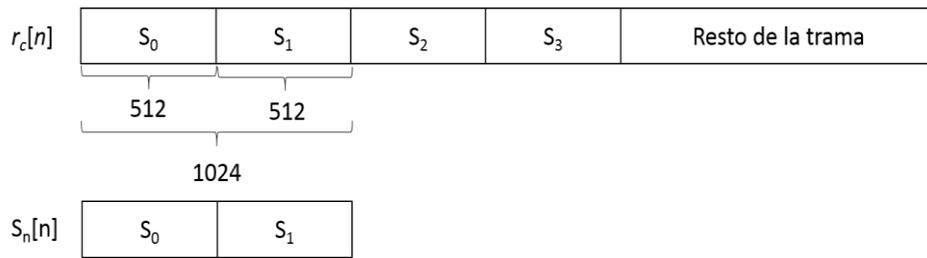


Figura 3.46: Esquema de correlación cruzada reduciendo el preámbulo a la mitad de longitud.

A simple vista cabe pensar que la complejidad computacional va ser muy inferior al diseño que utiliza prefijo cíclico. Haciendo esto no sólo se consigue reducir los recursos involucrados en una posterior implementación, sino que no se incrementa el número de secuencias utilizadas como símbolos piloto, además de que los preámbulos de sincronización y estimación vuelven a quedar independientes.

La correlación del último esquema mostrado, representada en la Figura 3.47, no presenta lóbulos laterales. El retardo estimado para este modelo también es de 26 taps (1050-1024=26).

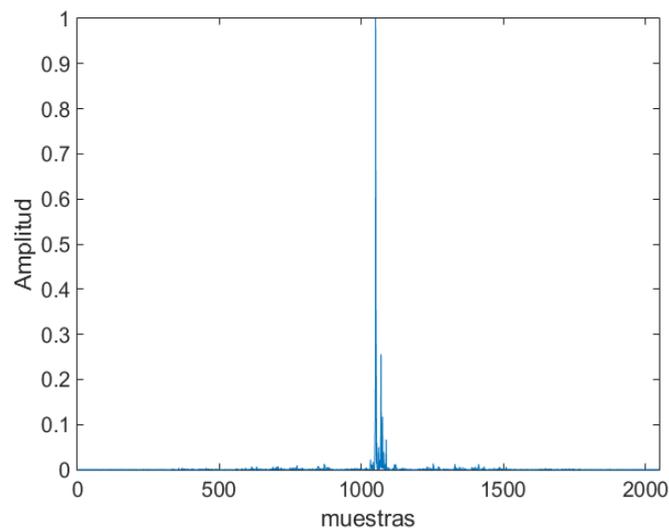


Figura 3.47. Resultado de la correlación cruzada entre la señal recibida $r_c[n]$ y los símbolos piloto $S_n[n]$ para el esquema que reduce a la mitad la longitud del preámbulo.

3.9.4 Resultados obtenidos en el estudio realizado con los diferentes esquemas sin el uso del prefijo cíclico

Concluyendo con el estudio, en todos los esquemas el retardo estimado del canal es idéntico, haciendo que todos ellos sean válidos en ese aspecto. Descartando el esquema que emplea las secuencias de estimación de canal junto con las secuencias empleadas para la sincronización, debido a que no es posible diferenciar entre paquetes de sincronismo y estimación de canal, el resto de esquemas es perfectamente válido para el fin propuesto, teniendo en cuenta que, para el segundo esquema presentado, habría que añadir dos paquetes más en el preámbulo de sincronismo. Centrándose en

el tema de la posterior implementación, cabe esperar que el esquema que reduce el preámbulo a la mitad de longitud requiera un menor número de recursos lógicos.

La Tabla 3.14 muestra los valores SMR obtenidos para cada uno de los modelos y el número de puntos de la FFT necesarios, observándose que el menor SMR se consigue para el tercer esquema, a la vez que se necesita un número de puntos para la FFT inferior a los otros esquemas.

Tabla 3.14. Valores de SMR para los esquemas de correlación presentados para el algoritmo de sincronismo.

	Nº puntos FFT	SMR
Esquema que emplea las secuencias de estimación de canal junto a las secuencias de sincronismo para realizar la correlación cruzada en el receptor	2048	0.068
Esquema que añade dos secuencias CSS multinivel adicionales para realizar la correlación cruzada en el receptor	2048	0.251
Esquema que reduce el preámbulo a la mitad de longitud para realizar la correlación cruzada en el receptor	1024	0.012

Con todos los datos expuestos y teniendo varias soluciones, se decide decantarse de aquí en adelante por el esquema que reduce el preámbulo a la mitad de longitud para realizar la correlación cruzada en el receptor, suponiendo un menor número de recursos en una posterior implementación, además de no necesitar paquetes adicionales para el sincronismo. A partir de éste, se obtienen resultados para ambos modelos de canal, A y B, con ruido característico del canal PLC para SNR comprendidas entre -5 y 30 dB, todo ello para evaluar y comparar los resultados que se obtiene para ese esquema en caso de eliminar finalmente el CP.

La Figura 3.48 muestra la comparativa en valores de RMSE obtenida al usar o no CP en el diseño de la Figura 3.19 con un modelo A de canal. Como se comprueba no existe una diferencia notable al eliminar el CP en la emisión.

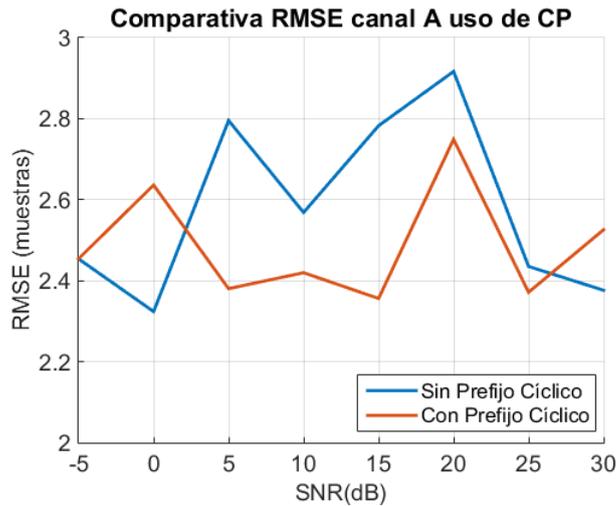


Figura 3.48. Comparativa sobre el posible empleo del CP a partir de los valores RMSE obtenidos en el módulo de sincronismo para el canal A, siguiendo el esquema de correlación que reduce el preámbulo a la mitad de longitud para realizar la correlación cruzada en el receptor.

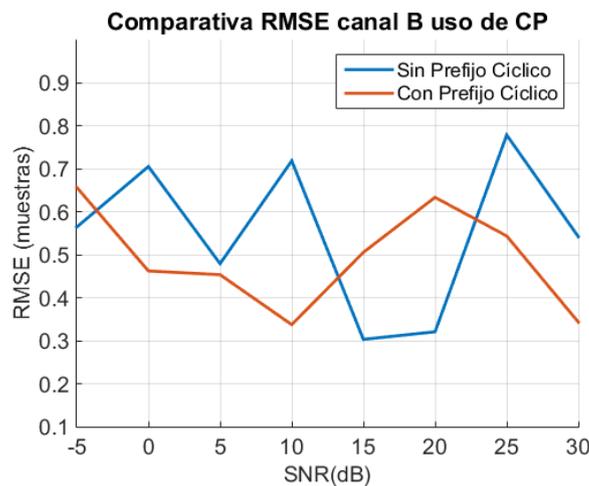


Figura 3.49. Comparativa sobre el posible empleo del CP a partir de los valores RMSE obtenidos en el módulo de sincronismo para el canal B, siguiendo el esquema de correlación que reduce el preámbulo a la mitad de longitud para realizar la correlación cruzada en el receptor.

La Tabla 3.15 recoge los valores RMSE obtenidos de la Figura 3.48 y la Figura 3.49 para el diseño con y sin CP de la Figura 3.19 para ambos modelos de canal de Tonello.

Tabla 3.15. Comparativa de los valores RMSE obtenidos en el módulo de sincronismo para ambos modelos de canal.

	Canal	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
Con CP	A	2.45	2.63	2.38	2.42	2.35	2.75	2.37	2.52
	B	0.65	0.46	0.45	0.33	0.50	0.63	0.54	0.34
Sin CP	A	2.45	2.63	2.38	2.42	2.35	2.75	2.37	2.52
	B	0.56	0.70	0.47	0.72	0.30	0.32	0.78	0.54

La **¡Error! No se encuentra el origen de la referencia.** y la **¡Error! No se encuentra el origen de la referencia.** muestran una comparativa en los valores de CDF obtenidos

para cada modelo de canal, en función de la utilización del CP. Puede observarse que no existe apenas diferencia en ambos casos cuando se elimina el CP del sistema a la hora de sincronizar. La Tabla 3.16 recoge los porcentajes de acierto para cada SNR simulado en ambos canales.

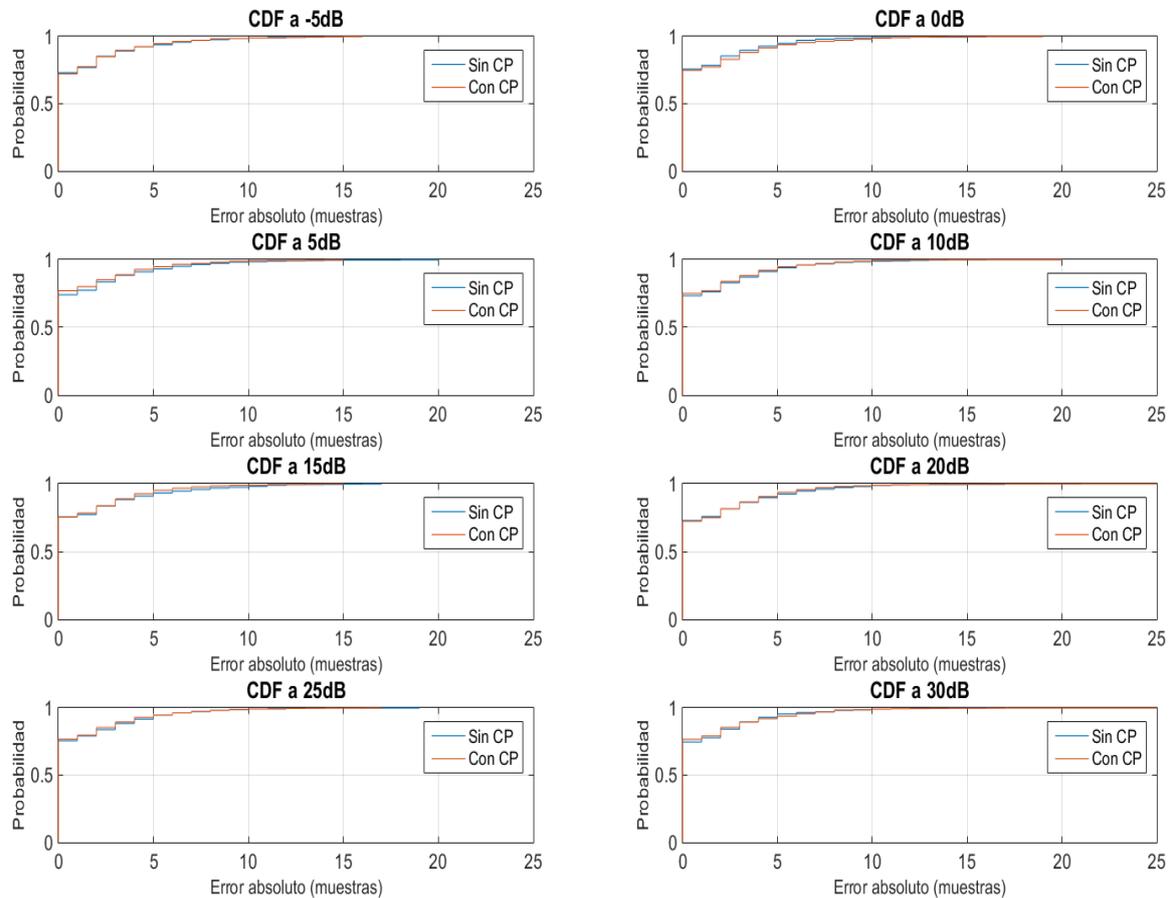


Figura 3.50. Comparativa de los valores CDF obtenidos en el módulo de sincronismo con el canal A para diferentes SNR.

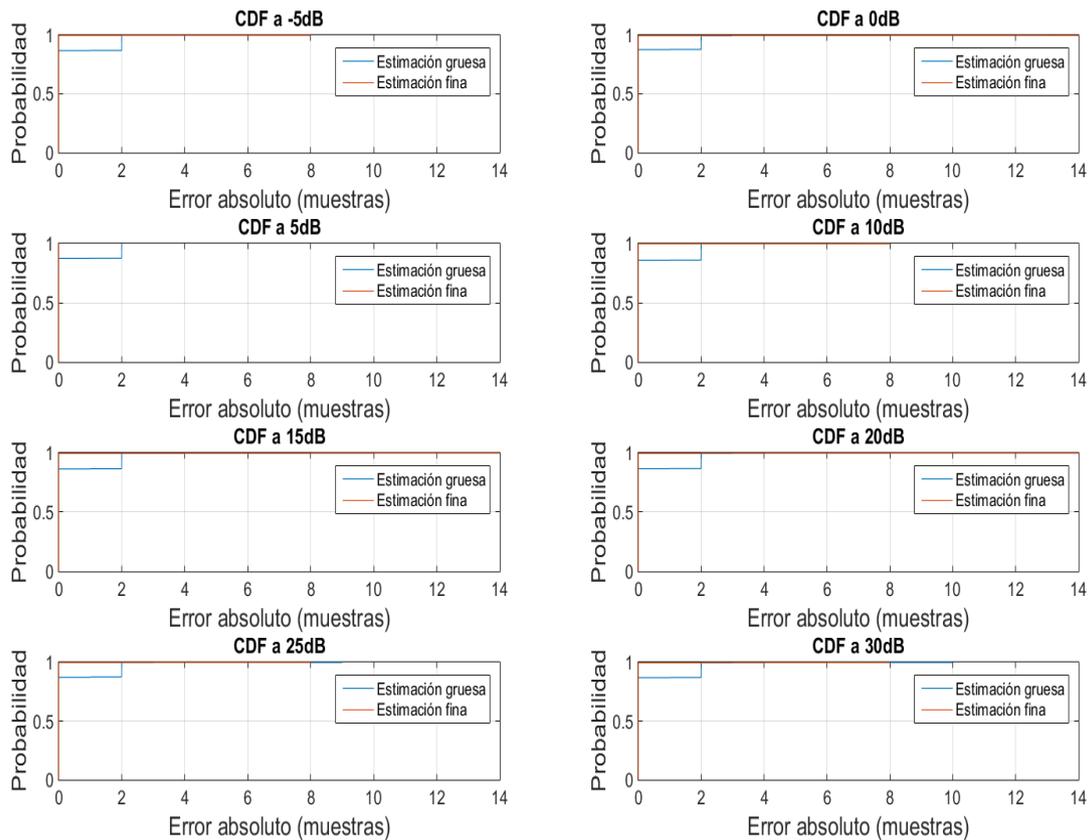


Figura 3.51. Comparativa de los valores CDF obtenidos en el módulo de sincronismo con el canal B para diferentes SNR.

Tabla 3.16. Comparativa de los valores CDF obtenidos en el módulo de sincronismo para aros modelos de canal.

	Canal	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
Con	A	72.30%	75.00%	77.00%	75.00%	75.40%	72.40%	76.70%	76.60%
CP	B	89.00%	91.70%	91.50%	93.30%	92.10%	92.20%	92.10%	92.40%
Sin	A	73.10%	75.70%	74.10%	73.40%	75.60%	73.00%	75.60%	74.70%
CP	B	86.30%	92.10%	93.80%	93.70%	92.60%	93.90%	93.10%	93.60%

3.10 Conclusiones

La Figura 3.52 presenta el diagrama de bloques con los cambios concernientes a cada uno de los estudios realizados en el capítulo. En la Figura 3.52 puede distinguirse como la etapa de transmisión consta de un multiplexor que selecciona el paso de las secuencias CSS multinivel empleadas para realizar la sincronización en el receptor, aplicando la máscara de emisión PLC en el dominio de la frecuencia, o de los datos modulados por el banco de filtros.

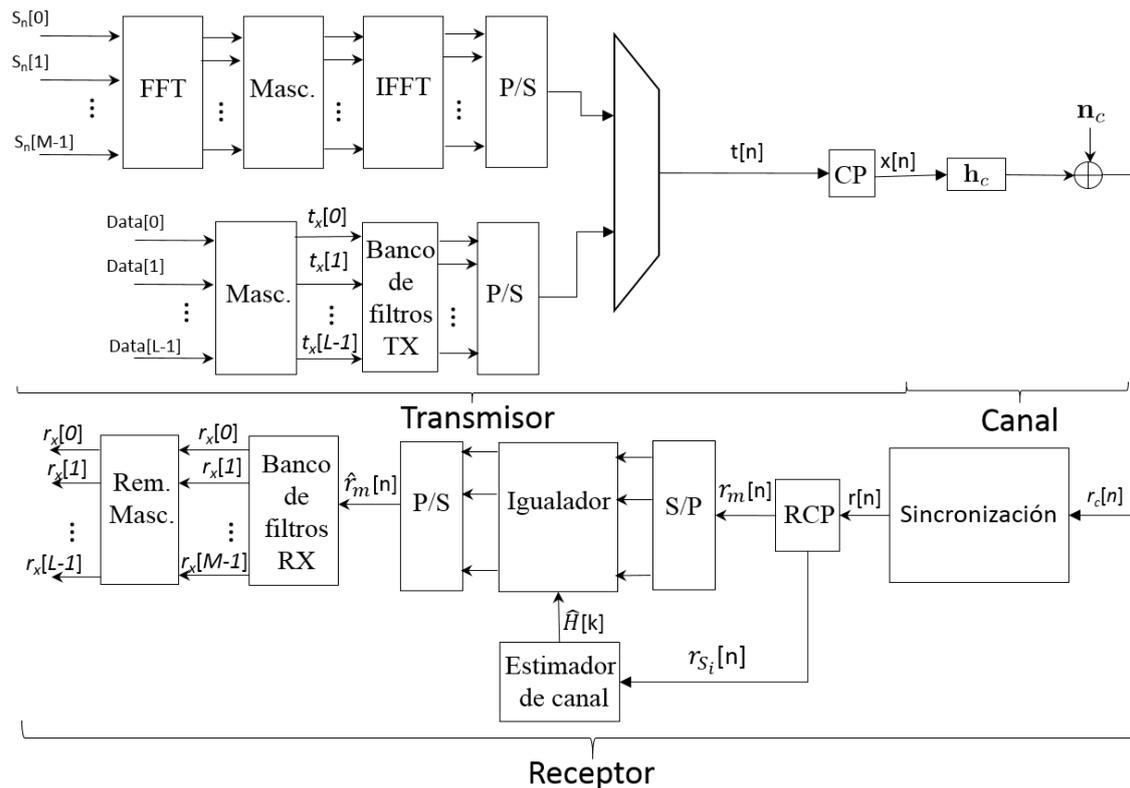


Figura 3.52. Diagrama de bloques del nuevo sistema con los cambios añadidos.

Las secuencias CSS multinivel empleadas tienen una longitud de $L=512$ muestras y se añade el CP con una longitud igual a $L_{CP}=384$ muestras debido a la larga duración del canal PLC. Haciendo referencia a la parte del receptor, aunque en el diagrama de bloques no se aprecie, se realiza la correlación cruzada entre la señal recibida $r_c[n]$ del canal PLC y las secuencias CSS multinivel $S_n[n]$.

La Figura 3.53 muestra cómo queda conformada la trama de emisión de datos, sabiendo que los dos primeros paquetes deben ser las secuencias CSS multinivel $\{s_0[n], s_1[n]\}$, como se mencionó, por ser las que poseen mejor propiedades para la sincronización. Los dos paquetes $\{s_2[n], s_3[n]\}$ que siguen son empleados para estimar el canal como se verá en capítulos posteriores. En último lugar, se añade un cierto número de paquetes de datos cuyo tiempo de emisión no debe ser mayor al tiempo de coherencia del canal para que no sufra variaciones bruscas y dos paquetes nulos como consecuencia del retardo de grupo de los filtros.

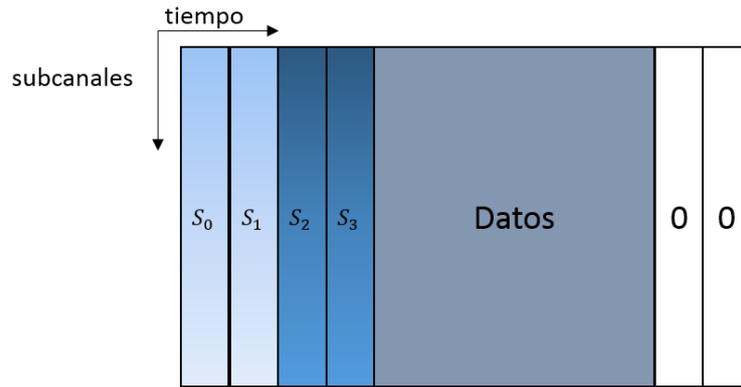


Figura 3.53. Trama de datos para la emisión por el canal PLC.

Como se ha comprobado, el uso del prefijo cíclico no influye en la sincronización del sistema, consiguiéndose valores similares de RMSE con y sin él. En el capítulo dedicado a la estimación e igualación de canal se comprobará posteriormente que el uso del CP en el sistema mejora notablemente la SNR obtenida entre señal transmitida y recuperada.

Capítulo 4

Estimación e igualación de canal

Además de la necesidad de realizar un sincronismo previo de los datos, también es necesario realizar una estimación y posterior igualación del canal de comunicaciones, debido al ruido y la distorsión causada por la transmisión por el canal PLC. En [Coler 02] se realiza una estimación de canal utilizando pilotos mediante el uso de LS (*Least Squares*) y LMS (*Least Mean-Square*). Desde el punto de vista de igualadores de canal, el tema ha sido ampliamente descrito en [Galli 08], con múltiples tipos de igualadores.

El empleo de técnicas de acceso al medio basadas en modulaciones multiportadora, permite utilizar igualadores de canal menos complejos, desde el punto de vista de una futura implementación, para mitigar los efectos adversos del canal PLC. No obstante, estas técnicas requieren un sincronismo preciso para evitar interferencias inter-símbolo (ISI) e interferencias inter-portadoras (ICI) [Fazel 08].

La mayoría de las propuestas disponibles en la literatura exponen el problema de la estimación de canal y la igualación desde un punto de vista muy teórico, sin considerar futuras implementaciones en tiempo real, haciendo más complejo migrar estos algoritmos a la tecnología actual. A menudo se manejan altas velocidades de datos, que requieren procesamiento de señales en paralelo, y una cierta conexión a

convertidores y sensores digitales. Por este motivo, es importante la posibilidad de proporcionar una arquitectura que permita la implementación en tiempo real de los algoritmos propuestos. Los dispositivos FPGA representan un papel clave en la implementación de este tipo de sistemas, permitiendo un diseño paralelo y el procesamiento de señales a altas frecuencias.

En este capítulo se presentan los diferentes tipos de igualadores y estimadores de canal más utilizados en receptores para sistemas como el empleado, con el fin de evaluar las ventajas que presenta cada uno de ellos, y así elegir el que mejor se adapte a las necesidades requeridas. Posteriormente se realizan diferentes estudios sobre el esquema final propuesto para estimación e igualación de canal, para comprobar el comportamiento de éste en comparación con las técnicas más comúnmente utilizadas.

4.1 Igualadores en el dominio de la frecuencia

En la literatura, una de las técnicas más comunes es el uso del prefijo cíclico. Es importante destacar que, a pesar de que teóricamente Wavelet-OFDM no requiere del uso de prefijo cíclico y, por tanto, mejora su eficiencia espectral respecto de OFDM, su uso simplifica de forma notable el diseño del igualador.

Por ello en este trabajo se emplea prefijo cíclico, con la finalidad corregir los efectos causados por la respuesta impulsiva del canal. De este modo, si su longitud es superior a la duración efectiva del canal, es posible eliminar las interferencias intersímbolo producidas por éste. El prefijo cíclico insertado debe ser de una longitud igual o mayor a la respuesta del canal por el que se realizará la transmisión. La relación entrada-salida queda descrita como sigue:

$$\hat{\mathbf{y}} = \mathbf{h}_c \cdot \mathbf{x} + \mathbf{n}_c \quad (29)$$

Siendo $\hat{\mathbf{y}}$ la señal recibida en banda base; \mathbf{x} la señal a transmitir en banda base antes pasar a alta frecuencia y de la inserción del prefijo cíclico; \mathbf{h}_c es la matriz que contiene la respuesta impulsiva del canal; y \mathbf{n}_c es la matriz de ruido añadido.

La inserción del prefijo cíclico permite modelar la matriz del canal como una matriz circular:

$$\mathbf{H} = \mathbf{W}^{-1} \cdot \mathbf{\Lambda} \cdot \mathbf{W} \quad (30)$$

Siendo \mathbf{W} la matriz de la DFT, $M \times M$, obtenida por FFT; y $\mathbf{\Lambda}$ una matriz diagonal, $M \times M$, cuyos elementos λ_m de la diagonal principal se obtienen mediante la DFT de M puntos del canal.

$$\mathbf{\Lambda} = \text{diag}\{\lambda_0, \lambda_1, \dots, \lambda_{M-1}\} \quad (31)$$

$$\lambda_m = \sum_{n=0}^{M-1} h[n] \cdot e^{-j\frac{2\pi}{M}m \cdot n}, 0 \leq m \leq (M-1) \quad (32)$$

El igualador realiza un filtrado de la señal recibida con el objetivo de compensar la distorsión introducida por el canal de transmisión utilizado, de forma que a la salida del igualador la señal esté libre de ISI. Además de compensar el efecto del canal en la señal recibida, algunos igualadores también intentan compensar el ruido que introduce la transmisión de la señal por el canal de comunicaciones. En caso de tener un canal PLC para transmitir, este ruido puede dividirse en la suma de varios, siendo los de mayor importancia el ruido impulsivo, de fondo y de banda estrecha [Corte 10].

El igualador más sencillo es el que compensa cada subportadora con un único coeficiente complejo. La Figura 4.1 muestra el diagrama de bloques del igualador en frecuencia, formado por la multiplicación de tres matrices como se muestra en (33).

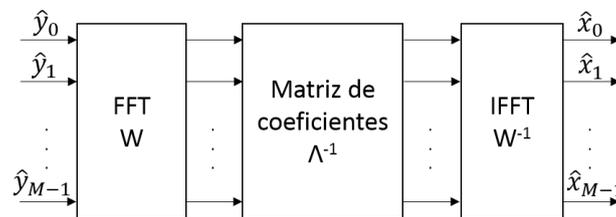


Figura 4.1: Diagrama de bloques del igualador en frecuencia.

$$\hat{\mathbf{x}} = \mathbf{W}^{-1} \cdot \mathbf{\Lambda}^{-1} \cdot \mathbf{W} \cdot \hat{\mathbf{y}} \quad (33)$$

Donde \mathbf{W} es la matriz obtenida de la DFT de dimensiones $M \times M$ implementada por FFT, y $\mathbf{\Lambda}^{-1}$ es una matriz diagonal que caracteriza el igualador, cuyos elementos de la diagonal principal se corresponden a los coeficientes C_m obtenidos para cada tipo de igualador [Tonel 12].

Si se elimina el problema de sincronismo entre emisor y receptor, suponiendo que el ruido que añade el canal es nulo y que los coeficientes del igualador se han obtenido de forma correcta, entonces:

$$\hat{\mathbf{x}} = \mathbf{W}^{-1} \cdot \mathbf{\Lambda}^{-1} \cdot \mathbf{W} \cdot \mathbf{W}^{-1} \cdot \mathbf{\Lambda} \cdot \mathbf{W} \cdot \mathbf{x} \quad (34)$$

De esta forma se elimina la interferencia entre símbolos producida por el canal y se consigue que la señal recibida sea idéntica a la transmitida $\hat{\mathbf{x}} = \mathbf{x}$ en (34). En la realidad es imposible contemplar esta situación, debido a los fuertes niveles de ruido impulsivo que introduce el canal y a los problemas derivados de la estimación del mismo.

En los siguientes apartados se contemplan diferentes métodos de obtención de coeficientes del igualador, partiendo de la base de que los coeficientes del igualador forman una matriz diagonal siguiendo (31).

4.1.1 Igualador *zero forcing*

El igualador *zero forcing* (ZF) es el más sencillo debido a que únicamente aplica la matriz inversa de los coeficientes del canal para corregir su efecto [Tonel 12][Chiue 08]. De esta forma los coeficientes C_m de la diagonal principal de la matriz del igualador quedan expresados en (35).

$$C_m = \frac{1}{\lambda_m}; 0 \leq m \leq (M - 1) \quad (35)$$

Este tipo de igualador no pretende compensar los efectos producidos por la adición de ruido a la señal, contemplando sólo el efecto introducido por el canal. La principal desventaja de este tipo de igualador es que no elimina por completo la ISI introducida por el canal y el ruido añadido.

A modo de ejemplo demostrativo del funcionamiento de este tipo de igualador se realiza una simulación en la cual se supone una sincronización perfecta entre emisor y receptor con un canal PLC tipo B [Tonel 12], presentado en el capítulo anterior, y con ruido impulsivo síncrono y asíncrono, ruido de fondo y ruido de banda estrecha para SNR de -5 dB y 10 dB.

La Figura 4.2 muestra la comparativa de una secuencia Zadoff-Chu transmitida y la que se recupera después de igualar y demodular la señal mediante el banco de filtros del receptor. Como puede observarse, este tipo de igualador no tiene en cuenta el ruido añadido en la transmisión por el canal, haciendo que la señal que se recupera no sea idéntica a la transmitida. Independientemente de que no tenga en cuenta el ruido, el igualador *zero forcing* funciona bien para SNR elevadas como puede apreciarse en la Figura 4.2.

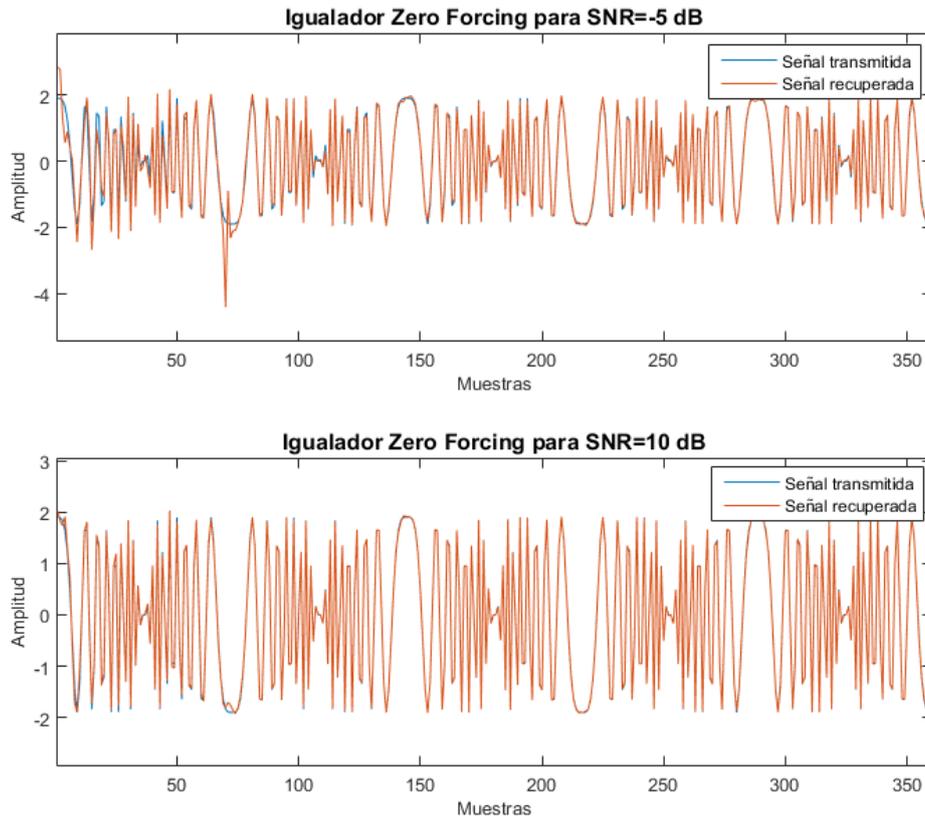


Figura 4.2. Comparativa entre señal transmitida x y recuperada \hat{x} para el uso del igualador zero forcing para SNR=-5dB (arriba) y SNR= 10dB (abajo).

Para poder dar un valor numérico a la solución obtenida para este tipo de igualador, se calcula el valor MSE (*Mean Square Error*) para valores de SNR comprendidos entre -5dB y 30dB en pasos de 5dB como se muestra en Tabla 4.1.

Tabla 4.1. Valor MSE obtenido para el igualador Zero Forcing con distintas SNR.

SNR (dB)	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
Valor MSE	0.1220	0.0491	0.0083	0.1964	0.0064	0.00014	0.00002	0.00011

4.1.2 Igualador MMSE (*Minimum Mean Square Error*) mediante varianza

Debido a que el igualador ZF no tiene en cuenta el efecto del ruido introducido por el canal, se utiliza otro tipo de igualador que sí contempla este problema. En presencia de ruido, el igualador ZF puede introducir grandes varianzas en la estimación, sobre todo cuando el módulo del canal es pequeño, amplificando el ruido. El igualador MMSE minimiza esta amplificación, intercambiando contribución de ISI por supresión de ruido.

Un primer método empleado para calcular los coeficientes es utilizar las varianzas de señal y de ruido [Cruz 11] para corregir el ruido sumado en el igualador, quedando los coeficientes C_m como (36).

$$C_m = \frac{\lambda_m^*}{(|\lambda_m|^2 + \sigma_e^2 / \sigma_s^2)}; 0 \leq m \leq (M - 1) \quad (36)$$

Donde σ_e^2 es la varianza del ruido añadido \mathbf{n}_c ; y σ_s^2 es la varianza de la señal transmitida $x[n]$. Replicando las condiciones en las que se evaluó el igualador ZF, con sincronización perfecta y ruido característico del canal PLC para SNR de -5dB y 10dB se obtiene el comportamiento de este igualador.

La Figura 4.3 muestra la comparativa de una secuencia Zadoff-Chu transmitida y la que se recupera después de igualar y demodular la señal mediante el banco de filtros del receptor.

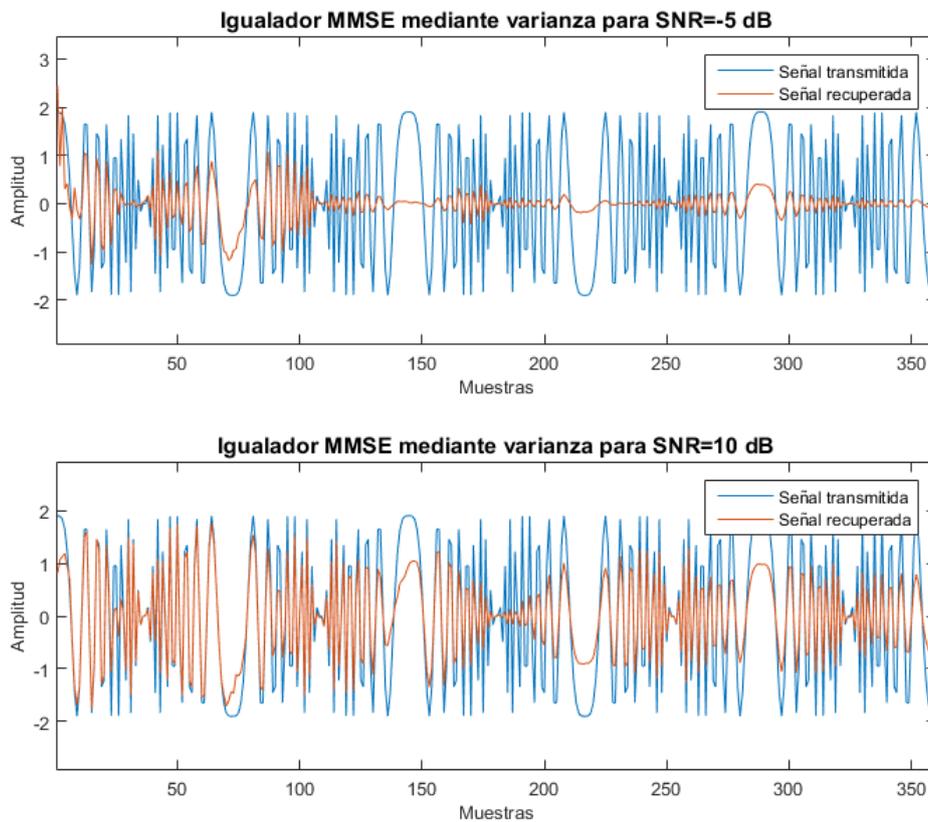


Figura 4.3. Comparativa entre señal transmitida x y recuperada \hat{x} para el uso del igualador MMSE con varianza para SNR=-5dB (arriba) y SNR= 10dB (abajo).

Igual que en el caso del igualador *zero forcing*, se calcula el valor MSE para SNR comprendida entre -5dB y 30dB en pasos de 5dB como se muestra en Tabla 4.2.

Tabla 4.2. Valor MSE obtenido para el igualador MMSE con varianza con distintas SNR.

SNR (dB)	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
Valor MSE	1.1921	0.9052	1.0234	0.3726	0.1910	0.1320	0.0075	0.0034

Los igualadores MMSE intentan compensar, además del efecto del canal \mathbf{h}_c , los niveles de ruido \mathbf{n}_c añadidos a la señal. En el caso de emplear un canal PLC con diferentes tipos de ruido añadido, en el que el ruido más perjudicial es el ruido impulsivo, el valor SNR medio de la señal se ve incrementado. De esta forma, al aplicar este valor en la ecuación, se reduce considerablemente los valores obtenidos a la salida.

4.1.3 Igualador MMSE (*Minimum Mean Square Error*) mediante SNR

Otra forma de corregir el efecto del ruido, a la vez que compensar el canal, es calcular los coeficientes C_m introduciendo en la ecuación la SNR lineal [Cruz 11], obteniendo los coeficientes C_m según (37).

$$C_m = \frac{\lambda_m^*}{(|\lambda_m|^2 + 1/\text{SNR})}; 0 \leq m \leq (M - 1) \quad (37)$$

En ambos igualadores MMSE puede notarse que, si el término correspondiente al ruido es muy pequeño, el igualador MMSE se comporta como un ZF. El resultado que se obtiene al aplicar este tipo de igualador se representa en la Figura 4.4 con las mismas condiciones de simulación empleadas en los anteriores igualadores.

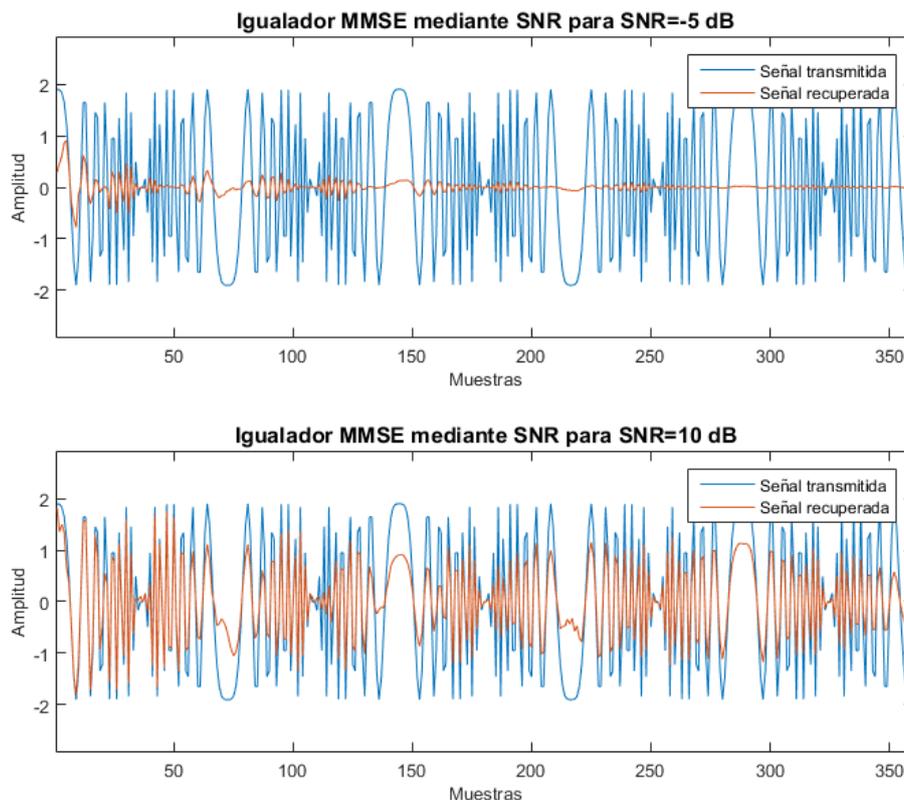


Figura 4.4. Comparativa entre señal transmitida x y recuperada \hat{x} para el uso del igualador MMSE basado en SNR, para SNR=-5dB (arriba) y SNR= 10dB (abajo).

Se calcula el valor MSE para valores de SNR comprendidos entre -5dB y 30dB en pasos de 5dB como se muestra en Tabla 4.3.

Tabla 4.3. Valor MSE obtenido para el igualador MMSE con SNR con distintas SNR.

SNR (dB)	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
Valor MSE	1.7169	1.3787	0.6115	0.5820	0.3251	0.0445	0.0039	0.0007

El principal motivo de que la señal quede tan atenuada, tanto en el caso de emplear el igualador MMSE por varianza como el igualador MMSE por SNR, es que estos igualadores funcionan bien cuando el ruido añadido es ruido blanco gaussiano de media cero. En el presente caso se han realizado las simulaciones con ruido impulsivo, presentándose picos de una duración corta. El igualador utiliza la varianza o el SNR para reducir el ruido en toda la señal, pero debido a que el ruido no tiene media cero, así como al ruido impulsivo que presenta el canal PLC, se hace imposible recuperar la señal transmitida de forma correcta.

Hasta este punto, se han presentado los tres tipos de igualadores en frecuencia más utilizados en la literatura. Comparando los resultados que se obtienen para cada uno (véase la Tabla 4.4), se concluye que el que mejor funciona para la transmisión por el canal PLC es el igualador *zero forcing*, con el que se consigue unos niveles de señal más acorde a los transmitidos y menores valores MSE, además de conllevar una menor complejidad computacional para su posterior implementación.

Tabla 4.4. Valor MSE obtenido para cada tipo del igualador estudiado previamente para distintos valores de SNR.

SNR (dB)	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
ZF	0.1220	0.0491	0.0083	0.1964	0.0064	0.00014	0.00002	0.00011
MMSE con varianza	1.1921	0.9052	1.0234	0.3726	0.1910	0.1320	0.0075	0.0034
MMSE con SNR	1.7169	1.3787	0.6115	0.5820	0.3251	0.0445	0.0039	0.0007

4.2 Estimadores de canal

Para poder recuperar la señal transmitida de forma adecuada es necesario que en el receptor se reviertan los cambios introducidos por el canal de transmisión mediante igualadores como se vio en el apartado anterior. Este proceso sólo es útil si se conoce la respuesta impulsiva del canal empleado en la transmisión, denominando a esta etapa estimación de canal.

Existen múltiples tipos de estimadores de canal, clasificándose por métodos no ciegos, ciegos y semi-ciegos. En la propuesta realizada en esta tesis se emplea un método de estimación no ciego, mediante el envío de una secuencia de entrenamiento conocida; de esta forma el receptor tratará de estimar el comportamiento del canal en la transmisión. La principal ventaja de estos métodos es su simplicidad, a costa de

reducir la eficiencia espectral y energética del sistema. La Figura 4.5 muestra un ejemplo de patrón de emisión donde se observa cómo se introducen los símbolos piloto para la posterior estimación de canal.

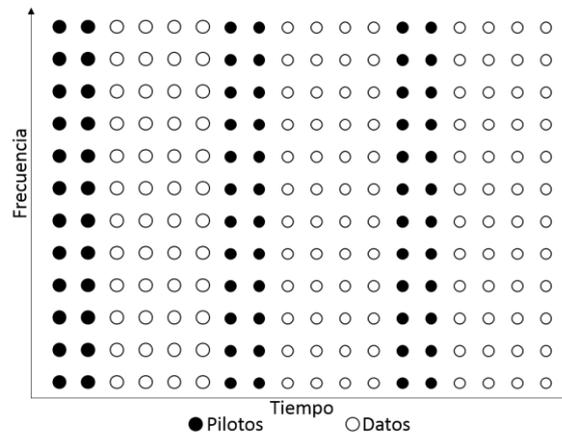


Figura 4.5. Ejemplo de inserción de los símbolos piloto en el patrón de emisión.

Como se mencionó en el capítulo anterior dedicado al sincronismo, se propone el uso de secuencias Zadoff-Chu $\{S_2; S_3\}$ como símbolos piloto para la estimación de canal. Los paquetes formados por secuencias CSS multinivel $\{S_0; S_1\}$, son utilizados para la sincronización entre el receptor y el emisor.

La estimación de canal parte de (38), que determina la señal recibida con el efecto añadido del canal PLC. A partir de esta ecuación se obtiene el comportamiento del estimador de canal.

$$\hat{y} = \mathbf{h}_c \cdot \mathbf{x} + \mathbf{n}_c \quad (38)$$

Donde \hat{y} es la señal recibida en banda base; x la señal a transmitir en banda base antes de pasar a alta frecuencia y de la inserción del prefijo cíclico; \mathbf{h}_c es la matriz que contiene la respuesta impulsiva del canal; y \mathbf{n}_c es la matriz de ruido añadido.

A continuación, se estudian diferentes tipos de estimadores de canal para comprobar su efecto en el diseño final del sistema propuesto. Todos los estimadores de canal se analizan añadiendo los ya mencionados ruidos característicos pertenecientes al canal PLC: ruido de banda estrecha, ruido de fondo, ruido impulsivo síncrono y ruido impulsivo asíncrono para una SNR final de 10 dB. Como igualador de canal se emplea el *zero forcing*, puesto que en el apartado anterior se concluyó que era el más adecuado para recuperar la señal emitida por el canal PLC.

4.2.1 Estimador de mínimos cuadrados

El estimador de mínimos cuadrados (*Least Squares*, LS) es el más sencillo y de mayor facilidad de implementación [Corde 09] [Beek 95] [Paz 09]. Este estimador trata de minimizar el error cuadrático entre los símbolos transmitidos y los recibidos. El canal

estimado se obtiene como el cociente entre los símbolos piloto recibidos y los transmitidos según (39).

$$\hat{H}_{LS} = \frac{\hat{y}}{x} = H + V \quad (39)$$

En (39), \hat{y} es la señal recibida en banda base; x los símbolos piloto emitidos; H es la respuesta impulsiva del canal en el dominio de la frecuencia; y V es la matriz de ruido añadido.

Este tipo de estimador, igual que pasaba con el igualador LS, no tiene en cuenta el carácter estadístico de las señales, por lo que no considera el ruido añadido en la transmisión. Una de las principales ventajas de este tipo de estimador es que no requiere información estadística del canal y del ruido, haciendo muy simple su uso en sistemas de comunicaciones. Sin embargo, la principal desventaja es que no tiene en cuenta el ruido en la estimación del canal, disminuyendo sus prestaciones.

A modo de ejemplo, la Figura 4.6 muestra la apreciable diferencia que existe entre el canal real en verde y el estimado mediante mínimos cuadrados en azul. Como se comentó anteriormente, el principal problema de este tipo de estimador es el ruido añadido a la señal recibida, haciendo imposible estimar un canal válido para su uso.

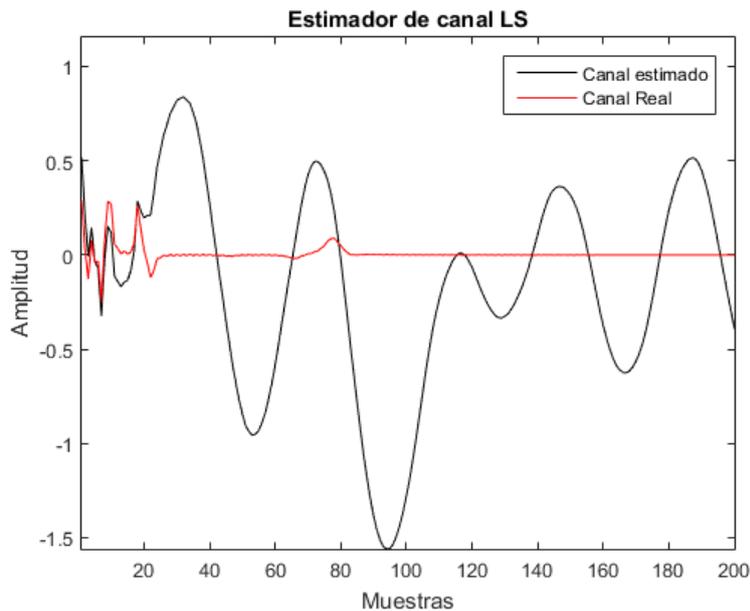


Figura 4.6. Ejemplo de canal estimado mediante el método LS.

Cabe mencionar que la principal causa por la que no es posible el uso del estimador LS es el ruido impulsivo, haciendo necesario buscar otro tipo de técnicas de estimación de canal mucho más complejas y de mayor coste computacional.

4.2.2 Estimador MMSE (*Minimum Mean Square Error*)

Debido al mal comportamiento frente a la adición de ruido del estimador LS, se estudia otro tipo de estimador basados en parámetros estadísticos del canal real y del

ruido añadido [Tonel 12][Chiue 08] [Beek 95]. Este tipo de estimadores, denominados estimadores MMSE (Minimum Mean Square Error), realizan una aproximación bayesiana en la que consideran los parámetros a estimar aleatorios; a su vez tratan de minimizar el error cuadrático medio entre el estimador y el canal a estimar.

Como la estimación que se realiza debe conocer los parámetros estadísticos de canal y del ruido, es necesario algún método de cálculo en el receptor. Este tipo de estimadores se engloban dentro de estimadores de canal no ciegos ya que hacen uso, al igual que el estimador de mínimos cuadrados, de los símbolos piloto transmitidos y recibidos.

Partiendo como inicio de nuevo de (40), donde \mathbf{h} es la respuesta en el dominio del tiempo del canal y \mathbf{W} la matriz $M \times M$ obtenida de la DFT de M puntos, y reescribiéndola se obtiene (40).

$$\hat{\mathbf{y}} = \mathbf{W} \cdot \mathbf{h} \cdot \mathbf{x} + \mathbf{n} \quad (40)$$

$$\hat{\mathbf{y}} = \mathbf{H} \cdot \mathbf{x} + \mathbf{n} \quad (41)$$

La ecuación que describe uno de los numerosos estimadores MMSE existentes en la literatura es (42):

$$\hat{\mathbf{h}}_{MMSE} = \mathbf{R}_{hy} \cdot \mathbf{R}_{yy}^{-1} \cdot \hat{\mathbf{y}} \quad (42)$$

Donde \mathbf{R}_{hy} es la matriz de covarianza cruzada entre el canal h y los símbolos piloto recibidos y ; de la misma forma, \mathbf{R}_{yy} es la matriz de auto-covarianza de los símbolos piloto recibidos y . Ambas quedan expresadas como:

$$\mathbf{R}_{hy} = \mathbf{R}_{hh} \cdot \mathbf{F}^H \cdot \mathbf{X}^H \quad (43)$$

$$\mathbf{R}_{yy} = \mathbf{X} \cdot \mathbf{F} \cdot \mathbf{R}_{hh} \cdot \mathbf{F}^H \cdot \mathbf{X}^H + \sigma_v^2 \cdot \mathbf{I}_n \quad (44)$$

Donde \mathbf{R}_{hh} es la matriz de auto-covarianza del canal, que se asume conocida; σ_v^2 es la varianza de ruido; \mathbf{F}^H y \mathbf{X}^H son las matrices hermíticas; y \mathbf{X} se modela como una matriz diagonal en la que los elementos de la diagonal principal son los símbolos piloto transmitidos (45).

$$\mathbf{X} = \begin{pmatrix} x(0) & 0 & \dots & 0 \\ 0 & x(1) & \dots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \dots & x(M-1) \end{pmatrix} \quad (45)$$

La respuesta impulsiva del canal se obtiene como:

$$\hat{\mathbf{H}}_{MMSE} = \mathbf{W} \cdot \hat{\mathbf{h}}_{MMSE} \quad (46)$$

Para el uso de este tipo de estimadores de canal es necesario conocer previamente los parámetros característicos del canal; por ello, no se consideran

adecuados para usarse en la transmisión PLC debido a que el canal sufre constantes cambios durante la transmisión.

4.2.3 Estimador LMMSE (*Linear Minimum Mean Square Error*)

El estimador LMMSE (*Linear Minimum Mean Square Error*) [Corde 09] es un estimador lineal que cumple el criterio MMSE (Minimum Mean Square Error). Este estimador parte de una estimación realizada con el estimador de mínimos cuadrados para aplicar las características del ruido del canal y obtener una mejor estimación. De esta forma el estimador LMMSE se expresa como (47):

$$\hat{\mathbf{H}}_{\text{LMMSE}} = \mathbf{A} \cdot \hat{\mathbf{H}}_{\text{LS}} = \mathbf{R}_{\text{hh}} \cdot (\mathbf{R}_{\text{hh}} + \sigma_v^2 \cdot (\mathbf{X} \cdot \mathbf{X}^{\text{H}})^{-1})^{-1} \cdot \hat{\mathbf{H}}_{\text{LS}} \quad (47)$$

Donde \mathbf{R}_{hh} es la matriz de auto-covarianza del canal, que se asume conocida; σ_v^2 es la varianza de ruido; \mathbf{X} se modela como una matriz diagonal en la que los elementos de la diagonal principal son los símbolos piloto transmitidos; \mathbf{X}^{H} es la matriz hermítica; y $\hat{\mathbf{H}}_{\text{LS}}$ es el canal estimado por mínimos cuadrados.

Cabe destacar que en ausencia de ruido el estimador LMMSE se comporta igual que el estimador LS. Igual que el estimador anterior, el receptor debe tener información de la función de auto-correlación del canal y de la potencia de ruido que se introduce. Este estimador conlleva una gran carga computacional debido a las dos inversiones de matrices necesarias para obtener el canal. Por ello se realiza una modificación de $(\mathbf{X} \cdot \mathbf{X}^{\text{H}})^{-1}$ por su valor esperado; de esta forma se puede expresar como (48):

$$\hat{\mathbf{H}}_{\text{LMMSE}} = \mathbf{R}_{\text{hh}} \cdot \left(\mathbf{R}_{\text{hh}} + \frac{1}{\text{SNR}} \cdot \mathbf{I} \right)^{-1} \cdot \hat{\mathbf{H}}_{\text{LS}} \quad (48)$$

$$\text{SNR} = \sigma_e^2 / \sigma_s^2 \quad (49)$$

Al igual que el estimador MMSE, el estimador LMMSE necesita conocer previamente la matriz de covarianza del canal, por lo que tampoco se considera como una opción viable para utilizar en el sistema receptor de PLC.

4.2.4 Estimador de rango óptimo

Los estimadores MMSE explicados anteriormente implican demasiada carga computacional, incluso con las modificaciones oportunas. Esta carga puede reducirse realizando una modificación basada en la descomposición en valores singulares de la matriz de auto-covarianza del canal, pudiéndose expresar como (50):

$$\mathbf{R}_{\text{hh}} = \mathbf{U} \cdot \mathbf{\Lambda} \cdot \mathbf{U}^{\text{H}} \quad (50)$$

Donde \mathbf{U} es la matriz que contiene los vectores singulares; y $\mathbf{\Lambda}$ es una matriz diagonal con los valores singulares de la matriz de auto-correlación (51).

$$\mathbf{\Lambda} = \text{diag} \{ \lambda_0, \lambda_1, \dots, \lambda_{m-1} \} \quad (51)$$

Para reducir los costes de cómputo se realiza una aproximación de rango k , en la que se desprecian los valores menos significativos. Siendo k menor que M , se consigue reducir la complejidad del estimador.

$$\hat{\mathbf{H}}_{\text{MMSE}} = \mathbf{U} \cdot \mathbf{\Delta}_m \cdot \mathbf{U}^H \cdot \hat{\mathbf{H}}_{\text{LS}} \quad (52)$$

Los elementos de la diagonal principal de $\mathbf{\Delta}_m$ se obtiene como sigue

$$\mathbf{\Delta}_m = \begin{cases} \frac{\lambda_m}{\lambda_m + \frac{1}{\text{SNR}}} & m = 0, 1, \dots, k-1 \\ 0 & m = k, \dots, M \end{cases} \quad (53)$$

Uno de los inconvenientes más destacables es que, al utilizar subportadoras concretas, se pierde información y conlleva que a partir de un cierto valor de SNR, no se mejore la estimación del canal, aunque la SNR aumente. Debido a ello es necesario encontrar una relación de compromiso entre el valor de k y la complejidad del estimador sin perder demasiada información.

Al realizar la estimación de rango óptimo y eliminar algunos de los canales para reducir el cómputo, se consigue además reducir un cierto rango de frecuencias en la recepción. Este dato es de gran interés para la eliminación de las frecuencias en las que se aloja el ruido del canal PLC.

En el apartado siguiente se muestran diferentes formas de obtener la matriz de auto-correlación del canal \mathbf{R}_{hh} , siendo la más difícil de obtener debido a que depende de los parámetros del canal de transmisión.

4.2.5 Cálculo de la matriz de auto-correlación del canal \mathbf{R}_{hh}

Debido a que el estimador LS no es válido como se observó en los resultados anteriores, se opta por utilizar un estimador de canal MMSE. El principal problema de estos estimadores es que necesitan conocer los datos estadísticos del canal anteriormente para obtener la matriz auto-correlación \mathbf{R}_{hh} . Debido a que el canal es uno de los más complejos y cambia drásticamente, no es posible conocer de antemano esta matriz.

Obtención de \mathbf{R}_{hh} por la media de varios canales simulados

Un primer método empleado es utilizar una matriz fija, obtenida a partir de realizar varias simulaciones del canal de forma teórica y realizar la media [Dietr 06] [Berg 14b]. Una vez obtenido el canal de forma teórica se obtiene la \mathbf{R}_{hh} como (55).

$$\mathbf{H}_{\text{frec}} = \text{fft}(\mathbf{H}_{\text{t}}, 512) \quad (54)$$

$$\mathbf{R}_{\text{hh}} = \mathbf{H}'_{\text{frec}} \cdot \mathbf{H}_{\text{frec}} \quad (55)$$

Siendo H_t el canal medio obtenido tras varias simulaciones de canales reales; H_{frec} la matriz $M \times M$ obtenida al realizar la FFT del canal teórica calculado; y H'_{frec} la matriz transpuesta de H_{frec} .

La Figura 4.7 muestra una comparación del canal obtenido de forma teórica, al hacer la media de varios canales, con un canal real. Se observa que la media de canales difiere bastante a lo que sería un canal real; esto se debe a que el modelo de canal utilizado en las simulaciones es de los más hostiles en entornos PLCs.

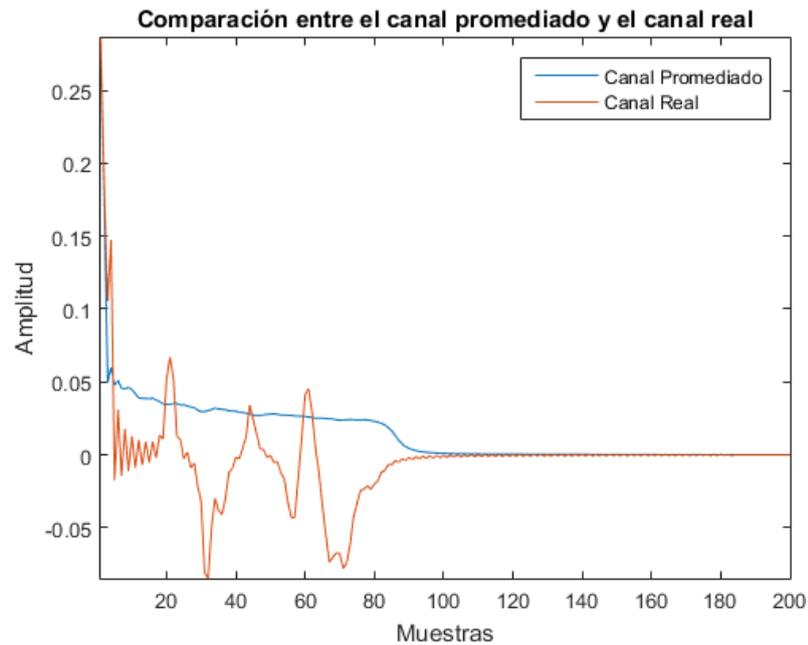


Figura 4.7. Comparación entre un canal real y el obtenido al realizar la media de varias simulaciones.

Aunque la diferencia entre canal real y teórico es muy clara, se utiliza la matriz R_{hh} obtenida mediante la media de varios canales simulados en los algoritmos de estimación de canal MMSE, obteniendo como resultado la Figura 4.8.

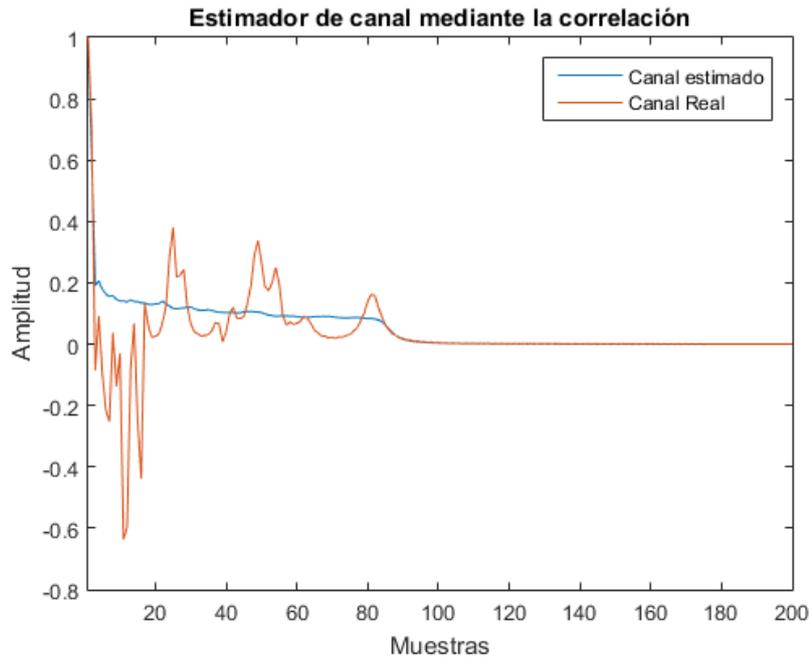


Figura 4.8. Comparación entre un canal real y el obtenido mediante la matriz de auto-correlación.

Un dato importante a destacar es que la solución de todos los estimadores de canal MMSE es la misma, debido a que la matriz de auto-correlación del canal \mathbf{R}_{hh} tiene un peso mayor a la hora de calcular la estimación de canal, salvo en el caso del estimador de rango óptimo, que depende del número de subportadoras utilizadas. A la luz de este dato, conociendo que el canal estimado es el mismo para cualquier estimador MMSE utilizado, se debería elegir el que menor carga computacional tenga de todos los presentados.

La Figura 4.9 muestra la señal resultante de aplicar este método de cálculo de \mathbf{R}_{hh} , suponiendo sincronismo perfecto y un igualador ZF para una SNR de -5dB con el ruido característico del modelo B del canal PLC. La Tabla 4.5 recoge los valores MSE obtenidos al emplear este tipo de estimador de canal, siendo éste con el que se conseguían mejores valores de MSE.

Tabla 4.5. Valor MSE obtenido con el estimador de canal por matriz de auto-correlación.

SNR (dB)	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
Valor MSE	1.07	4.14	9.78	3.91	1.98	7.80	4.31	1.18

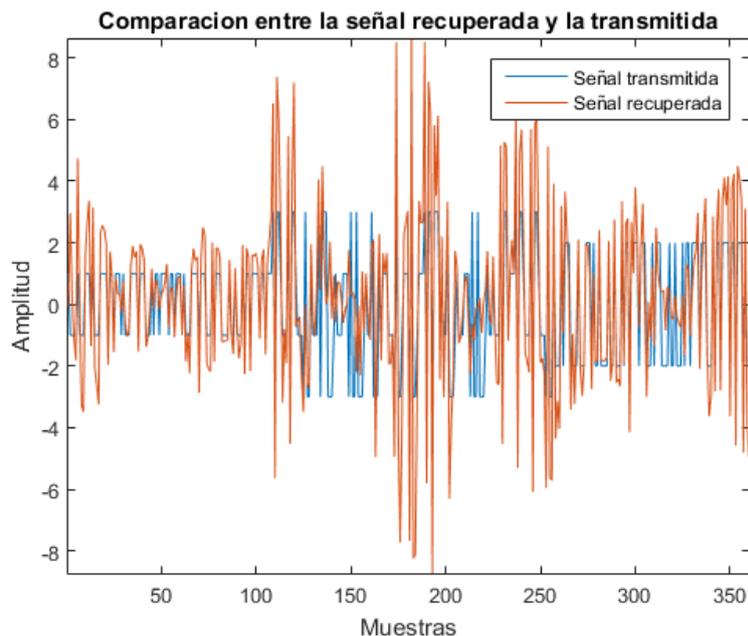


Figura 4.9. Comparación entre la señal transmitida x y recuperada \hat{x} al emplear la matriz de auto-correlación R_{hh} .

En este punto, y observando el resultado obtenido en la Figura 4.9, se recuerda la importancia de una buena estimación de canal, siendo muy importante para la etapa del igualador donde se utiliza para obtener los coeficientes que compensan el efecto del canal. Es obvio que en este caso el canal estimado no es lo suficientemente parecido al canal real, por lo que la señal recuperada difiere en gran medida a la real. Además, observando los valores de MSE obtenidos al utilizar este tipo de estimador de canal, queda reflejado que empeoran respecto a los conseguidos con el estimador de canal utilizado.

Obtención de R_{hh} por la correlación de los símbolos piloto

El segundo método es obtener la matriz R_{hh} a partir de la correlación de los símbolos piloto recibidos con los transmitidos. En la correlación se encuentra la respuesta impulsiva del canal utilizado; debido a la máscara de emisión PLC, que indica las frecuencias por las que no es aconsejable transmitir, no se utilizan todas las subportadoras haciendo que no se consiga una estimación perfecta del canal. Con la respuesta impulsiva de canal obtenida se consigue una aproximación lo suficientemente válida para obtener la matriz de auto-correlación.

La Figura 4.10 muestra la comparación entre el canal obtenido mediante la correlación y el canal real de transmisión para este método basado en la correlación de los símbolos piloto. En este caso se aprecia un claro parecido entre ambas respuestas impulsivas, haciendo más óptimo el uso de la correlación para la obtención de la matriz R_{hh} .

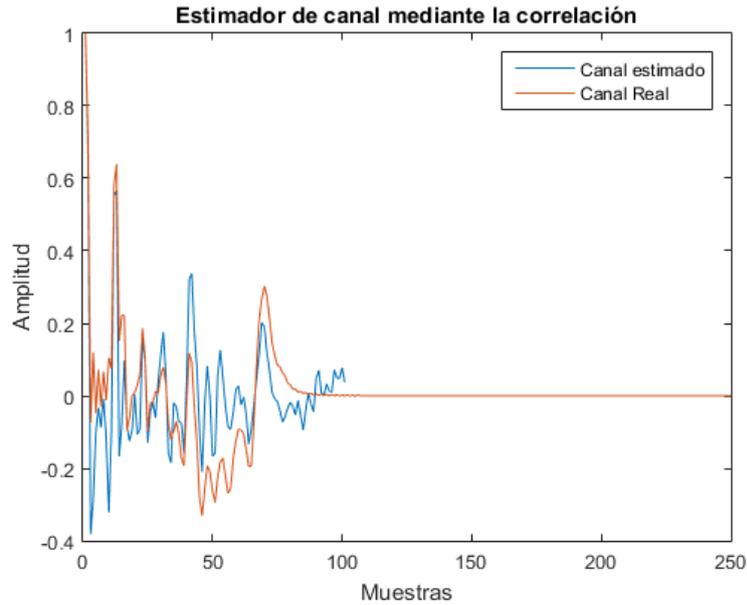


Figura 4.10. Comparación entre un canal real y el obtenido mediante el método basado en la correlación de los símbolos piloto.

Los resultados obtenidos se muestran en la Figura 4.11, donde se aprecia una mejora en la recuperación de la señal recibida, siendo el resultado más acorde a lo esperado.

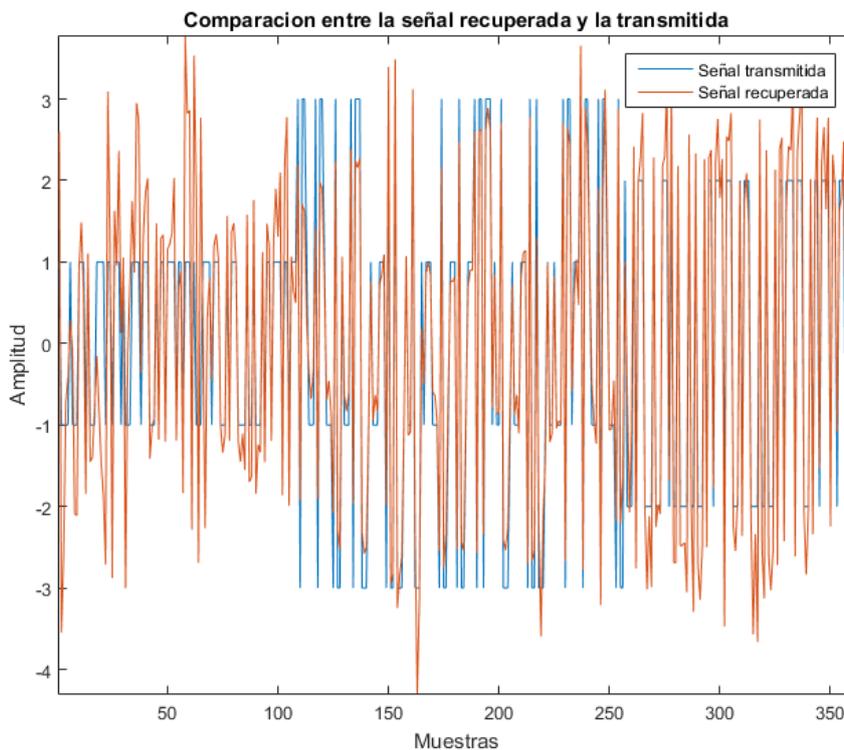


Figura 4.11. Comparación entre la señal transmitida x y recuperada \hat{x} al emplear la matriz de auto-correlación obtenida según el método de correlación por símbolos piloto.

Los valores de MSE obtenidos para este tipo de estimador de canal se muestran en la Tabla 4.6, alcanzados mediante 1000 simulaciones con diferentes tipos de canal

PLC modelo B para varias SNR, observándose que este tipo de estimador mejora respecto al basado en el método en el que se obtiene \mathbf{R}_{hh} por la media de canales simulados.

Tabla 4.6. Valor MSE obtenido con el estimador de canal basado en el método de correlación de los símbolos piloto.

SNR (dB)	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
Valor MSE	0.3342	0.7375	0.3712	0.4412	0.5702	0.3079	1.4135	0.8665

Al obtener la \mathbf{R}_{hh} a partir de la correlación y utilizarse en cualquier estimador MMSE, se ha logrado que el canal estimado sea igual a utilizar directamente la respuesta impulsiva conseguida por correlación, en cuyo caso es más eficiente y conlleva menor consumo de recursos utilizar la correlación como estimación de canal.

La obtención del canal estimado por correlación se realiza al mismo tiempo que la sincronización, utilizando la misma correlación que se realiza para sincronizar el emisor y el receptor. Una vez conocido el inicio de la transmisión se procede a recortar la señal de correlación obtenida para conseguir únicamente una respuesta impulsiva del canal de una duración finita impuesta por el usuario. La longitud del canal estimado queda definida por el usuario al inicio del sistema, haciendo posible la pérdida de parte del canal de transmisión si esta longitud es muy baja.

4.3 Esquema final propuesto para la estimación e igualación de canal

El sistema propuesto se basa en un enfoque Wavelet-OFDM (también conocido como FBMC), cuyo correspondiente transmisor y receptor ya se han descrito en [Poude 16]. Otro módulo clave en el sistema global para una transmisión correcta es el algoritmo de sincronismo, que también se ha descrito anteriormente para el transmultiplexor FBMC. De esta manera, se asume a continuación una sincronización perfecta entre el emisor y el receptor a fin de centrarse en el problema de estimación e igualación del canal.

La Figura 4.12 muestra el diagrama de bloques del procesamiento de señal propuesto para todo el sistema, que incluye un transmisor FBMC y un modelo de canal, así como la sincronización, y una estimación e igualación de canal en el receptor FBMC. En el transmisor FBMC, la máscara de transmisión se aplica a las L señales de la entrada $t_x[n]$ y, después de eso, aparece el banco de filtros de síntesis y la serialización P/S de las M subportadoras. Finalmente, se agrega el prefijo cíclico (CP) para obtener la señal $x[n]$ a transmitir. El canal ha sido modelado aquí por una respuesta al impulso \mathbf{h}_c y ruido característico del canal PLC \mathbf{n}_c .

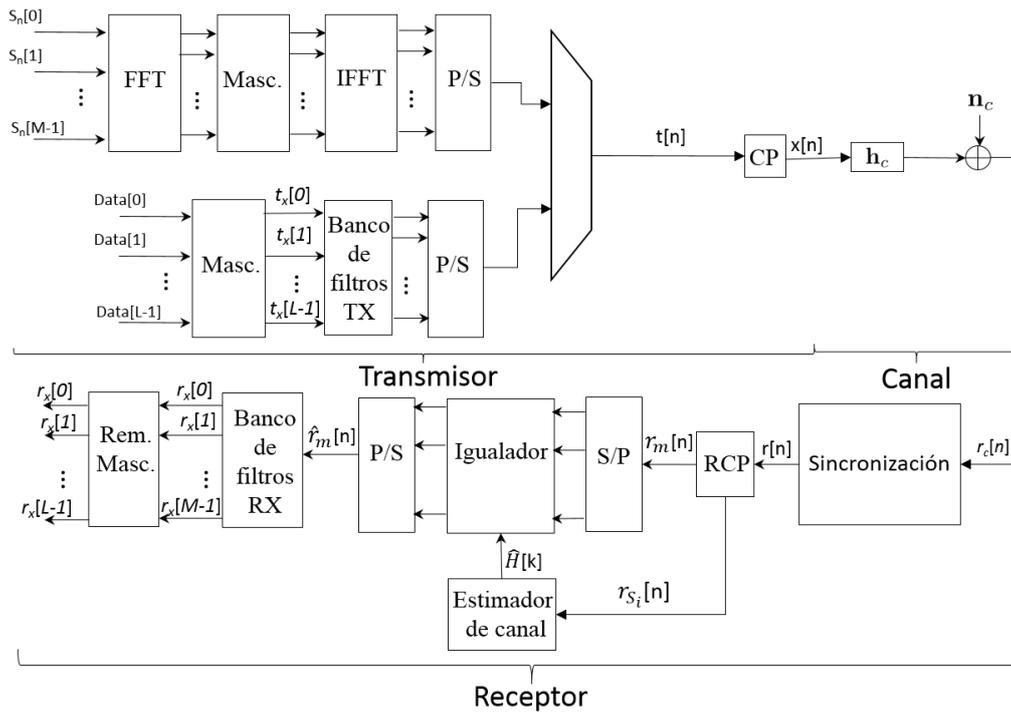


Figura 4.12. Diagrama de bloques del sistema global propuesto.

Por otro lado, el receptor FBMC, en primer lugar, sincroniza la señal recibida $r_c[n]$. A continuación, se elimina el CP (RCP), de modo que los primeros símbolos piloto $r_{s_i}[n]$ se envían al estimador de canal, mientras que los siguientes datos $r_m[n]$ se procesan mediante el igualador de canal, basándose en la estimación de canal en el dominio de la frecuencia \hat{H} obtenida previamente. Las subportadoras igualadas $\hat{r}_m[n]$ son procesadas por el banco de filtros de análisis, donde la señal de salida $r_x[n]$ se recupera por subportadora.

Las siguientes subsecciones se centran en la descripción de la propuesta realizada en el marco del estimador de canal y el igualador. Además, el estándar IEEE 1901-2010 define diferentes rangos de frecuencia y configuraciones en las que los sistemas PLC pueden transmitir [IEEE 10]; sin ninguna pérdida de generalidad, en lo sucesivo se particulariza para $M=512$ subportadoras, de las cuales 360 subportadoras están disponibles para la transmisión de información.

Las secuencias Zadoff-Chu se han utilizado como símbolos piloto para la estimación del canal en el sistema. Los códigos Zadoff-Chu, $s_i[n]$ $i=\{0,1\}$, son códigos complejos definidos según (56) (57):

$$s_0[n] = \cos\left[\frac{\pi \cdot q \cdot n \cdot (n+1)}{L}\right] \quad (56)$$

$$s_1[n] = -\sin\left[\frac{\pi \cdot q \cdot n \cdot (n+1)}{L}\right] \quad (57)$$

Donde $s_0[n]$ corresponde a la parte real del código Zadoff-Chu y $s_i[n]$ es la parte imaginaria; q es un número entero conocido como el índice raíz del código; y $n = \{0, \dots, L-1\}$ es la n -ésima muestra del código Zadoff-Chu. Además, las secuencias Zadoff-Chu proporcionan una característica relevante aquí, ya que sus propiedades de correlación siguen siendo las mismas, tanto en el dominio del tiempo como en el dominio de la frecuencia [Sesia 11]. Éste es un aspecto clave cuando se aplican estos códigos al transmisor y receptor FBMC debido a la existencia de transformadas de Fourier.

Se han considerado secuencias Zadoff-Chu $s_i[n]$ con una longitud L de 360 bits, donde cada bit se ha asignado a una subportadora m disponible para la transmisión, mientras que las otras subportadoras se ponen a cero (sin entrada).

A continuación, se detalla la disposición del preámbulo y la trama de datos propuestos para la transmisión de las secuencias Zadoff-Chu $s_i[n]$. Los dos primeros símbolos $\{S_0[n], S_1[n]\}$ se utilizan para sincronizar el emisor y el receptor, debido a las propiedades de correlación ideales de las secuencias. Por otro lado, los siguientes dos símbolos $\{S_2[n], S_3[n]\}$ se usan para estimar la respuesta impulsiva del canal. Después, comienza la transmisión de paquetes de datos, suponiendo que la respuesta impulsiva del canal \mathbf{h}_c no cambia durante el tiempo de transmisión de la trama. Finalmente, se introducen dos paquetes de ceros para tener en cuenta el retardo de grupo del banco de filtros, evitando así cualquier superposición con la siguiente trama de datos.

Se pasa a continuación a dar una descripción detallada del estimador e igualador de canal propuestos en este trabajo.

4.3.1 Igualador de canal propuesto

Como ya se ha comentado, el esquema FBMC presenta algunas propiedades interesantes, como una menor densidad espectral debido a la mejor localización en frecuencia del filtro prototipo, y la capacidad de eliminar la interferencia entre símbolos (ISI) de los canales multi-camino sin requerir la inserción de un prefijo cíclico (CP) en la señal transmitida. No obstante, recientemente se ha demostrado que los igualadores multi-tap deberían aplicarse en canales de banda ancha para ese propósito [Kong 14], lo que agrega complejidad a la implementación del receptor; por esa razón, se incluye un prefijo cíclico. El CP puede mitigar el ISI y la ICI, siempre que el CP sea más largo que la longitud efectiva del canal de transmisión L_{ch} . La inserción de CP se realiza repitiendo las muestras finales al comienzo de la trama de datos. Esto permite el uso de igualadores simples en el receptor, lo que hace que la implementación de dichos bloques sea sencilla.

Vale la pena señalar que los algoritmos basados en CP para la estimación e igualación de canales ya se han propuesto previamente para sistemas OFDM [Kong 14] [Lin 08]. Sin embargo, el enfoque descrito más adelante implica el uso de secuencias Zadoff-Chu para FBMC, así como el diseño de una arquitectura para la implementación en tiempo real de la propuesta.

Desde un punto de vista matemático, la inserción del CP permite que la matriz del canal \mathbf{H} se describa como una matriz circular en el dominio de la frecuencia, como se vio anteriormente, expresada como (58) [Tonel 12]:

$$\mathbf{H} = \mathbf{W}^{-1} \cdot \mathbf{\Lambda} \cdot \mathbf{W} \quad (58)$$

Donde \mathbf{W} es la matriz DFT de orden M ; y $\mathbf{\Lambda}$ es una matriz diagonal $M \times M$, cuyos elementos λ_m en la diagonal principal se obtienen a partir de la DFT de M puntos de la respuesta impulsiva del canal \mathbf{h}_c .

$$\mathbf{\Lambda} = \text{diag}\{\lambda_0, \lambda_1, \dots, \lambda_{M-1}\} \quad (59)$$

$$\lambda_m = \sum_{n=0}^{M-1} h[n] \cdot e^{-j\frac{2\pi}{M}m \cdot n}, 0 \leq m \leq (M-1) \quad (60)$$

La inserción de un CP más largo que la longitud efectiva del canal L_{ch} implica proporcionar una mayor robustez contra el desplazamiento de símbolos a lo largo del tiempo. En el receptor, el CP insertado en el transmisor se elimina, por lo que la función de transferencia se puede describir como (61):

$$\mathbf{r}_m = \mathbf{h}_c \cdot \mathbf{x}_m + \mathbf{n}_c \quad (61)$$

Donde \mathbf{r}_m es la señal de banda base recibida después de eliminar el CP de la señal recibida $r_c[n]$; \mathbf{x}_m es la señal de banda base transmitida antes de insertar el CP; \mathbf{h}_c es la matriz de la respuesta al impulso del canal; y \mathbf{n}_c es la matriz de ruido, teniendo en cuenta el ruido impulsivo síncrono, el ruido impulsivo asíncrono y el ruido de banda estrecha.

Para eliminar el CP en el receptor de forma precisa, es necesario tener una estimación suficientemente precisa del tiempo de llegada de los datos, ya que el canal PLC inserta un retardo aleatorio. En este apartado, el CP se elimina perfectamente ya que se supone que el sistema está previamente sincronizado.

Como resultado del efecto de canal, la amplitud de los datos recibidos se reduce en un factor determinado para cada frecuencia, así como la fase girada con respecto a los datos enviados, por lo que es necesario aplicar un igualador en la recepción para compensar estas variaciones. Los igualadores calculan el filtrado de la señal recibida para compensar la distorsión insertada por el canal de transmisión, por lo que la señal de salida del igualador está libre de interferencia.

La Figura 4.13 muestra el diagrama de bloques del igualador utilizado en la propuesta, donde las entradas $r_m[n]$ provienen del convertidor serie-paralelo, bloque S/P en la Figura 4.12, después de eliminar el CP.

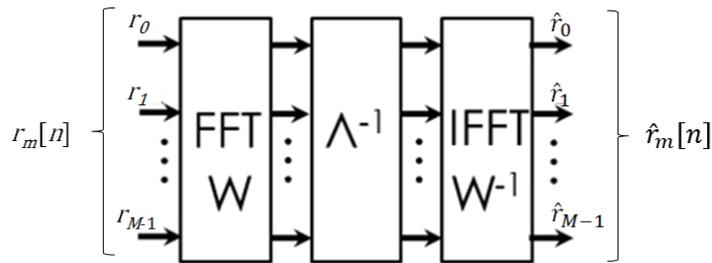


Figura 4.13. Diagrama de bloques del igualador propuesto.

El resultado de salida $\hat{\mathbf{r}}_m$ del igualador se expresa de la siguiente manera en el dominio de tiempo (62):

$$\hat{\mathbf{r}}_m = \mathbf{W}^{-1} \cdot \mathbf{\Lambda}^{-1} \cdot \mathbf{W} \cdot \mathbf{r}_m \quad (62)$$

Donde \mathbf{W} sigue siendo la matriz DFT de orden M ; y $\mathbf{\Lambda}^{-1}$ es una matriz diagonal $M \times M$ que caracteriza la igualación, cuyos elementos C_m en la diagonal principal corresponden a los coeficientes obtenidos para cada tipo de igualador.

Los coeficientes C_m de los igualadores se obtienen usando la técnica de forzado a cero (*zeros forcing*), ya que sólo requiere una matriz inversa de los coeficientes de canal C_m para corregir la distorsión causada por el canal. Por lo tanto, los coeficientes C_m de la matriz diagonal se expresan como (63):

$$C_m = \frac{1}{\lambda_m}, \quad m = 0, 1, \dots, M - 1 \quad (63)$$

$$\mathbf{\Lambda}^{-1} = \text{diag}\{C_0, C_1, \dots, C_{M-1}\} \quad (64)$$

La Figura 4.14 muestra el esquema utilizado en la implementación correspondiente de este módulo, donde la división directa de las subportadoras en la señal recibida $r_m[n]$ por la estimación de canal $\hat{\mathbf{H}}$ obtenida se realiza en el dominio de frecuencia, para obtener la igualación señales recibidas $\hat{r}_m[n]$.

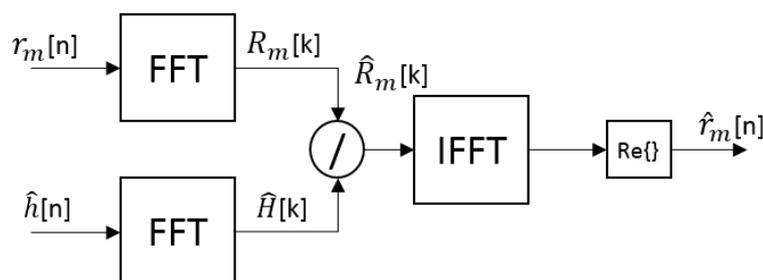


Figura 4.14. Diagrama de bloques del igualador de canal propuesto.

El principal inconveniente de este tipo de igualadores es que sólo intentan compensar los efectos insertados por la respuesta de impulso del canal \mathbf{h}_c , sin tener en cuenta los efectos del ruido \mathbf{n}_c , por lo que no eliminan por completo la interferencia ISI.

4.3.2 Estimador de canal propuesto

Para el caso del estimador de canal, no se han obtenido resultados aceptables con los estudiados de la literatura, por lo que se decide optar por la creación de un estimador de canal propio que mejore los resultados. El estimador de canal debería ser capaz de obtener un modelo de canal $\hat{\mathbf{H}}$ lo suficientemente preciso como para hacer posible la eliminación de ISI casi por completo. El estimador de canal propuesto debe reducir tanto como sea posible la distorsión causada por el ruido y obtener un modelo de canal $\hat{\mathbf{H}}$.

Uno de los estimadores de canal más simples es el estimador de mínimos cuadrados (LS), como se vio al principio del capítulo; este tipo de estimador minimiza el error cuadrático entre los símbolos piloto transmitidos y recibidos. La estimación de canal $\hat{\mathbf{H}}$ se obtiene dividiendo los símbolos piloto recibidos $R_{S_i}[k]$ por los símbolos piloto transmitidos $S_i[k]$ en el dominio de la frecuencia, como se muestra en (65).

$$\hat{\mathbf{H}}[k] = \frac{R_{S_i}[k]}{S_i[k]} = \mathbf{H}_c[k] + \mathbf{N}_c[k] \quad (65)$$

Donde $S_i[k]$ es el símbolo piloto transmitido i -ésimo en el dominio de la frecuencia; $R_{S_i}[k]$ es el símbolo piloto recibido correspondiente, también en el dominio de la frecuencia; \mathbf{H}_c es el canal real; y \mathbf{N}_c sigue siendo el ruido añadido.

Recordando las características de este tipo de estimador, la principal desventaja que presenta es que no tiene en cuenta la naturaleza estadística de las señales, por lo que no considera el ruido añadido en la transmisión. Una de las principales ventajas de este tipo de estimador es que no requiere información estadística sobre el canal o el ruido. Esto hace que sea fácil de usar en los sistemas de comunicación, a pesar de no compensar el ruido en la estimación del canal, lo que afecta al rendimiento global.

La Figura 4.15 muestra un ejemplo de una estimación de canal $\hat{\mathbf{H}}$ en el dominio de frecuencia utilizando el estimador LS (arriba), así como la respuesta de frecuencia original del canal PLC real del tipo B [Tonel 12] \mathbf{H}_c (abajo). La señal recibida se ve afectada por el ruido mencionado anteriormente con una SNR (relación señal-ruido) de 10dB. Como puede observarse, el canal $\hat{\mathbf{H}}$ estimado tiene amplitudes más altas en las componentes de frecuencia más bajas, en comparación con los del canal \mathbf{H}_c inicial. Debido a este problema, se propone un nuevo estimador para intentar rechazar la mayor parte del ruido añadido al estimar el canal. La Figura 4.16 representa el error absoluto que existe entre el canal real y el canal estimado mediante el estimador LS.

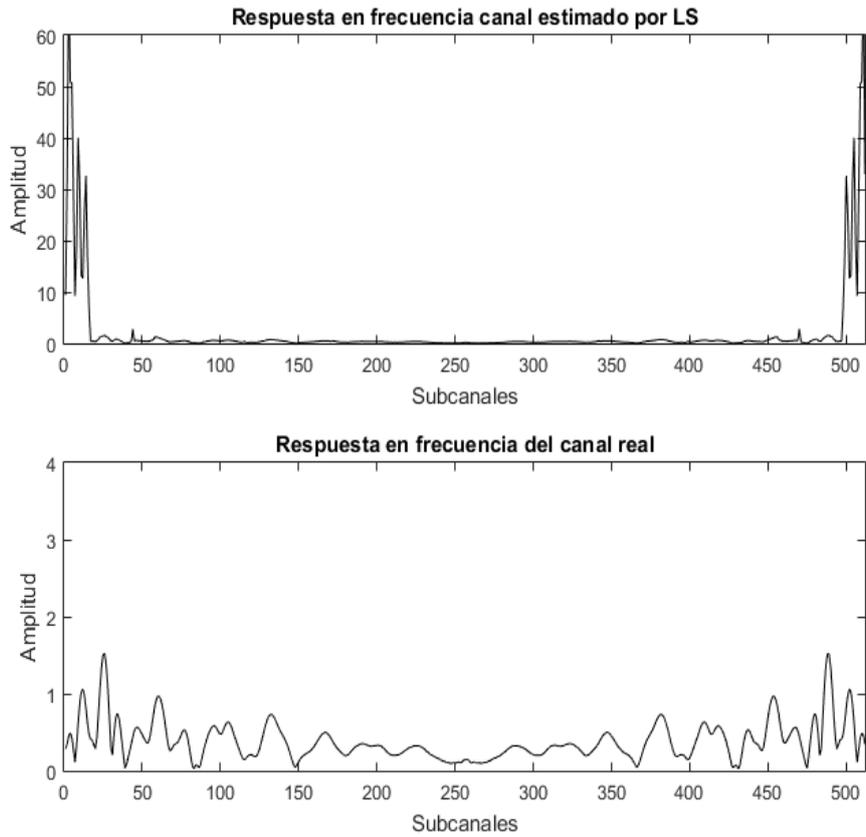


Figura 4.15. Comparación entre la respuesta en frecuencia del canal estimado \hat{H} mediante LS y la respuesta del canal real H_c .

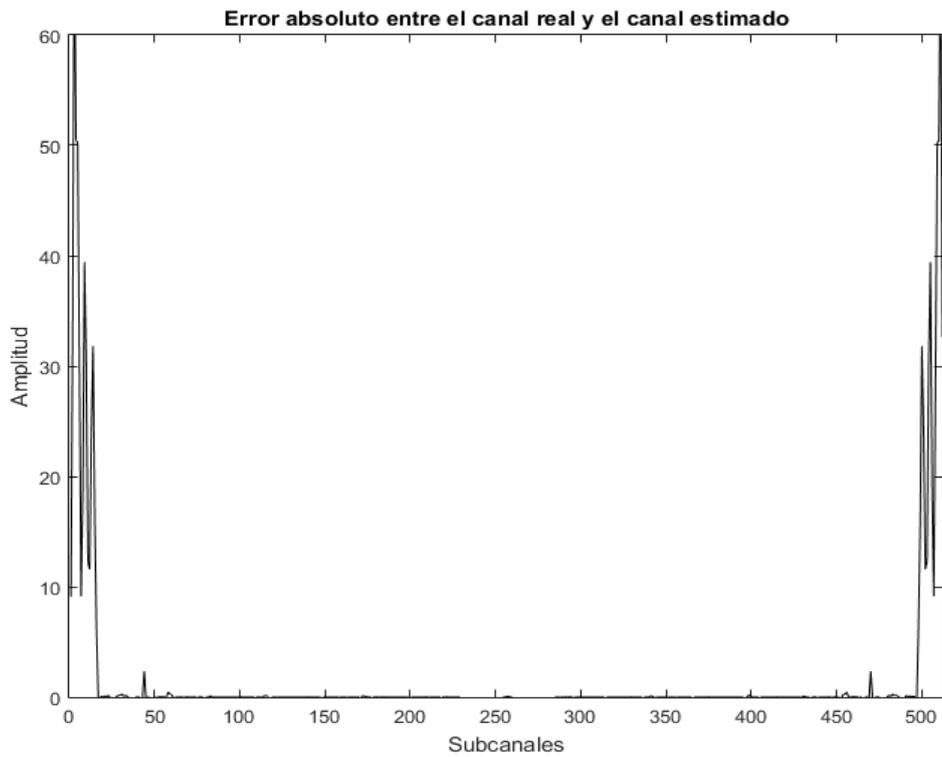


Figura 4.16. Error absoluto entre el canal real H_c y el canal estimado \hat{H} .

La Figura 4.17 representa el diagrama de bloques del estimador de canal propuesto. En ella, las señales $r_{s_0}[n]$ y $r_{s_1}[n]$ son los símbolos piloto recibidos, afectados por el ruido \mathbf{n}_c y el efecto de canal \mathbf{H}_c .

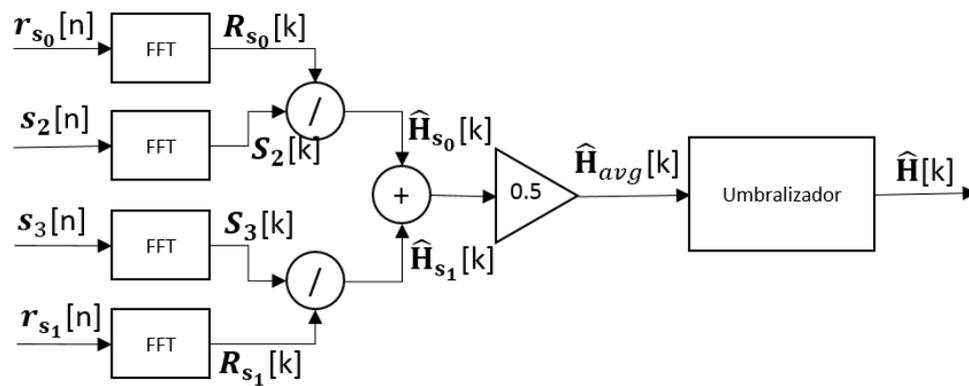


Figura 4.17. Diagrama de bloques del estimador de canal propuesto.

Utilizando un estimador LS, se obtienen dos modelos de canales, $\hat{\mathbf{H}}_{s_0}$ y $\hat{\mathbf{H}}_{s_1}$, que no son necesariamente iguales debido al ruido en el canal de transmisión PLC, principalmente por el ruido impulsivo asíncrono que no se aloja en una frecuencia determinada. La Figura 4.18 muestra ambos canales estimados para una SNR de 10 dB.

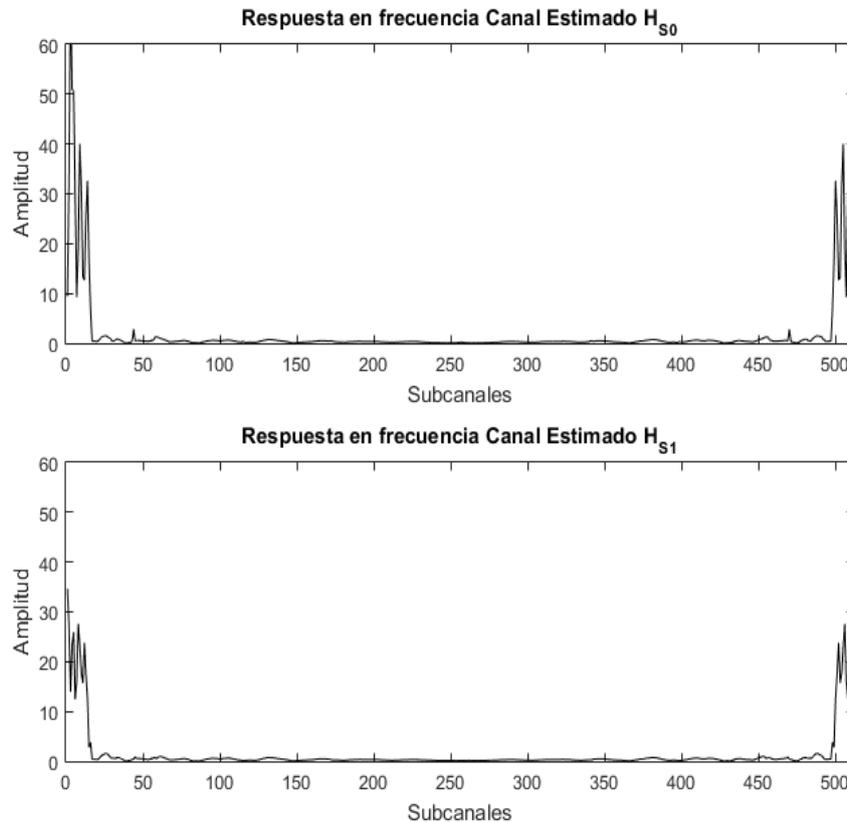


Figura 4.18. Respuesta en frecuencia de los canales parciales estimados $\hat{\mathbf{H}}_{s_0}$ y $\hat{\mathbf{H}}_{s_1}$ para el estimador propuesto.

Posteriormente, ambos modelos de canales estimados $\hat{\mathbf{H}}_{s_0}$ y $\hat{\mathbf{H}}_{s_1}$ se promedian para obtener $\hat{\mathbf{H}}_{avg}$ (66), y se aplica un umbral con un valor T_h (67) para mitigar el efecto de ruido. El sistema propuesto se resume matemáticamente como:

$$\hat{\mathbf{H}}_{avg}[k] = \frac{1}{2} \left(\frac{R_{S_0}[k]}{S_2[k]} + \frac{R_{S_1}[k]}{S_3[k]} \right) \quad (66)$$

$$\hat{\mathbf{H}}[k] = \begin{cases} 0 & k < \alpha_L, k > \alpha_H \\ \hat{\mathbf{H}}_{avg}[k] & \alpha_L \leq k \leq \alpha_H \\ 0 & |\hat{\mathbf{H}}_{avg}[k]| > T_h \end{cases} \quad (67)$$

Donde $\alpha_L = 15$ es la subportadora más baja permitida para la transmisión y $\alpha_H = 496$ la subportadora más alta permitida en la configuración del PLC; y k sigue indicando el dominio de la frecuencia. Debido al hecho de que el ruido impulsivo síncrono puede considerarse en el rango de frecuencias por debajo de 200 kHz [Corte 10], puede eliminarse sin afectar a los símbolos piloto, ya que las transmisiones consideradas en el estándar PLC de banda ancha van de 2MHz a 28MHz [IEEE 10]. Por otro lado, el umbral T_h permite que la estimación del canal sea forzada a cero cuando aparece el ruido impulsivo asíncrono.

La Figura 4.19 muestra el valor de $\hat{\mathbf{H}}_{avg}$ obtenido del promediado de los canales $\hat{\mathbf{H}}_{s_0}$ y $\hat{\mathbf{H}}_{s_1}$ (arriba), así como la estimación de canal obtenida después de anular las frecuencias correspondientes al ruido del canal PLC y la umbralización para limitar el valor del ruido impulsivo asíncrono (abajo).

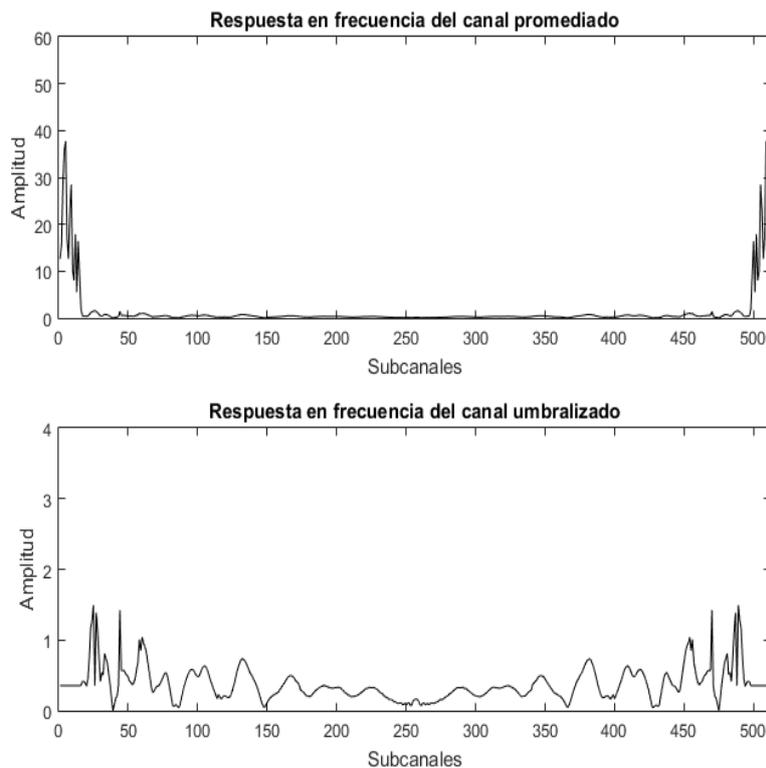


Figura 4.19. Respuesta en frecuencia del canal promedio $\hat{\mathbf{H}}_{avg}$ y el canal umbralizado $\hat{\mathbf{H}}$.

Como se muestra en (66) y (67), el canal estimado final $\hat{\mathbf{H}}$ es igual al promedio $\hat{\mathbf{H}}_{\text{avg}}$ de ambos canales, $\hat{\mathbf{H}}_{s_0}$ y $\hat{\mathbf{H}}_{s_1}$, obtenido por el estimador LS, descartando también las subportadoras de frecuencia afectadas por ruido impulsivo periódico. Además, se tiene en cuenta que aquellas portadoras por encima de un cierto umbral T_h están recortadas para reducir la influencia del ruido impulsivo asíncrono.

Finalmente, si el canal $\hat{\mathbf{H}}$ obtenido por el estimador propuesto se compara con el canal de transmisión real \mathbf{H}_c , se observa que algunos de los valores estimados para cada subportadora m difieren ligeramente de los reales (véase la Figura 4.20).

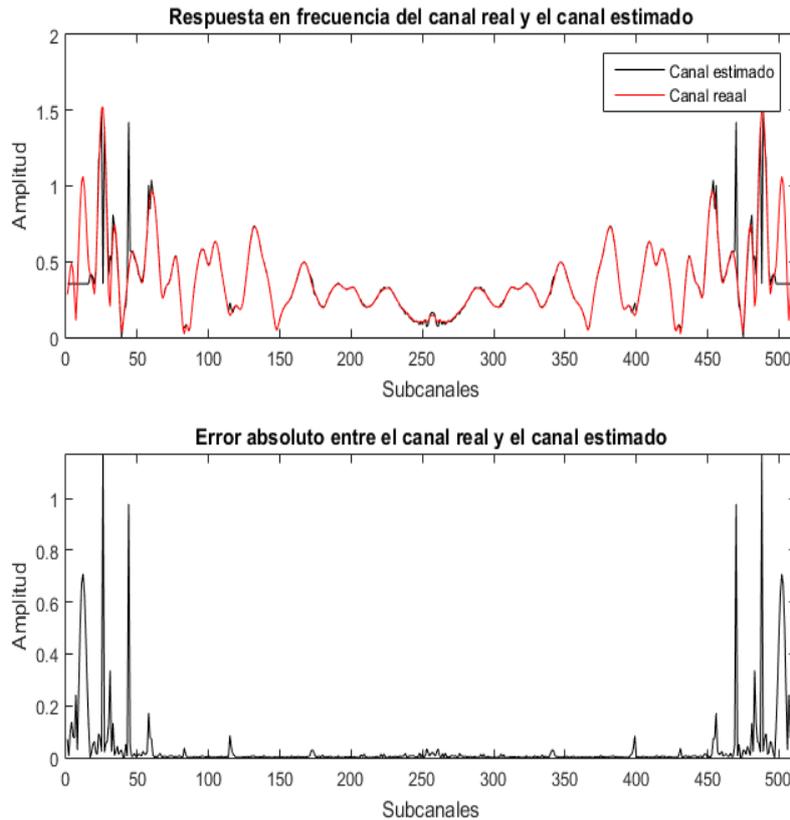


Figura 4.20. Comparativa y error obtenido para un ejemplo entre el canal estimado $\hat{\mathbf{H}}$ y el canal real \mathbf{H}_c .

En la Figura 4.20 se pueden distinguir varios picos de ruido, principalmente causados por el ruido impulsivo asíncrono, que es el más difícil de eliminar, ya que aparece en las mismas bandas de frecuencias que los datos transmitidos.

El estimador de canal propuesto emplea en su desarrollo diferentes técnicas obtenidas de estimadores de canal típicos de la literatura. De esta forma, se emplean estimadores LS, que, como se explicaba al principio del capítulo, no son muy recomendables debido a que no tienen en cuenta los niveles de ruido añadidos, pero cuya principal ventaja es que no necesitan información previa del canal, haciéndolos muy convenientes para este tipo de aplicaciones. Junto con los estimadores LS se utiliza la técnica del doble piloto para conseguir dos estimaciones de canal diferentes y al

realizar el promedio de ambas, se mitigan los efectos del ruido impulsivo asíncrono. Por último, se decide utilizar una eliminación de las subportadoras donde se aloja el resto de ruidos del canal PLC, presentando así cierto parecido con el estimador de rango óptimo. Gracias a todas estas técnicas unidas se consigue una estimación del canal PLC lo suficientemente fiable como para poder recuperar la señal transmitida.

El estimador de canal propuesto puede ser empleado, no sólo para tratar el ruido del canal, sino también para eliminar la interferencia del canal casi por completo, recuperando así los datos transmitidos después de quitar la máscara de transmisión con un error reducido. La Figura 4.21 muestra dos señales recuperadas $r_x[n]$ después de estimar e igualar el canal, y demodular en el receptor (véase la Figura 4.12). Se pueden observar variaciones significativas, ya que la estimación del canal no elimina completamente el ruido impulsivo asíncrono. Este tipo de ruido no se fija en ciertas bandas de frecuencia, por lo que es difícil rechazarlo y las señales recuperadas $r_x[n]$ no son exactamente iguales a las transmitidas $t_x[n]$.

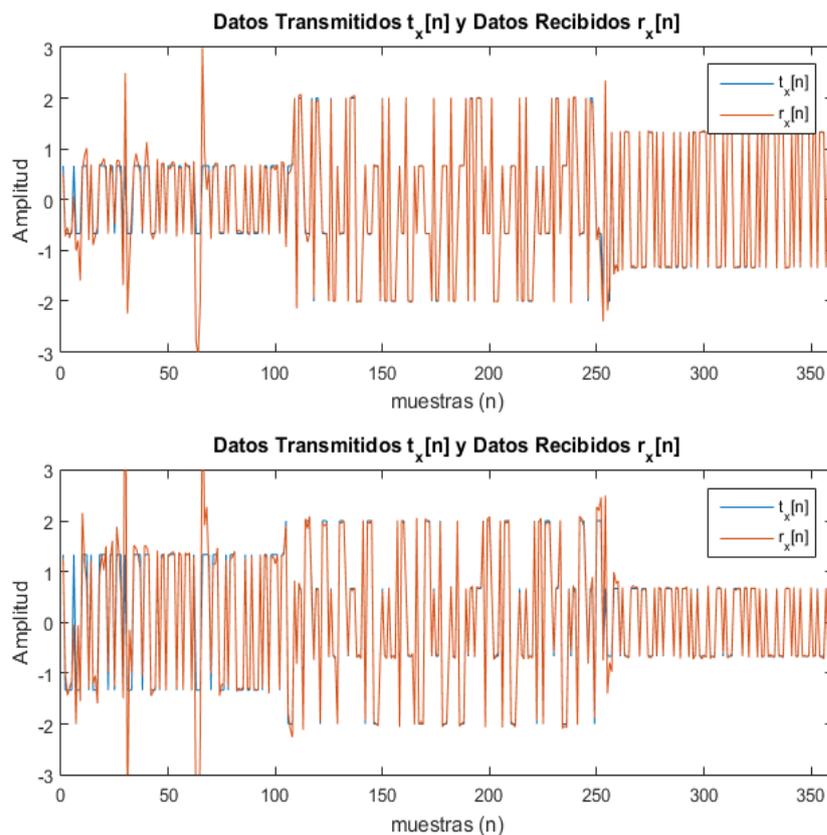


Figura 4.21. Ejemplo comparativo entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ con el estimador de canal propuesto.

A fin de abordar un estudio más amplio para evaluar el estimador de canal propuesto, se han realizado 1000 simulaciones para diferentes modelos de canal PLC con SNR comprendidas entre -5 dB y 30 dB, obteniendo los valores MSE entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ para cuantificar el error existente. Estos valores se muestran en la Tabla 4.7.

Tabla 4.7. Valor MSE entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ obtenido con el estimador de canal propuesto en función de SNR.

SNR (dB)	Canal B		Canal A	
	MSE mínimo	MSE medio	MSE mínimo	MSE medio
-5 dB	$0.220 \cdot 10^{-6}$	0.296	$0.025 \cdot 10^{-6}$	0.256
0 dB	$0.004 \cdot 10^{-6}$	0.145	$0.016 \cdot 10^{-6}$	0.089
5 dB	$0.007 \cdot 10^{-6}$	0.108	$0.002 \cdot 10^{-6}$	0.042
10 dB	$0.004 \cdot 10^{-6}$	0.064	$0.180 \cdot 10^{-6}$	0.013
15 dB	$0.001 \cdot 10^{-6}$	0.047	$0.001 \cdot 10^{-6}$	0.007
20 dB	$0.002 \cdot 10^{-6}$	0.058	$0.005 \cdot 10^{-6}$	0.003
25 dB	$0.001 \cdot 10^{-6}$	0.053	$0.001 \cdot 10^{-6}$	0.006
30 dB	$0.001 \cdot 10^{-6}$	0.050	$0.001 \cdot 10^{-6}$	0.004

La Tabla 4.8 recopila los datos obtenidos anteriormente para cada uno de los estimadores de canal presentados al principio del capítulo y el estimador de canal propuesto mediante el valor MSE obtenido para cada uno solamente para el modelo B de canal PLC. Como se observa, el estimador de canal propuesto en conjunto con un igualador zero forcing mejora notablemente los resultados obtenidos para el resto de estimadores de canal.

Tabla 4.8. Comparativa en función del SNR de los valores MSE obtenidos por distintos estimadores de canal, incluyendo el propuesto en este trabajo.

SNR (dB)	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
Obtención de R_{hh} por correlación	0.334	0.737	0.371	0.441	0.570	0.307	1.413	0.866
Obtención de R_{hh} por la media de canales simulados	1.07	4.14	9.78	3.91	1.98	7.80	4.31	1.18
Propuesto	0.296	0.145	0.108	0.064	0.047	0.058	0.053	0.050

4.4 Influencia de estimador-igualador propuesto sobre el sincronismo

El conjunto estimador de canal e igualador de canal no sólo permite obtener un modelo fiable del canal de transmisión para posteriormente recuperar la señal transmitida eliminando el efecto del canal PLC y del ruido añadido, sino que, además permite corregir pequeños errores de la etapa de sincronismo.

La etapa previa de sincronización no es perfecta y en ocasiones no es capaz de determinar con exactitud el inicio de la trama de emisión; esto conlleva a que, si el sistema no contase con una forma de solucionar este problema, sería imposible

recuperar la señal transmitida en el banco de filtros del receptor. A continuación, se analiza en profundidad el conjunto del estimador e igualador de canal para comprobar su influencia sobre el funcionamiento del sistema completo, y más particularmente ante estos posibles errores de sincronismo.

Comenzando con el funcionamiento del estimador de canal, se simula un error de sincronización de cinco muestras en la trama recibida a modo de ejemplo. Realizando la división en frecuencia de los símbolos piloto recibidos, con el error de sincronismo, entre los símbolos piloto emitidos se obtiene el modelo del canal de transmisión. Con el fin de simplificar los resultados y de que se observe de forma más clara se elimina el factor ruido en la transmisión. La Figura 4.22 muestra la trama recibida con el error de sincronismo, la misma trama recibida con una sincronización perfecta y los símbolos pilotos del emisor.

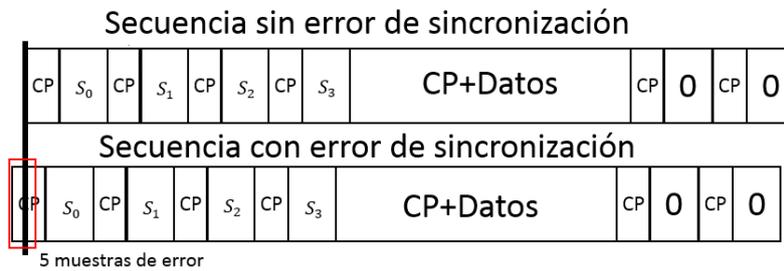


Figura 4.22. Ejemplo ilustrativo de un error de sincronismo sobre la trama propuesta.

La Figura 4.23 compara el resultado de obtener un canal estimado con una sincronización perfecta y con un error de cinco muestras en el sincronismo.

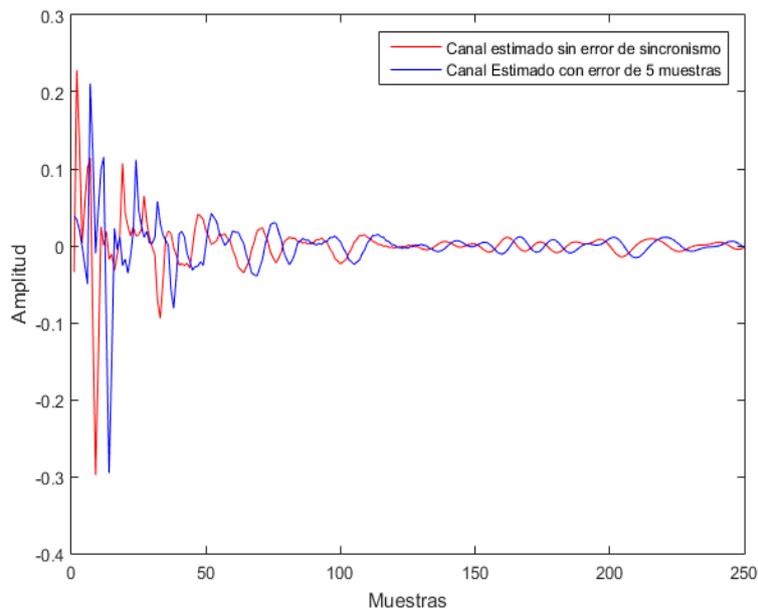


Figura 4.23. Comparación entre la respuesta temporal del canal estimado con y sin error de sincronismo en la estimación de canal.

Como la Figura 4.23 representa, existe un desfase entre el canal estimado sin error de sincronismo y aquel obtenido con un error de sincronismo, siendo este desfase igual al número de muestras del error causado. Al pasar ambos canales obtenidos al dominio de la frecuencia, se comprueba que el módulo para cada una de las subportadoras es exactamente igual, haciendo que los coeficientes del igualador sean los mismos para ambos casos (véase la Figura 4.24).

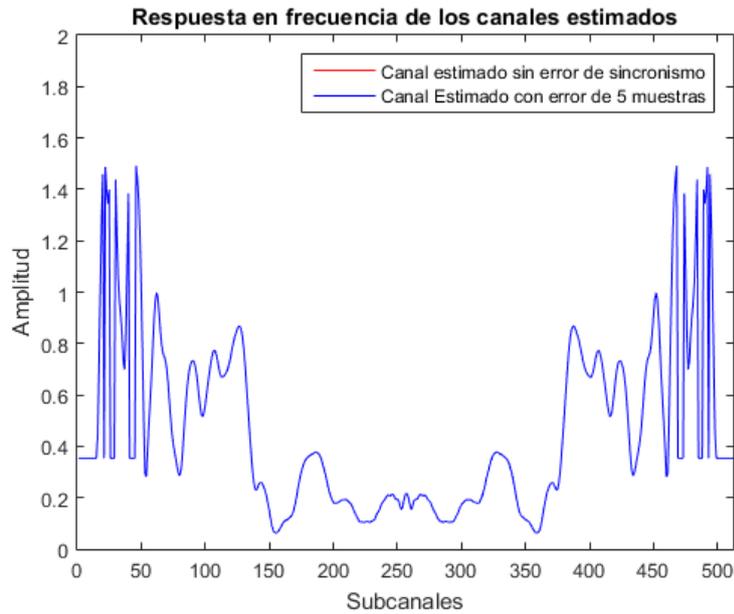


Figura 4.24. Comparación entre el canal estimado \hat{H} con y sin error de sincronización.

Habiendo comprobado que el estimador de canal obtiene un modelo de canal \hat{H} de módulo idéntico en el dominio de la frecuencia, se continúa verificando el comportamiento del igualador de canal frente a un error de sincronismo.

La Figura 4.25 representa la señal de entrada $r_m[n]$ al igualador en el dominio del tiempo para ambos casos, observándose el error de sincronismo de cinco muestras entre señales.

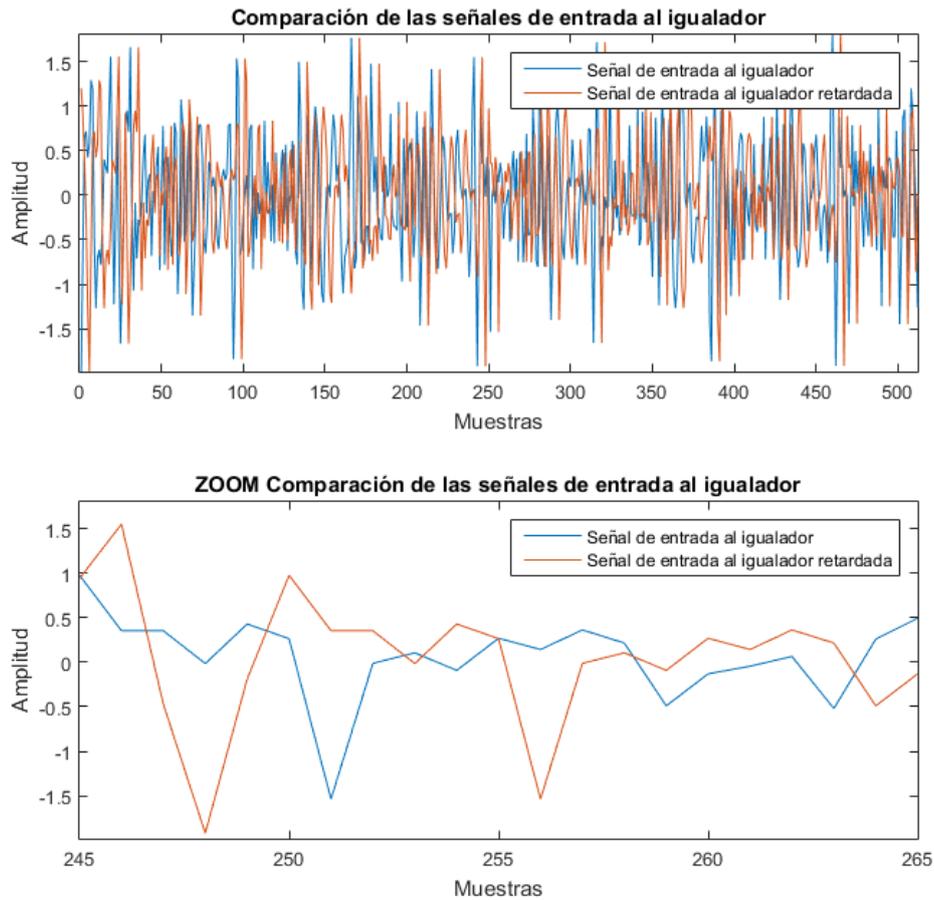


Figura 4.25. Comparación de la señal de entrada $r_m[n]$ al igualador con y sin error de sincronismo.

Representado el módulo en el dominio de la frecuencia de la señal de entrada $r_m[n]$, no se distingue una variación apreciable entre ambas señales (véase la Figura 4.26). Como se observó en la Figura 4.24, los coeficientes C_m del igualador en módulo son los mismos para ambos canales estimados con y sin error de sincronismo.

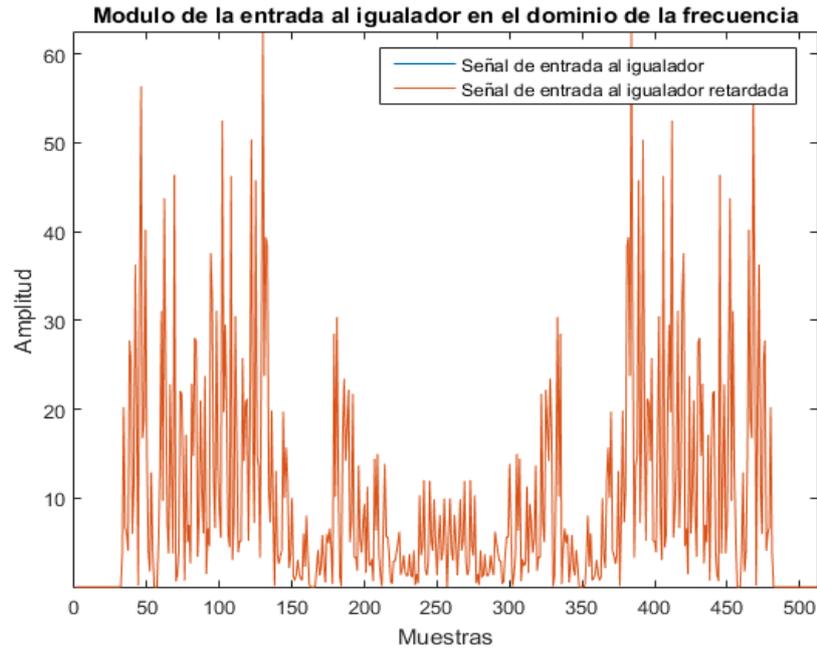


Figura 4.26. Comparación de la entrada al igualador con la entrada al igualador con error de sincronismo en el dominio de la frecuencia.

Realizando la división en el dominio de la frecuencia entre la señal recibida $r_c[n]$ y el canal estimado \hat{H} se obtiene la señal compensando el efecto añadido por el canal en la transmisión PLC. La Figura 4.27 representa la señal $\hat{r}_m[n]$ recuperada en el dominio de la frecuencia, observando que el efecto del error de sincronismo queda anulado gracias al uso del conjunto presentado por el estimador y el igualador de canal. Gracias a ello la señal $r_m[n]$ está acondicionada para ser demodulada en el banco de filtros del receptor y obtener una salida válida de los datos transmitidos.

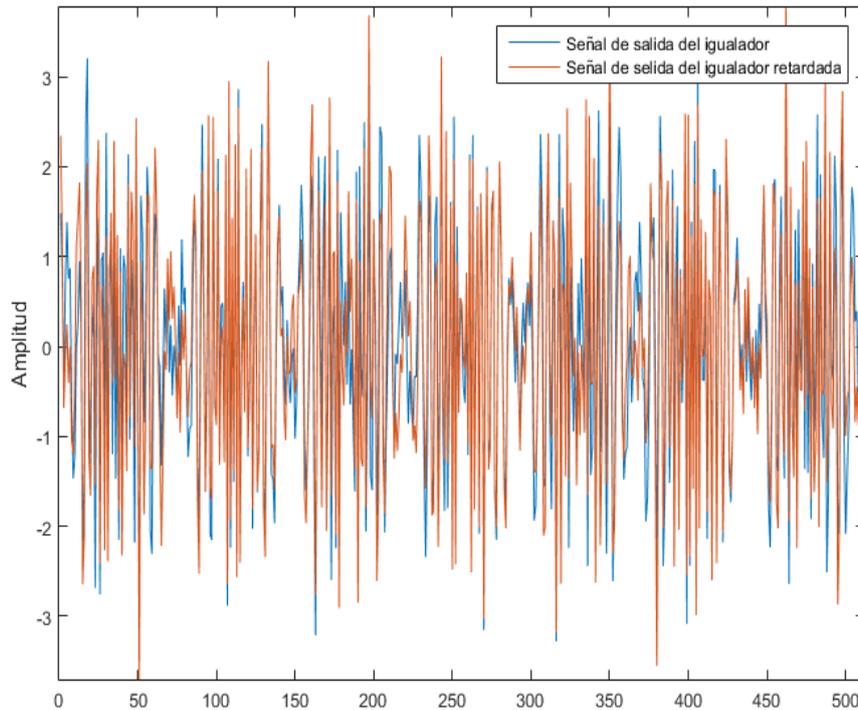


Figura 4.27. Comparación y error en las señales igualadas $r_m[n]$ con y sin error de sincronismo.

En la Figura 4.28 se representan los datos recuperados $r_x[n]$ después de demodularse en el banco de filtros del receptor, comparándose con los datos transmitidos $t_x[n]$ antes de ser modulados por el banco de filtros del emisor. Al mismo tiempo se representa el error que existe entre los datos recuperados $r_x[n]$ y los transmitidos $t_x[n]$, observándose que en las primeras muestras se concentra un error más elevado; esto se debe a la aproximación que se hace en el estimador de canal a la hora de eliminar el ruido en la banda de menor frecuencia, haciendo que el canal estimado presente una mayor diferencia respecto del real y los datos obtenidos por el igualador no sean todo lo correcto que debiesen.

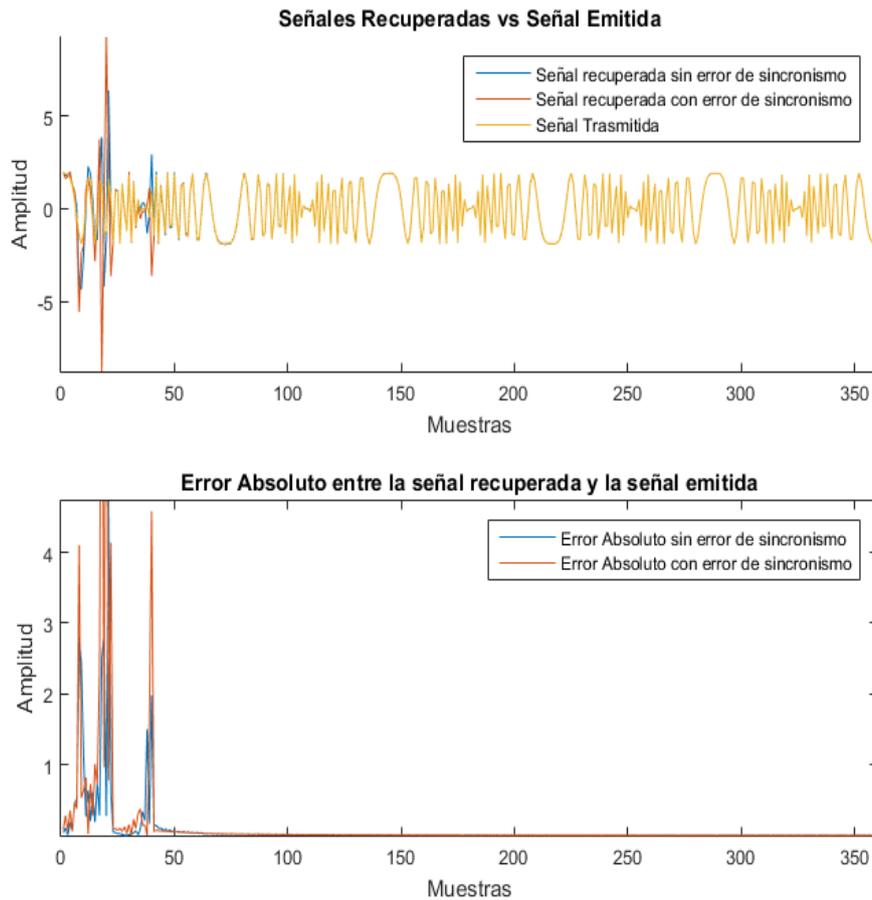


Figura 4.28. Comparación y error de las señales recuperadas $r_x[n]$ por el sistema propuesto con y sin error de sincronismo.

El valor MSE (*Minimum Squared Error*) obtenido entre la señal transmitida $t_x[n]$ y la señal recuperada $r_x[n]$ con error de sincronismo nulo es de 0.0007, mientras que el que se obtiene con el error de sincronismo de cinco muestras es de 0.235.

Habiéndose realizado el estudio para el caso específico de un error de sincronismo de cinco muestras, se completa para diferentes errores de sincronización para observar el comportamiento completo. Se realizan 1000 simulaciones para errores de sincronismo comprendidos entre 0 y 400 muestras en pasos de 10 muestras para SNR comprendidas entre -5dB y 30dB, en pasos de 5dB. Se ha elegido un valor máximo de error de sincronismo de 400 muestras para observar el comportamiento del sistema ante un error de sincronismo mayor al CP insertado. La Figura 4.29 muestra el MSE obtenido en las simulaciones, observándose que el MSE aumenta cuanto mayor es el error de sincronismo, siendo el de mayor valor cuando se sobrepasa el número de muestras correspondiente al CP.

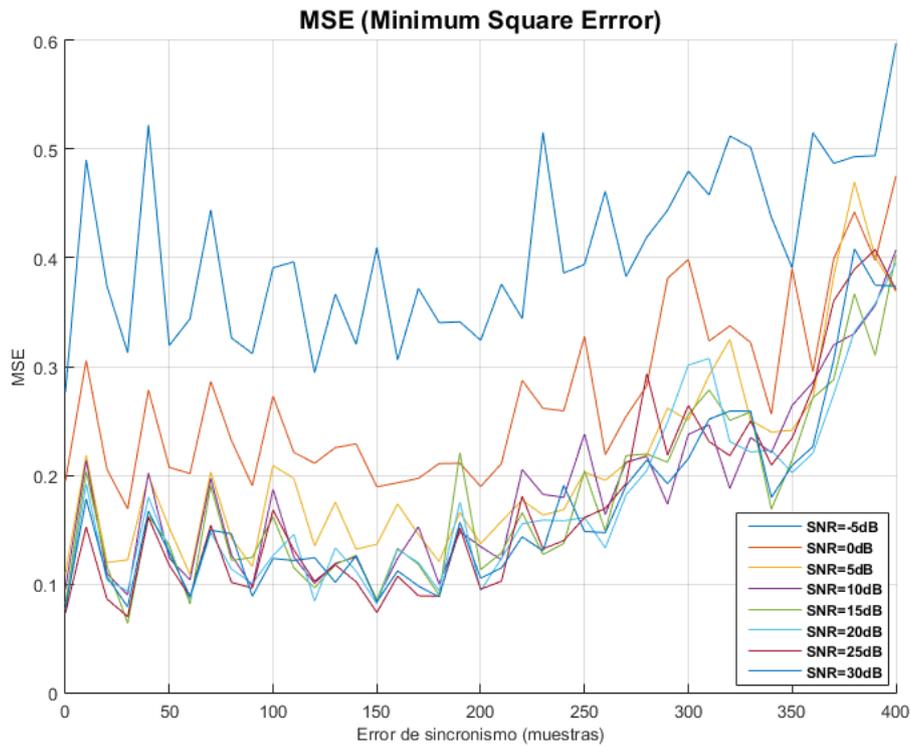


Figura 4.29. MSE entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ para diferentes errores de sincronismo.

La Tabla 4.9 recoge los valores de MSE obtenidos entre la señal transmitida $t_x[n]$ y la señal recuperada $r_x[n]$ obtenidos para esos errores de sincronismo, observando que el valor de MSE aumenta para errores de sincronismo mayores, obteniendo el máximo para un error de sincronismo mayor al número de muestras del CP.

Tabla 4.9. Valores MSE entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ para diferentes errores de sincronismo.

Errores de sincronismo	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
0	0.276	0.194	0.108	0.095	0.081	0.076	0.073	0.077
100	0.312	0.190	0.116	0.097	0.124	0.100	0.096	0.088
200	0.341	0.211	0.165	0.148	0.220	0.175	0.151	0.156
300	0.443	0.381	0.261	0.173	0.211	0.249	0.218	0.192
400	0.493	0.397	0.401	0.356	0.310	0.357	0.407	0.374

Después de todo el estudio presentado se puede concluir que el conjunto de estimador de canal e igualador permite corregir pequeños errores en el sincronismo causados por variaciones bruscas del canal o por fuerte ruido impulsivo, permitiendo en todo momento la recuperación de los datos emitidos en el banco de filtros del receptor.

4.5 Estudio comparativo del uso del prefijo cíclico

En la elección de los datos a transmitir se utilizan secuencias CSS con una longitud de 360 bits, por sus propiedades de correlación necesarias en la etapa de sincronismo. Los bits de la secuencia se reparten entre las P subportadoras habilitadas en la transmisión indicadas mediante la máscara de emisión estipulada en el correspondiente estándar [IEEE 10], cada una de las subportadoras es modulada por el banco de filtros y emitida por el canal tras añadir el prefijo cíclico si se requiere. De esta forma, la trama emitida queda como se muestra en la Figura 4.30. Nótese que el prefijo cíclico consiste en el duplicado de las últimas muestras de cada bloque de $M=512$ datos al comienzo del mismo.

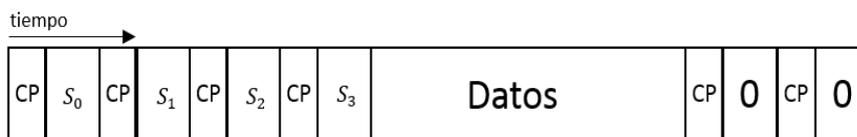


Figura 4.30. Trama de datos emitida por el transmisor con prefijo cíclico.

La trama mostrada en la Figura 4.30 está formada por dos primeros paquetes de $M=512$ datos, basados en conjuntos de secuencias complementarias $\{S_0; S_1\}$ utilizados para realizar el sincronismo del sistema. A continuación, se transmiten otras dos secuencias Zadoff-Chu $\{S_2; S_3\}$; dedicadas a la estimación del canal.

En el caso de no usar el prefijo cíclico, el canal queda modelado por la propia respuesta impulsiva de éste, haciendo imposible la eliminación de las interferencias inter-símbolo y el efecto que causa el canal en la transmisión, siendo más complicado conseguir recuperar los datos en el receptor.

Los resultados mostrados hasta ahora utilizaban el CP para asegurar la correcta estimación del canal. A continuación, se estudia el comportamiento del conjunto de estimador e igualador de canal frente a la eliminación del CP. La Figura 4.31 expone el uso del CP y cómo gracias a él se consigue eliminar la ISI causada por el canal PLC. Se observa que para el caso de usar CP al realizar la convolución con el canal el efecto queda añadido al CP, mientras que si no se utiliza CP el efecto del canal queda implícito en los propios datos.

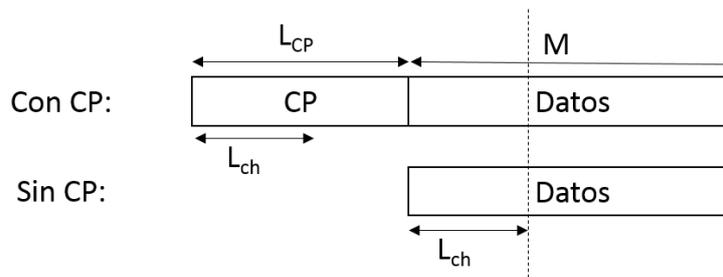


Figura 4.31. Efecto del canal en la trama al eliminar el CP.

En la Figura 4.32 se representa mejor el efecto causado al eliminar el CP, observándose que el error tiene una longitud igual a la duración del canal PLC. En el caso de no usar el prefijo cíclico, el canal queda modelado por la propia respuesta impulsiva de éste, haciendo más complejo la eliminación de las interferencias inter-símbolo y el efecto que causa el canal en la transmisión, siendo más complicado conseguir recuperar los datos en el receptor.

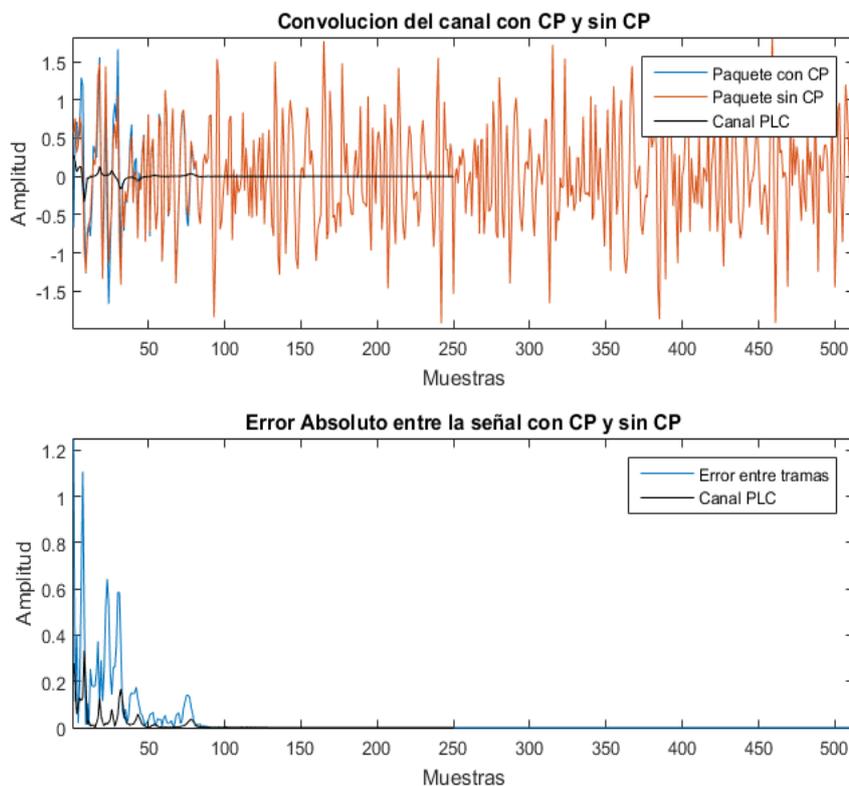


Figura 4.32. Efecto causado por el canal PLC en la transmisión al no usar CP.

Ya en el capítulo anterior se estudió el efecto que tiene el uso del CP en la etapa de sincronismo, llegándose a la conclusión de que la inclusión o no del prefijo cíclico no tiene una influencia relevante en este módulo. Siguiendo el diagrama de bloques de la Figura 4.12, la etapa que continúa es la estimación e igualación de canal. Aunque se representen por separado, estos dos bloques van ligados, ya que la igualación se basa en una adecuada estimación de canal. Para observar mejor el comportamiento de estos bloques con y sin el uso de prefijo cíclico, se emplea a modo ilustrativo la respuesta impulsiva de canal mostrada en la Figura 4.33, con un ruido añadido por el canal de 10dB.

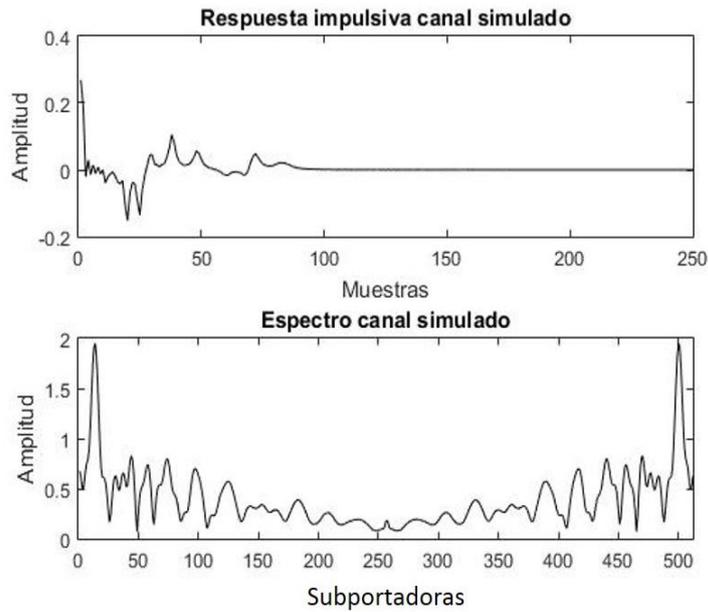


Figura 4.33. Respuesta impulsiva y espectro del canal H_c empleado en el estudio.

Con esta etapa de igualación de canal se corrige el efecto que produce la respuesta impulsiva del canal en los datos, y se consigue igualmente la eliminación de parte del ruido añadido durante la transmisión. Previo a la entrada a estos bloques, se realiza la eliminación del prefijo cíclico añadido en el transmisor, lo que implicará un mayor cambio en los resultados obtenidos por los dos esquemas de transmisión considerados (con y sin prefijo cíclico). La Figura 4.34 muestra el resultado que se obtiene en la estimación del canal \hat{H} mostrado en la Figura 4.33 en ambos casos.

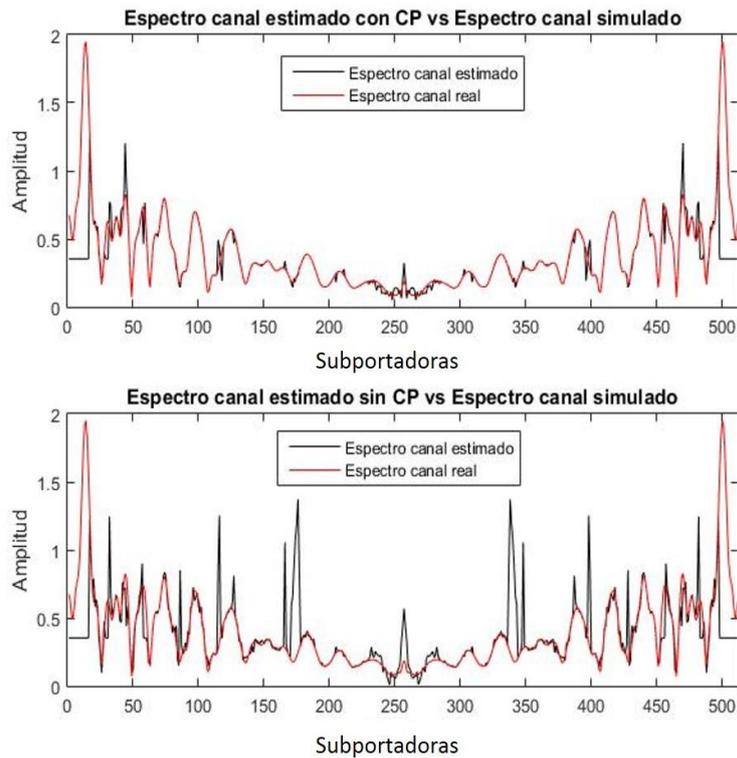


Figura 4.34. Comparativa en la estimación de canal \hat{H} alcanzada por ambos esquemas de transmisión, según el empleo del CP.

Se observa en la Figura 4.34 que, para el caso de no utilizar prefijo cíclico, el canal estimado \hat{H} presenta mayor variación y unos picos de ruido más elevados que en el caso de utilizarse. La envolvente en ambos casos es muy similar, pero la aparición de picos en la estimación sin CP hace que en la señal a la salida del igualador no se elimine por completo el efecto del canal sobre la transmisión. Para finalizar, la señal obtenida $\hat{r}_m[n]$ a la salida del igualador de canal se demodula en el banco de filtros del receptor. Es fundamental un correcto sincronismo a la entrada de este módulo, así como una previa compensación de los efectos del canal y el ruido, para una correcta recuperación de los datos emitidos $t_x[n]$. A modo de ejemplo, la Figura 4.35 muestra la señal transmitida $r_x[n]$ de longitud $L=359$ muestras, eliminando el resto de canales no habilitados para la emisión.

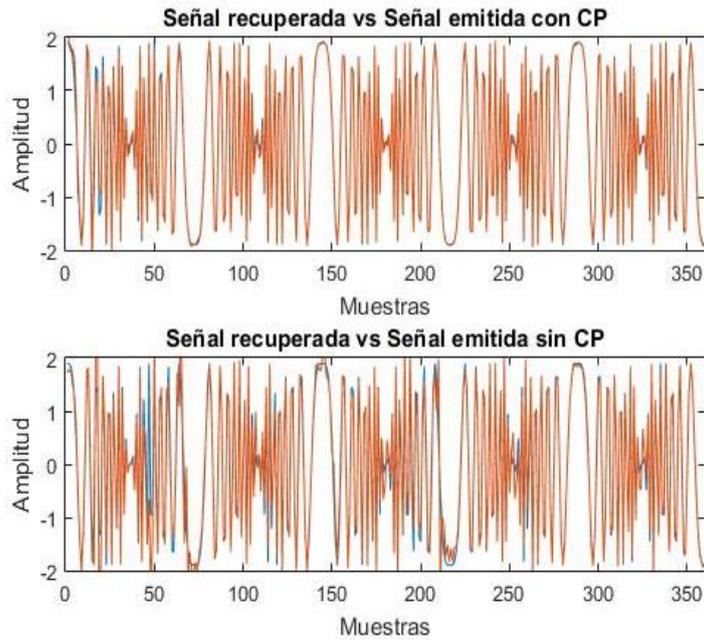


Figura 4.35. Comparativa entre la señal recuperada en el receptor $r_x[n]$ (rojo) y la transmitida originalmente $t_x[n]$ (azul) para ambos esquemas de transmisión en función de la presencia del CP.

En el esquema de transmisión sin CP la señal $r_x[n]$ que se recupera contiene un error mayor como se observa en la Figura 4.36, en gran parte debido a que se partía de una peor estimación de canal, algo visible en la Figura 4.34.

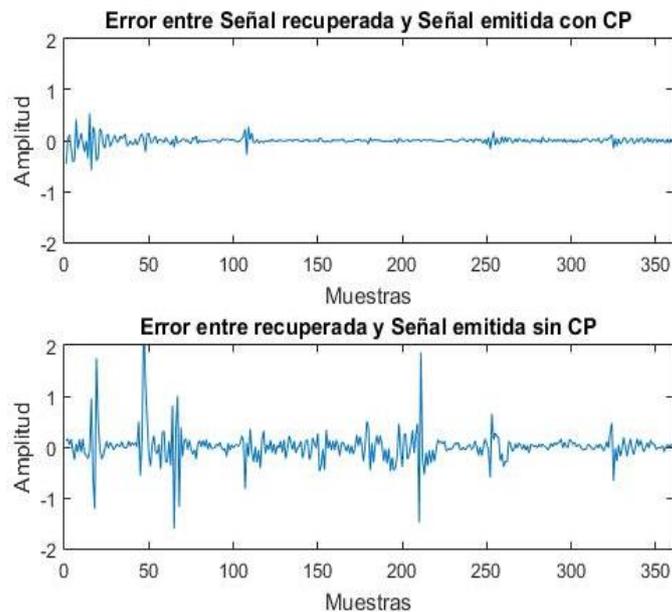


Figura 4.36. Error absoluto entre la señal emitida $t_x[n]$ y la recuperada $r_x[n]$ para ambos esquemas de transmisión en función de la presencia del CP.

Los valores MSE que se obtienen sin prefijo cíclico se recogen en la Tabla 4.11, siendo el valor mínimo calculado algo superior al que se obtenía con el uso del prefijo cíclico. Estos valores de MSE han sido obtenidos al realizar 1000 simulaciones para

diferentes valores SNR del canal PLC. Como en el capítulo de sincronismo, se han considerado los dos modelos de canal PLC presentados en [Tonel 12] [Tonel 07]. Los parámetros de ambos modelos de canal se recuerdan en la Tabla 4.10.

Tabla 4.10. Parámetros de los modelos A y B de canal PLC empleados [Tonel 12] [Tonel 07].

	Canal A	Canal B
Longitud máxima de línea	300 metros	800 metros
Parámetros de la atenuación dependiente de la frecuencia a0	10-5	0.3·10-2
Parámetros de la atenuación dependiente de la frecuencia a1	10-9	4·10-2
Intensidad del tiempo de llegada de Poisson	0.667m-1	0.2m-1
Duración del canal	4us	5.56us
Frecuencia de parada	31.25 MHz	31.25 MHz

Tabla 4.11. Valor MSE obtenido entre la señal recuperada en el receptor $r_x[n]$ y la transmitida originalmente $t_x[n]$ con el estimador de canal propuesto sin prefijo cíclico.

SNR (dB)	Canal B		Canal A	
	MSE mínimo	MSE medio	MSE mínimo	MSE medio
-5 dB	0.169·10 ⁻⁵	0.359	0.488·10 ⁻⁵	0.426
0 dB	0.031·10 ⁻⁵	0.316	0.460·10 ⁻⁵	0.323
5 dB	0.003·10 ⁻⁵	0.370	0.152·10 ⁻⁵	0.648
10 dB	0.001·10 ⁻⁵	0.407	0.001·10 ⁻⁵	0.241
15 dB	0.001·10 ⁻⁵	0.186	0.001·10 ⁻⁵	0.381
20 dB	0.042·10 ⁻⁵	0.246	0.046·10 ⁻⁵	0.212
25 dB	0.107·10 ⁻⁵	0.212	0.006·10 ⁻⁵	0.949
30 dB	0.003·10 ⁻⁵	0.210	0.013·10 ⁻⁵	0.274

La Tabla 4.12 muestra una comparativa entre los valores MSE obtenidos con y sin prefijo cíclico, pudiéndose observar que sin prefijo cíclico se obtienen mayores errores.

Tabla 4.12. Comparativa de los valores MSE entre la señal recuperada en el receptor $r_x[n]$ y la transmitida originalmente $t_x[n]$ con y sin CP.

SNR (dB)	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
Con CP	0.296	0.145	0.108	0.064	0.047	0.058	0.053	0.050
Sin CP	0.359	0.316	0.370	0.407	0.186	0.246	0.212	0.210

Con el fin de evaluar de forma más exhaustiva el bloque de estimación e igualación de canal (y no únicamente para un canal de ejemplo como el mostrado en la Figura 4.33), se han simulado 1.000 realizaciones de canal PLC en el sistema mostrado

en la Figura 4.12, para cada relación señal-ruido del canal comprendido entre -5dB y 30dB en pasos de 5dB, incluyendo cuatro tipos de ruido de canal (n_c en la Figura 4.12): ruido impulsivo síncrono, asíncrono, ruido de fondo y ruido de banda estrecha, cuyos respectivos niveles de potencia relativos han sido ajustados de acuerdo a los trabajos presentados en [Corte 10] [Zimme 02].

La Figura 4.37 representa la SNR obtenida entre la señal recuperada $r_x[n]$ y la señal transmitida $t_x[n]$. El uso del prefijo cíclico mejora en más del doble el valor de SNR, siendo superior a 50dB mientras que sin CP la SNR desciende a 20dB. Los resultados obtenidos para el canal A son incluso inferiores a los obtenidos para el canal B debido a la complejidad que aquel presenta.

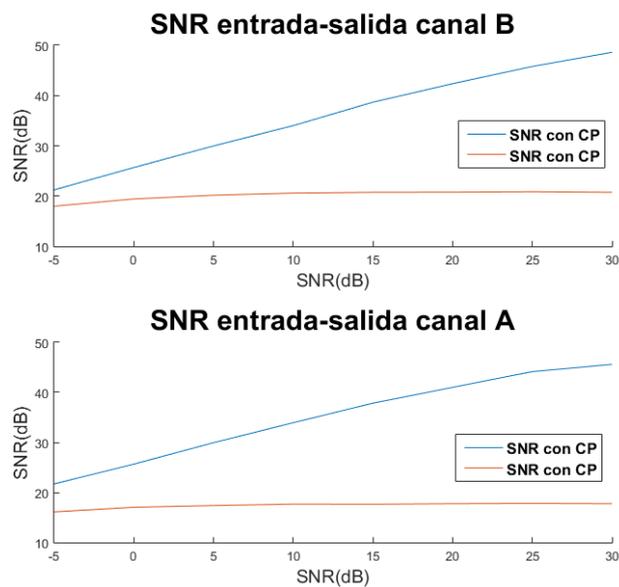


Figura 4.37. SNR obtenida para ambos esquemas de transmisión en función de la presencia del CP, considerando los modelos A y B de canal PLC [Tonel 12] [Tonel 07].

En el capítulo 3 los resultados mostraban que la etapa de sincronismo es en cierta medida indiferente a utilizar cualquiera de los dos esquemas de transmisión (con y sin CP), mientras que en la etapa de estimación de canal no utilizar prefijo cíclico implica que el canal estimado no sea tan adecuado, en comparación con el caso que incluye el prefijo. Este hecho conlleva que a la hora de demodular y recuperar los datos transmitidos se obtenga una menor SNR a la salida (alrededor de 30dB). La Tabla 4.13 recopila los resultados obtenidos en la SNR entrada-salida para los casos estudiados.

Tabla 4.13. SNR obtenidos para ambos canales con y sin CP para distintas SNR.

		-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
Canal A	Sin CP	16.10	17.01	17.36	17.64	17.61	17.74	17.79	17.73
	Con CP	21.69	25.65	29.94	33.94	37.84	41.01	44.14	45.60
Canal B	Sin CP	17.97	19.41	20.16	20.58	20.73	20.76	20.86	20.73
	Con CP	21.22	25.67	39.96	34.01	38.67	42.35	45.79	48.60

Habiéndose comprobado que al eliminar el CP la etapa de igualación y estimación de canal presenta una gran degradación en la señal recuperada $r_x[n]$, solo queda comprobar si al eliminar el CP se conserva la propiedad que poseía el conjunto de corregir pequeños errores de sincronismo causados en la etapa de sincronización, y “recolocar” los datos para su correcta demodulación en el banco de filtros del receptor. De esta forma se evalúa nuevamente el comportamiento del sistema sin uso del CP frente a pequeños errores de sincronismo. Igual que para el caso estudiado anteriormente, se fuerza que la etapa de sincronismo tenga un error fijo de cinco muestras a modo de ejemplo ilustrativo.

La Figura 4.38 muestra la comparación en los canales estimados \hat{H} que se obtienen cuando no existe error de sincronismo y con el error que se ha forzado, junto con el canal real. Puede observarse que, en el caso de no utilizar CP, los valores de los coeficientes C_m obtenidos a partir del estimador de canal propuesto varían al producirse un error de sincronismo, haciendo suponer que el resultado final al recuperar la señal transmitida $t_x[n]$ también sea diferente.

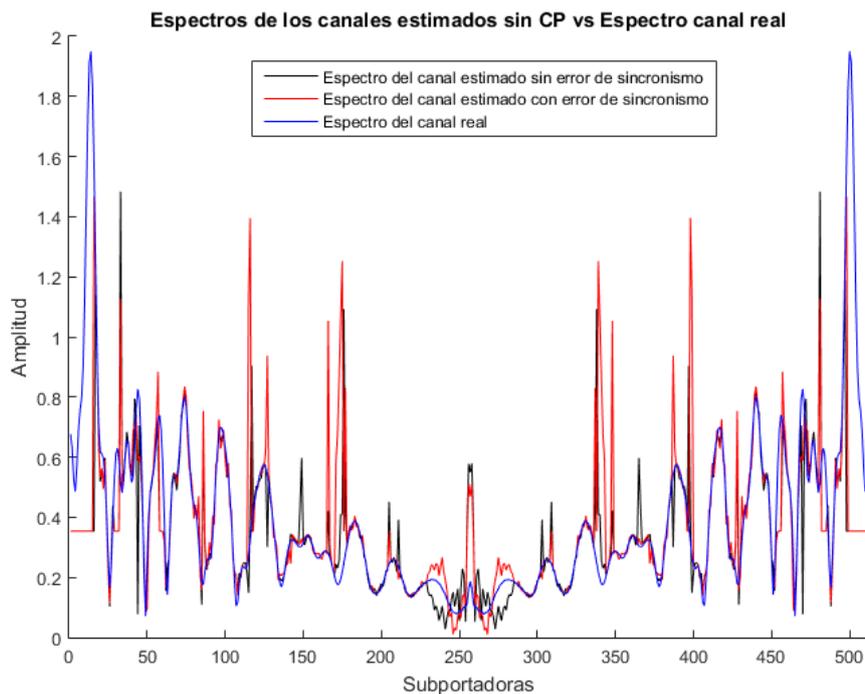


Figura 4.38. Espectro de los canales estimados \hat{H} sin uso de CP para los casos de estudio.

La Figura 4.39 representa la señal recuperada $t_x[n]$ con y sin error de sincronismo frente a la señal transmitida $t_x[n]$, observándose que en este caso sin CP sigue recuperándose gran parte de la señal transmitida $t_x[n]$, pudiendo asumir que el conjunto de igualador y estimador de canal sigue funcionando correctamente y permite corregir pequeños errores de sincronismo aun sin emplear el CP.

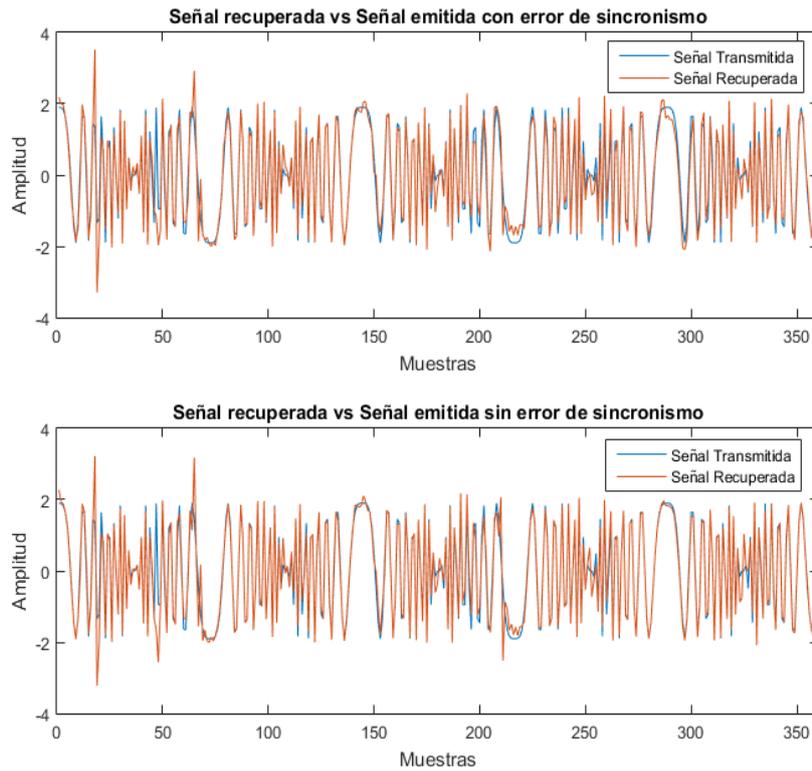


Figura 4.39. Comparativa entre la señal recuperada en el receptor $r_x[n]$ (rojo) y la transmitida originalmente $t_x[n]$ (azul) sin CP para ambos casos de estudio: sincronismo perfecto o con errores.

Comparando el error absoluto que se obtiene en ambos casos (véase la Figura 4.40), puede determinarse que no es relevante y que la diferencia entre ambas señales recuperadas es muy reducida.

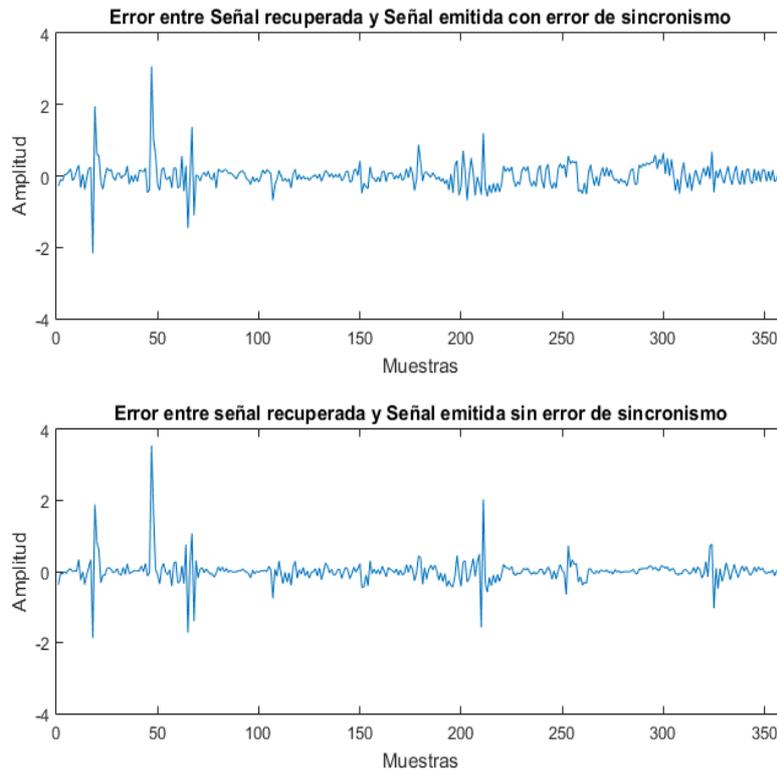


Figura 4.40. Error absoluto entre la señal emitida $t_x[n]$ y la recuperada $r_x[n]$ sin CP para ambos casos de estudio: sincronismo perfecto o con errores.

Se realizan 1000 simulaciones para errores de sincronismo comprendidos entre 0 y 400 muestras en pasos de 10 muestras para SNR comprendidas entre -5dB y 30dB, en pasos de 5dB. Se realiza el mismo estudio que para el caso de uso del CP para poder realizar una comparación equitativa entre ambos. La Figura 4.41 muestra el MSE entre la señal transmitida $t_x[n]$ y la señal recuperada $r_x[n]$ obtenido en las simulaciones, observándose que el MSE aumenta cuanto mayor es el error de sincronismo.

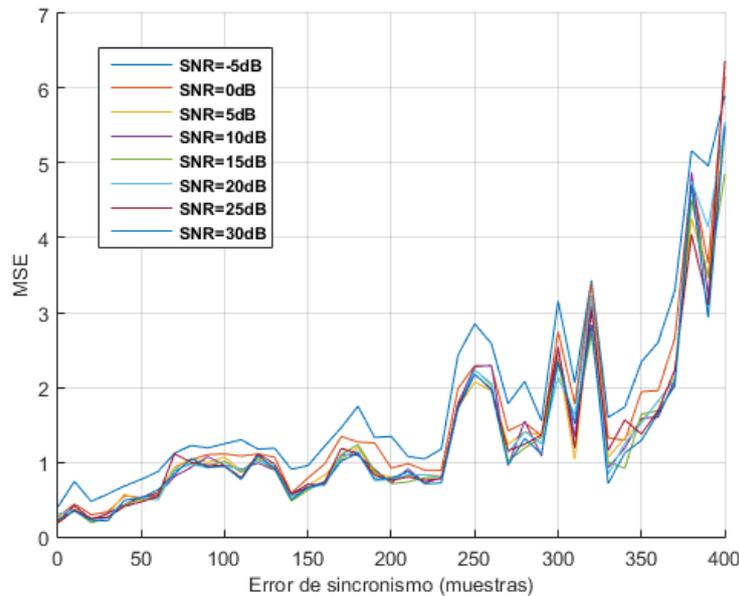


Figura 4.41. MSE entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ para diferentes errores de sincronismo sin CP.

Comparando la Figura 4.41 y la Figura 4.29, puede observarse que el uso del CP mejora notablemente la reconstrucción de la señal transmitida $t_x[n]$, consiguiendo unos valores de MSE más bajos para los mismos errores de sincronismo.

La Tabla 4.14 recoge los valores de MSE entre la señal transmitida $t_x[n]$ y la recuperada $r_x[n]$ obtenidos para casos concretos de errores de sincronismo, observando que el valor de MSE aumenta para errores de sincronismo mayores. Puede concluirse que el sistema, ante la eliminación del CP para la transmisión, sigue siendo capaz de corregir pequeños fallos causados en la etapa de sincronismo y recuperar la señal emitida $t_x[n]$ correctamente.

Tabla 4.14. Valores MSE para diferentes errores de sincronismo sin CP.

	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
0	0.396	0.266	0.260	0.198	0.188	0.304	0.180	0.232
100	1.188	1.099	0.992	1.070	0.947	0.921	0.957	0.927
200	1.327	1.225	0.845	0.901	0.879	0.749	0.823	0.771
300	1.554	1.354	1.360	1.080	1.328	1.242	1.364	1.107
400	4.961	3.658	3.502	3.224	3.428	4.138	3.103	2.930

4.6 Estudio comparativo entre el igualador en el dominio de la frecuencia y el igualador 0-ASCET

Finalmente, en esta sección se presenta una comparación entre dos tipos de igualadores de canal: en el dominio de la frecuencia (FEQ) y el 0-ASCET; para evaluar las diferencias en el rendimiento al emplear estos bloques en el receptor completo. Ambos

igualadores, el 0-ASCET y el FEQ, se han comparado simulando el sistema de comunicación global para diferentes modelos de canales PLC y niveles de ruido, lo que permite evaluar qué igualador es más adecuado para recuperar la señal emitida $t_x[n]$.

El diagrama de bloques de la Figura 4.42 presenta el esquema del receptor, donde se destaca el bloque de estimación de canal e igualación. El bloque debe ser capaz de estimar el canal de transmisión, así como de corregir pequeños errores causados en la sincronización. Aunque el proceso de sincronismo se ha considerado ideal aquí, es importante señalar que este proceso puede no ser preciso y puede incluir un número reducido de muestras de error. El objetivo final es recuperar los datos transmitidos $t_x[n]$, descartando la respuesta impulsiva del canal por medio de un igualador. Incluso si ambas etapas, estimador e igualador, pueden estudiarse de forma separada, el rendimiento final del sistema depende en gran medida de la estimación correcta del canal.

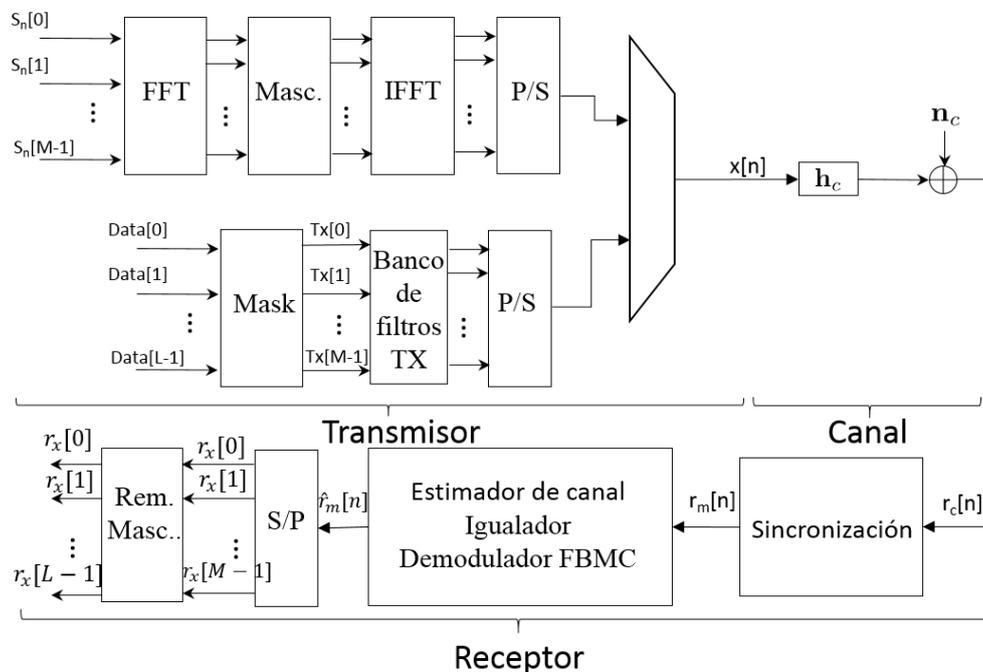


Figura 4.42. Diagrama de bloques general del sistema propuesto.

Para este caso se emplea el estimador de canal propuesto anteriormente, obteniendo los valores de los coeficientes C_m necesarios para realizar la igualación. Después de obtener el modelo de canal estimado \hat{H} , los paquetes de datos pasan por el igualador, que trata de compensar la distorsión en la señal transmitida proveniente del canal PLC. De esta manera, la Figura 4.43 representa el diagrama de bloques del primer igualador estudiado aquí. Esta igualación se realiza en el dominio de frecuencia, corrigiendo así la distorsión del canal dividiendo la señal recibida $r_c[n]$ después de la sincronización por el canal estimado \hat{H} .

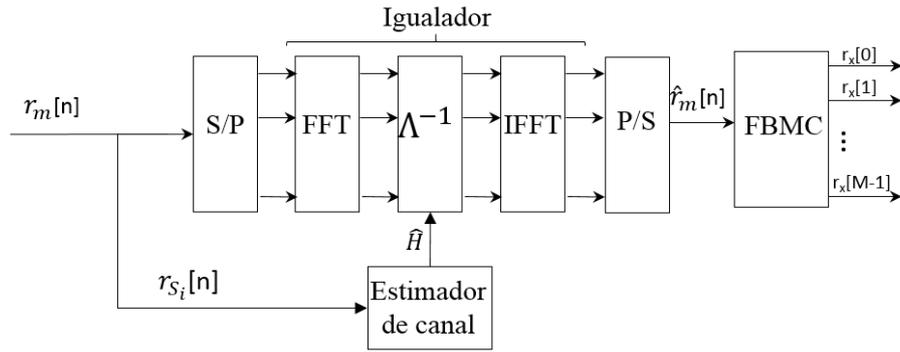


Figura 4.43. Diagrama de bloques del receptor con FEQ.

El segundo igualador considerado en la comparación detallada en este trabajo es el ASCET (0-ASCET en este caso), cuyo diagrama de bloques se muestra en la Figura 4.44 [Pinto 15][Ihala 02].

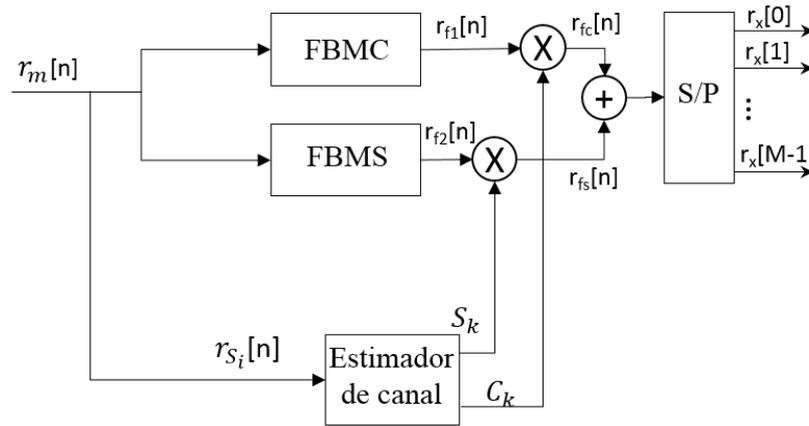


Figura 4.44. Diagrama de bloques del receptor con 0-ASCET.

El igualador 0-ASCET está diseñado para no tener que utilizar CP. Este tipo de igualador demodula la señal recibida $r_c[n]$ directamente del canal mediante el uso de dos bancos de filtrado en paralelo, donde una rama utiliza una Transformada de Coseno Discreta (DCT) y la otra una Transformada del Seno Discreta (DST). El CMFB se describe en [Poude 14], mientras que el otro banco de filtros modulados por el seno (SMFB) se muestra en la Figura 4.45.

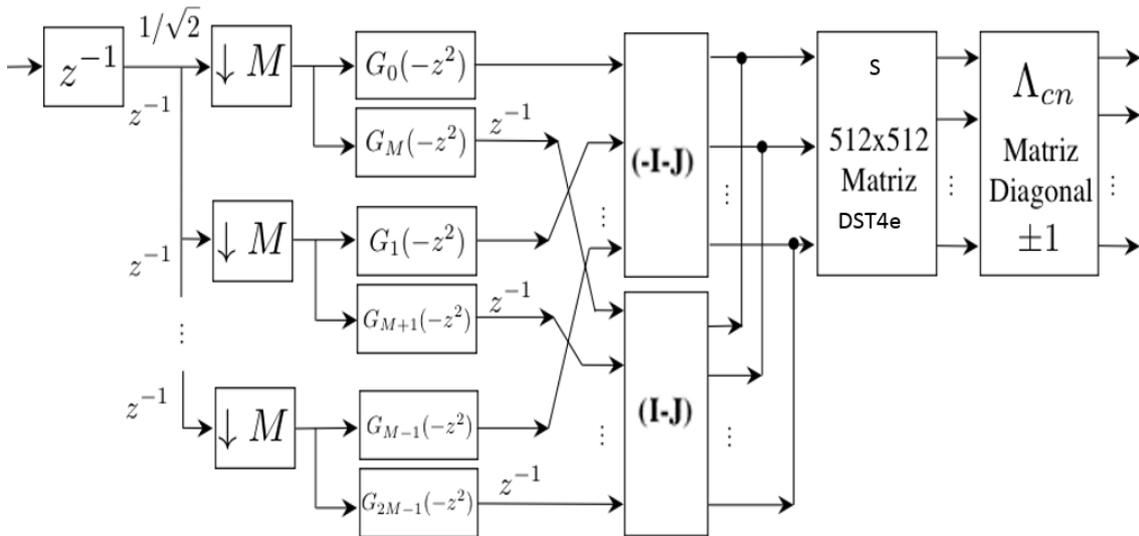


Figura 4.45. Diagrama de bloques del banco de filtros modulado por el seno (SMFB).

La arquitectura del SMFB es muy similar a la utilizada para el CMFB. El valor de los filtros polifásicos es idéntico en ambas estructuras, sólo cambiando la multiplicación por las matrices **I** y **J**. Al mismo tiempo, en lugar de usar la DCT4e, se usa la DST4e en este caso. Las salidas $r_{f1}[n]$ y $r_{f2}[n]$ de los demoduladores se multiplica por los coeficientes, \mathbf{S}_k y \mathbf{C}_K , obtenidos en la estimación del canal (68) y (69):

$$\mathbf{S}_k = -imag \left\{ \frac{1}{\hat{H}[0]}, \frac{1}{\hat{H}[1]}, \dots, \frac{1}{\hat{H}[M-1]} \right\}, 0 \leq k \leq (M-1) \quad (68)$$

$$\mathbf{C}_K = real \left\{ \frac{1}{\hat{H}[0]}, \frac{1}{\hat{H}[1]}, \dots, \frac{1}{\hat{H}[M-1]} \right\}, 0 \leq k \leq (M-1) \quad (69)$$

Donde $\hat{\mathbf{H}}$ es el canal estimado pasado al dominio de la frecuencia mediante una FFT de longitud igual a $2 \cdot M$; \mathbf{S}_k es el coeficiente obtenido a partir de la inversa del canal estimado $\hat{\mathbf{H}}$, quedándose únicamente con la parte imaginaria; mientras que \mathbf{C}_K se obtiene de igual forma que \mathbf{S}_k , pero conservando la parte real. Finalmente, las salidas $r_{f1}[n]$ y $r_{f2}[n]$ multiplicadas por los coeficientes \mathbf{S}_k y \mathbf{C}_K del estimador se suman para recuperar la señal transmitida.

Para evaluar el algoritmo de estimación e igualación de canal presentado aquí, se han simulado 1000 realizaciones de canal PLC para el sistema mostrado en la Figura 4.42, para una relación de SNR de -5dB a 30dB en pasos de 5dB, lo que resulta en un conjunto final de 8000 realizaciones de canales PLC diferentes. Para ello, se ha considerado el modelo de canal designado como B [Tonel 07] en, ya que presenta una duración efectiva más corta.

Además, se han considerado de nuevo tres tipos de ruido del canal \mathbf{n}_c : ruido impulsivo síncrono, ruido de fondo asíncrono y ruido de banda estrecha [Corte 10] [Zimme 02]. La Figura 4.46 muestra la comparación entre la señal emitida $t_x[n]$ y la señal recuperada $r_x[n]$ en el receptor para ambos tipos de igualadores; tenga en cuenta que esto es sólo un caso de ejemplo para uno de los paquetes utilizados en las simulaciones.

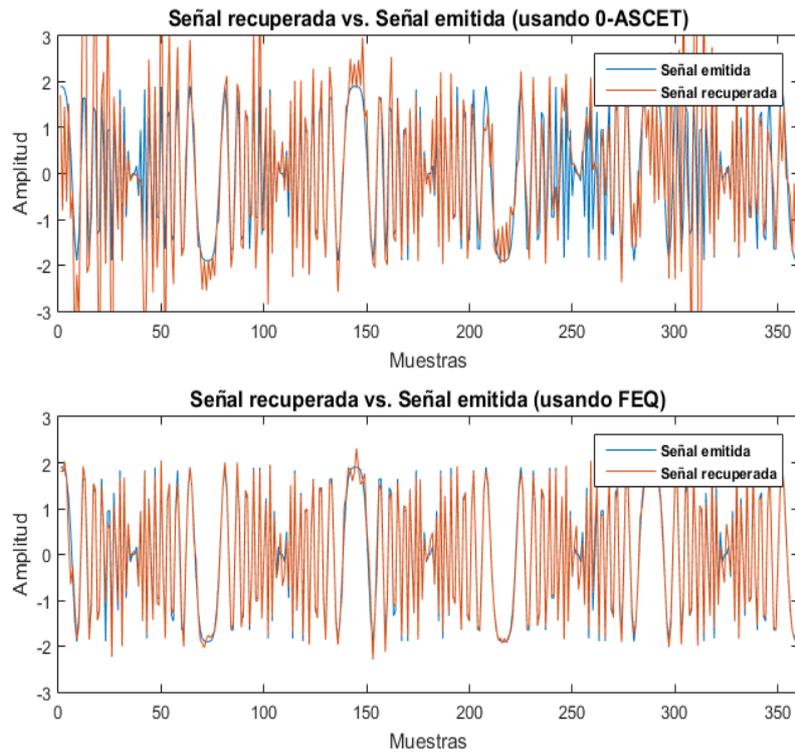


Figura 4.46. Comparación entre la señal emitida $t_x[n]$ y la señal recuperada $r_x[n]$ para ambos enfoques, el de dominio de la frecuencia (FEQ) y el 0-ASCET.

Tabla 4.15. Valores MSE entre la señal transmitida $t_x[n]$ y la señal recuperada $r_x[n]$ obtenido con el estimador de canal 0-ASCET.

SNR (dB)	Canal B		Canal A	
	MSE mínimo	MSE medio	MSE mínimo	MSE medio
-5 dB	$0.180 \cdot 10^{-5}$	1.763	$0.017 \cdot 10^{-5}$	3.431
0 dB	$0.380 \cdot 10^{-5}$	2.534	$0.496 \cdot 10^{-5}$	2.549
5 dB	$0.204 \cdot 10^{-5}$	1.170	$0.019 \cdot 10^{-5}$	3.218
10 dB	$0.016 \cdot 10^{-5}$	1.194	$0.532 \cdot 10^{-5}$	5.402
15 dB	$0.002 \cdot 10^{-5}$	1.349	$0.003 \cdot 10^{-5}$	2.965
20 dB	$0.122 \cdot 10^{-5}$	1.320	$0.075 \cdot 10^{-5}$	2.437
25 dB	$0.044 \cdot 10^{-5}$	1.274	$0.070 \cdot 10^{-5}$	5.128
30 dB	$0.379 \cdot 10^{-5}$	1.422	$0.029 \cdot 10^{-5}$	4.520

Tabla 4.16. Comparativa de los valores MSE de cada estimador de canal.

SNR (dB)	-5 dB	0 dB	5 dB	10 dB	15 dB	20 dB	25 dB	30 dB
FEQ	0.359	0.316	0.370	0.407	0.186	0.246	0.212	0.210
0-ASCET	1.763	2.534	1.170	1.194	1.349	1.320	1.274	1.422

Además, la Figura 4.47 muestra el error absoluto entre la señal emitida $t_x[n]$ y la señal $r_x[n]$ obtenida en el receptor para ambos tipos de igualadores, nuevamente para el mismo ejemplo de caso mostrado anteriormente en la Figura 4.46. En Figura 4.47 es posible observar que el error obtenido para el igualador 0-ASCET es mayor que el obtenido al usar un igualador en el dominio de frecuencia. En términos generales, los

resultados simulados muestran que el 0-ASCET proporciona errores absolutos más altos entre la señal emitida $t_x[n]$ y la recuperada $r_x[n]$.

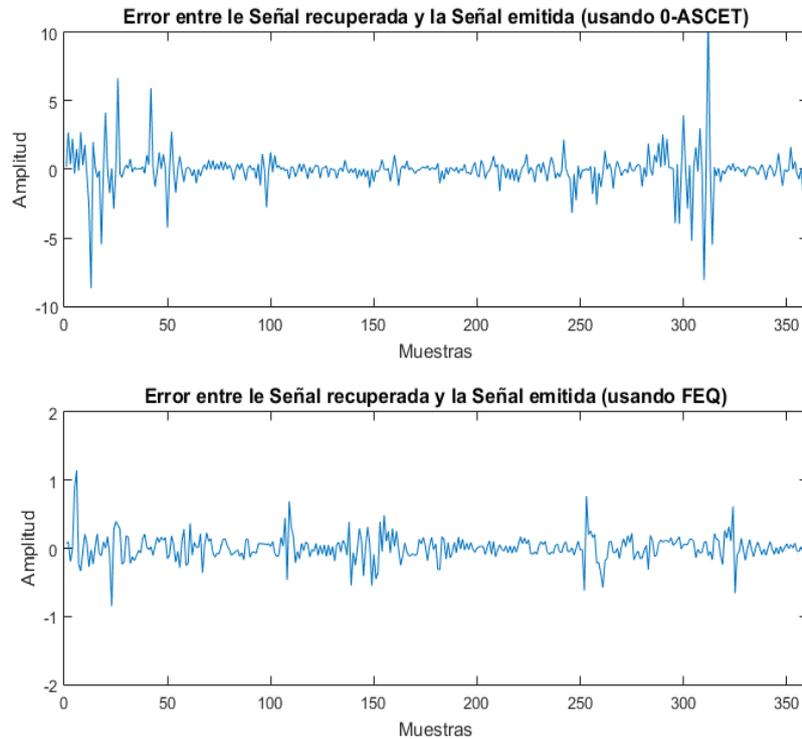


Figura 4.47. Error absoluto entre la señal emitida $t_x[n]$ y la señal recuperada $r_x[n]$ en el receptor para ambos enfoques, el de dominio de la frecuencia y el 0-ASCET.

Finalmente, con todas las simulaciones realizadas, se muestra una medida de SNR promedio en la Figura 4.48 entre las señales de entrada y de salida para ambos igualadores, de acuerdo con la SNR incluida en las realizaciones del canal (70). Tenga en cuenta que, para cada valor de SNR, la señal de entrada considerada está formada por 14 paquetes de 360 muestras cada uno: los primeros dos paquetes son CSS para el sincronismo; los siguientes dos paquetes son secuencias de Zadoff-Chu para la estimación del canal; y los diez paquetes restantes son datos generados aleatoriamente.

$$SNR = \frac{1}{Q} \sum_q 10 \cdot \log \left(\frac{t_x[n]^2}{(t_x[n] - r_x[n])^2} \right) \quad (70)$$

Como puede observarse, la SNR obtenida cuando se utiliza un igualador en el dominio de frecuencia es más alta que en el caso del 0-ASCET, como consecuencia de un error mayor entre la señal emitida $t_x[n]$ y la recuperada $r_x[n]$ para este último.

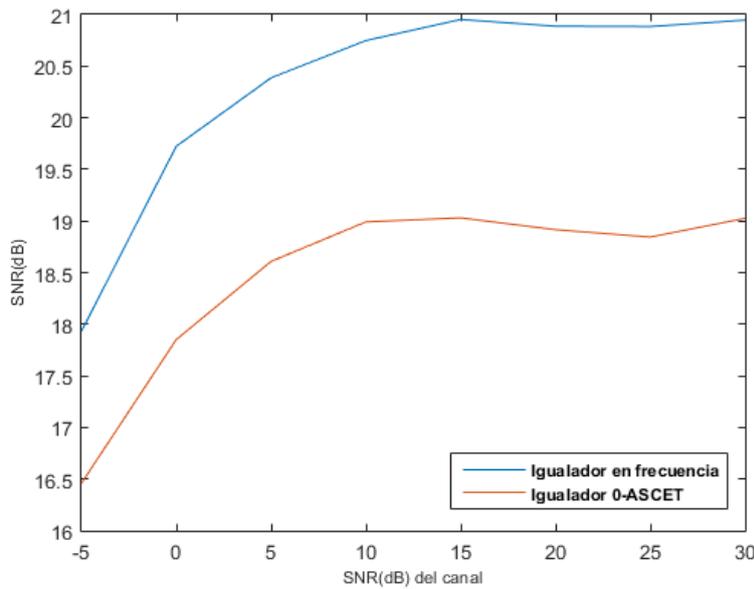


Figura 4.48. SNR entre la señal emitida $t_x[n]$ y la señal recuperada $r_x[n]$ en el receptor para ambos enfoques, el de dominio de frecuencia (FEQ) y el 0-ASCET.

4.7 Conclusiones

En este capítulo se ha presentado el conjunto estimador e igualador de canal, siendo la etapa más importante en el receptor para reconstruir la señal transmitida por el canal PLC. El uso de alguno de los tipos de estimadores de canal presente en la literatura no era óptimo para el sistema, por lo que se ha propuesto un estimador de canal que contenga y conjugue prestaciones de los tipos presentados. El estimador de canal propuesto elimina el ruido añadido por el canal a baja frecuencia, consiguiendo una posterior igualación más eficiente.

A su vez, el conjunto estimador e igualador consigue corregir errores causados por la etapa de sincronismo previa, haciendo que las subportadoras de entrada al demodulador se correspondan en frecuencia para evitar la incorrecta reconstrucción de la señal. En esta etapa el uso del CP es mucho más importante que en la sincronización, debido a que, como se ha podido comprobar, se reduce la SNR obtenida entre la señal emitida $t_x[n]$ y la señal recuperada $r_x[n]$. Esto conlleva a tener una relación de compromiso entre longitud de CP y eficiencia espectral de la señal transmitida.

El rendimiento de dos igualadores de canal, uno en el dominio de la frecuencia (FEQ) y el otro 0-ASCET, se ha analizado suponiendo que la etapa de sincronismo es ideal en la propuesta; además, se ha aplicado la misma estimación de canal para ambos igualadores, con el fin de evaluar sólo su comportamiento. La ejecución final se ha estudiado en términos de los errores logrados entre las señales emitidas y las señales igualadas en el receptor, así como en términos de las SNR obtenidas en la transmisión. En términos generales, los resultados simulados muestran que el igualador 0-ASCET proporciona mayores errores absolutos entre la señal emitida y la igualada. De la misma

manera, si la comparación se centra en la SNR entre la entrada y la salida del sistema, se puede observar que el igualador de dominio de frecuencia logra mejores resultados. Desde el punto de vista de una posible implementación hardware posterior, el igualador 0-ASCET implica un mayor consumo de recursos, ya que requiere la duplicación del banco de filtrado en el receptor FBMC.

Capítulo 5

Definición de

Arquitecturas Eficientes y

Pruebas Experimentales

5.1 Introducción

Este capítulo presenta una arquitectura basada en FPGAs para la implementación en tiempo real de una etapa de sincronismo, junto con otra de estimación e igualación del canal, para un receptor PLC que emplea como técnica de acceso al medio Wavelet-OFDM. Los algoritmos propuestos de sincronismo e igualación de canal se basan en el empleo de secuencias CSS y Zadoff-Chu como símbolos piloto en los preámbulos de la transmisión PLC. Las propiedades de correlación de estas secuencias se aprovechan para la ya comentada determinación del sincronismo de la transmisión y la igualación del canal PLC.

La Figura 5.1 muestra el diagrama de bloques empleado para la implementación usada en las pruebas experimentales.

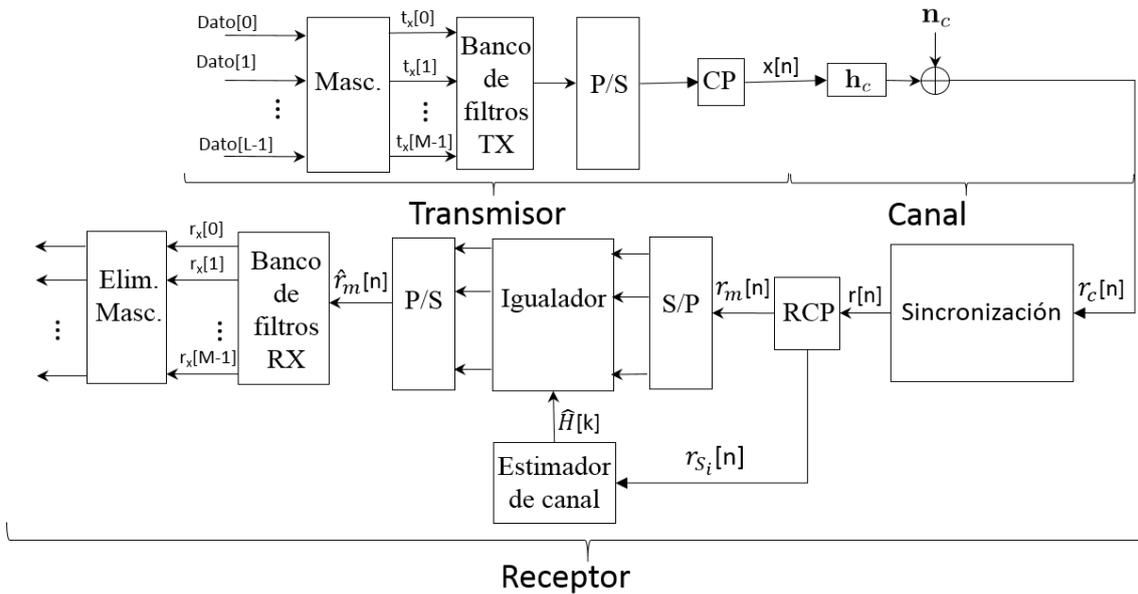


Figura 5.1. Diagrama de bloques general del sistema de comunicaciones PLC.

En la Figura 5.1 se aprecian tres etapas claramente diferenciadas: una primera etapa de transmisión, donde se modula la trama en el banco de filtros y se añade el CP para ser emitida; una segunda etapa correspondiente al canal PLC y a la capa física de conexión con éste; y por último la etapa del receptor, donde se recuperan los datos emitidos después de realizar las correspondientes transformaciones a la señal recibida.

Se utilizan diferentes conjuntos de secuencias complementarias multinivel como símbolos piloto para realizar la sincronización entre emisor y receptor, y secuencias Zadoff-Chu para realizar una estimación de canal lo suficientemente fiable como para recuperar los datos emitidos mediante un igualador. El uso de este tipo de secuencias otorga robustez al sistema debido a las buenas propiedades de correlación que presentan para realizar una correcta sincronización, y a su versatilidad en su longitud, como ya se ha detallado en los capítulos precedentes.

Los dos siguientes subapartados hacen una recopilación de los algoritmos de sincronismo, y de estimación e igualación de canal, vistos en capítulos anteriores, que se van a implementar de forma eficiente.

5.1.1 Sincronismo

En esta primera etapa del receptor se utilizan los dos primeros paquetes de la transmisión para realizar la sincronización del sistema. Para sincronizar el receptor con el emisor se emplean técnicas de correlación cruzada entre los símbolos piloto recibidos y una copia de los símbolos pilotos transmitidos disponibles en el receptor. Gracias al uso de secuencias y a las propiedades de correlación que éstas presentan, se obtiene un valor máximo de correlación perfectamente distinguible frente a los lóbulos secundarios

causados por efecto del ruido en el canal, o por la propia respuesta impulsiva de éste. La función de correlación se realiza entre el par de secuencias originales designadas para ello y su prefijo cíclico, teniendo una longitud total de $2 \cdot (M + L_{CP})$, utilizando un CP con una longitud $L_{CP}=384$ muestras. La realización de la correlación es una de las operaciones más costosas en recursos realizadas por la FPGA [Nombe 15a].

El valor máximo de correlación obtenido no se considera directamente el inicio de transmisión, debido a que la respuesta impulsiva de la red eléctrica puede no presentar el primer tap temporal como el de máxima energía. Por ello, se considera el inicio del canal dentro de un intervalo antes del valor máximo para tener la certeza de contemplar el inicio real del canal y poder corregirlo con la consiguiente etapa [Nombe 15b]. La Figura 5.2 muestra un ejemplo de la correlación obtenida entre los símbolos piloto recibidos y los transmitidos almacenados en el receptor; también se muestra mediante un zoom cómo quedaría estimado el inicio del canal en ella.

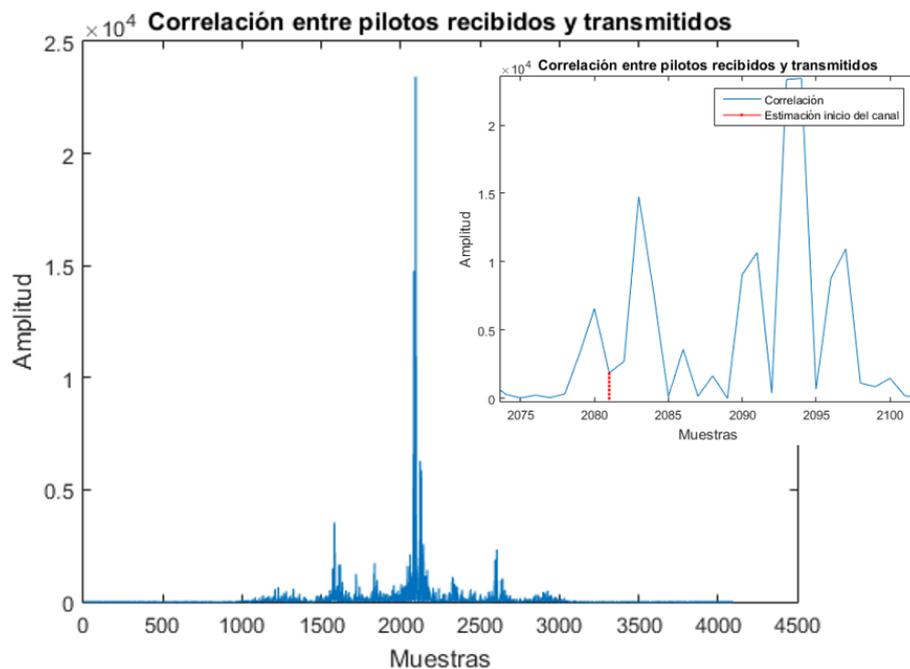


Figura 5.2. Función de correlación entre pilotos recibidos y transmitidos para el algoritmo de sincronismo propuesto.

Una vez realizada la sincronización del sistema, se obtiene como salida de este módulo el valor máximo de correlación y la posición de la memoria principal donde se encuentra almacenado.

5.1.2 Estimador e Igualador de canal

Debido a que la sincronización puede no ser muy exacta por la complejidad del canal, como se mencionaba anteriormente, se propone en la siguiente etapa un estimador y un igualador de canal capaces de corregir esta diferencia de pocas muestras respecto al resultado real.

Teniendo una sincronización aproximada de dónde comienza la trama de datos, se utiliza un bloque intermedio, llamado control de lectura en la Figura 5.32, para gestionar el paso de datos al estimador. Este bloque a su vez se encarga de discriminar los valores máximos de la función de correlación, decidiendo si se considera como un máximo válido, o por el contrario se trata de un pico causado por ruido o por reflexiones del canal. Es muy importante que la sincronización sea adecuada, ya que este bloque debe comenzar la lectura de los datos almacenados en memoria desde un punto que le permita recuperar los paquetes iniciales necesarios para realizar la estimación de canal. De esta forma, los dos primeros paquetes que se envían deben contener gran parte de las secuencias Zadoff-Chu empleadas en la estimación de canal.

El bloque estimador e igualador de canal desempeña el papel más importante del receptor, debido a que se encarga de estimar el canal de transmisión a la vez que corrige pequeños errores causados por el sincronismo, para posteriormente recuperar los datos eliminando la respuesta impulsiva del canal mediante un igualador. Aunque estas dos etapas finales están completamente diferenciadas entre ellas, las prestaciones de la igualación dependen de que la estimación de canal sea correcta.

Uno de los estimadores de canal más sencillos es el LS (*Least Square*), que realiza la división en frecuencia entre los datos recibidos $\{r_{s0}[n]; r_{s1}[n]\}$ y los emitidos $\{s_2[n]; s_3[n]\}$ para obtener un modelo estimado de canal. La principal desventaja de este tipo de igualadores es que no tienen en cuenta el ruido que añade el canal, por lo que el resultado obtenido no puede considerarse válido [Corte 10].

Agrupando el ruido que introduce el canal PLC en un rango de frecuencias, se considera que el ruido de fondo, ruido de banda estrecha y ruido impulsivo síncrono, aparecen normalmente por debajo de 500Hz, por lo que se propone eliminar este rango de frecuencias del resultado obtenido mediante el estimador LS en \hat{H}_{s_0} y \hat{H}_{s_1} . El diagrama mostrado en la Figura 5.3 pertenece al estimador de canal propuesto.

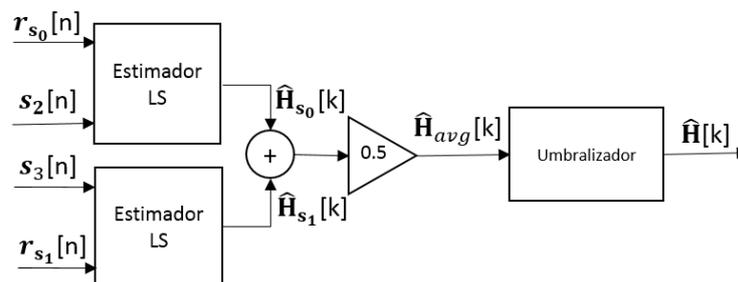


Figura 5.3. Diagrama de bloques del estimador de canal propuesto en este trabajo.

Como se explicaba antes, gran parte del ruido se elimina de la estimación de canal umbralizando la respuesta del estimador LS, pero existe otro tipo de ruido añadido al canal PLC más difícil de eliminar: el ruido impulsivo asíncrono. Este tipo de ruido no tiene un rango de frecuencia fijo que se pueda eliminar, por lo que, para reducir este ruido, se emplean dos paquetes en la estimación del canal. Al utilizar dos paquetes se

consiguen dos estimaciones diferentes del canal de transmisión, cada una de ellas con un ruido impulsivo asíncrono que puede ser distinto en los subcanales implicados. Por ello, al realizar la media entre ambos canales estimados $\hat{\mathbf{H}}_{\text{avg}}$, se consigue atenuar este ruido y conseguir un modelo de canal $\hat{\mathbf{H}}$ más fiable que si se utilizase sólo un paquete; recuérdese que cada paquete equivale a una secuencia Zadoff-Chu.

Además, como se mencionaba anteriormente, el uso de este tipo de estimador permite corregir errores de sincronización inferiores a la longitud L_{CP} del prefijo cíclico añadido en el transmisor. Al realizar la división en el dominio de la frecuencia, entre los datos recibidos $\{r_{s0}[n]; r_{s1}[n]\}$ y los símbolos piloto transmitidos $\{S_2[n]; S_3[n]\}$, si el sincronismo para el inicio de la transmisión se ha estimado con un error reducido de muestras, éste se traduce en aplicar un retardo de fase a la estimación, haciendo que posteriormente el igualador corrija este error de sincronismo.

Teniendo un canal simulado con los parámetros descritos anteriormente se realiza la estimación de canal con el estimador propuesto. Una vez obtenido un modelo estimado $\hat{\mathbf{H}}$ de canal, las muestras de datos de la trama pasan al igualador que pretende compensar la distorsión que ejerce el canal PLC en la señal transmitida. El diagrama de bloques del igualador propuesto se muestra en la Figura 5.4, donde la entrada $r_m[n]$ proviene de la bajada en frecuencia después de eliminar el prefijo cíclico.

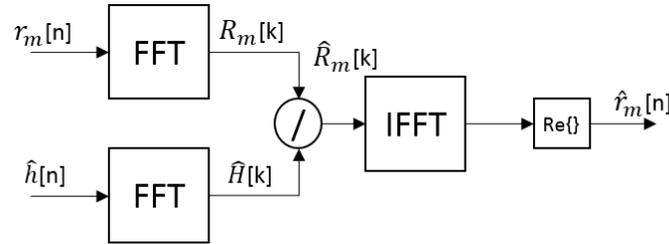


Figura 5.4. Diagrama de bloques del igualador.

La igualación propuesta se realiza en el dominio de la frecuencia, consiguiendo corregir la distorsión introducida por el canal mediante la división entre la señal recibida una vez sincronizada $r_m[n]$, y el canal estimado $\hat{\mathbf{H}}$. El resultado a la salida del igualador $\hat{r}_m[n]$ queda expresado como sigue:

$$\hat{r}_m = \mathbf{W}^{-1} \cdot \mathbf{\Lambda}^{-1} \cdot \mathbf{W} \cdot r_m \quad (71)$$

$$\mathbf{\Lambda}^{-1} = \text{diag}\{C_0, C_1, \dots, C_{M-1}\} \quad (72)$$

$$C_m = \frac{1}{\lambda_m}; 0 \leq m \leq (M - 1) \quad (73)$$

Siendo \mathbf{W} la matriz de la DFT, $M \times M$, obtenida por FFT; y $\mathbf{\Lambda}^{-1}$ una matriz diagonal, $M \times M$, cuyos elementos de la diagonal principal se obtienen mediante la inversa de la DFT de M puntos del canal estimado anteriormente $\hat{\mathbf{H}}$.

Por último, los datos que se obtienen a la salida del igualador $\hat{r}_m[n]$, habiendo compensado el efecto del canal y el ruido añadido por éste, se demodulan en el banco de filtros del receptor para obtener los datos emitidos $t_x[n]$ previamente en el transmisor.

5.2 Arquitecturas eficientes para la correlación cruzada

Con los resultados obtenidos previamente se puede concluir que el uso del CP no influye en el sistema, en cuanto a sincronización entre emisor y receptor se refiere, consiguiendo valores muy similares de RMSE y CDF para ambos modelos de canal empleados. Sin embargo, la eliminación del CP supone una pérdida importante de prestaciones a la hora de estimar e igualar el canal.

Con futuras vistas a una posible implementación del bloque de sincronismo se buscan alternativas que no conlleven mucha complejidad de diseño de una arquitectura en FPGA, y con las que se obtenga un comportamiento óptimo para realizar la sincronización. El principal problema del bloque de sincronismo es realizar la correlación en tiempo real de la señal recibida con la copia de los símbolos piloto del receptor. De esta forma nace la idea del correlador por desplazamiento de ventana, cuyo objetivo es realizar correlaciones de una longitud inferior para obtener sucesivos resultados hasta alcanzar el valor máximo de la función de correlación.

Se contemplan dos tipos diferentes de correladores de ventana para el diseño del sistema en el que se transmite con CP:

- El primero elimina el CP antes de obtener el resultado de la correlación, reduciendo la longitud de salida (Correlador de ventana A).
- El segundo correla directamente los paquetes recibidos sin eliminar la parte correspondiente al CP (Correlador de ventana B).

La Figura 5.5 muestra el comportamiento del correlador de ventana A utilizado.

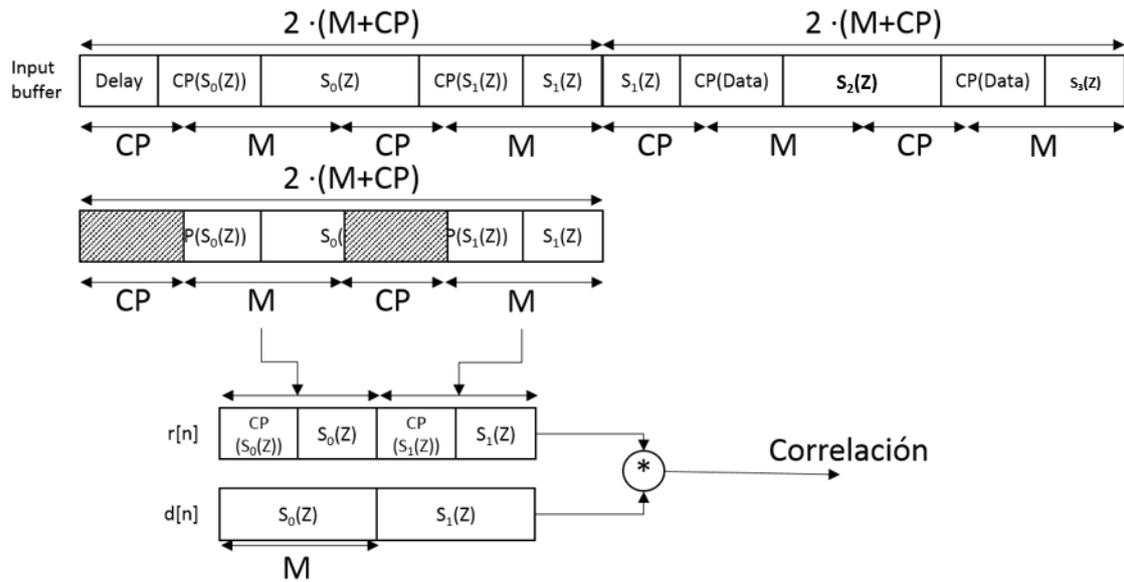


Figura 5.5. Diagrama de funcionamiento del correlador de ventana A.

El objetivo de esta arquitectura es obtener correlaciones con una longitud de ventana de $2 \cdot (M + L_{CP})$ muestras, donde M es el número de subportadoras de la modulación y L_{CP} es la longitud del prefijo cíclico. Partiendo de la señal recibida, distorsionada por el canal PLC y contaminada con ruido, ésta se divide en tramas de una longitud igual a $2 \cdot (M + L_{CP})$ muestras. Posteriormente se elimina la parte correspondiente al CP, haciendo que la nueva trama tenga una longitud de $2 \cdot M$ muestras, conteniendo parte de los CP y de los paquetes que se emplean para sincronizar. La copia de las secuencias que se tiene en el receptor tiene también una longitud de $2 \cdot M$ muestras, por lo que al realizar la correlación con la trama sin CP, ésta tendrá una longitud de $4 \cdot M$ muestras.

Asumiendo que $M=512$ subportadoras y $L_{CP}=384$ muestras, se divide la señal recibida para que cada ventana tenga una longitud de 1792 muestras. Al eliminar la parte de CP la longitud se ve reducida a 1024 muestras, igual que la longitud de las secuencias empleadas para sincronizar. Para conseguir la correlación completa en el dominio de la frecuencia es necesario computar una FFT de 2048 puntos, como se explicó en apartados anteriores. La Figura 5.6 muestra el resultado de correlación obtenido siguiendo la arquitectura descrita anteriormente.

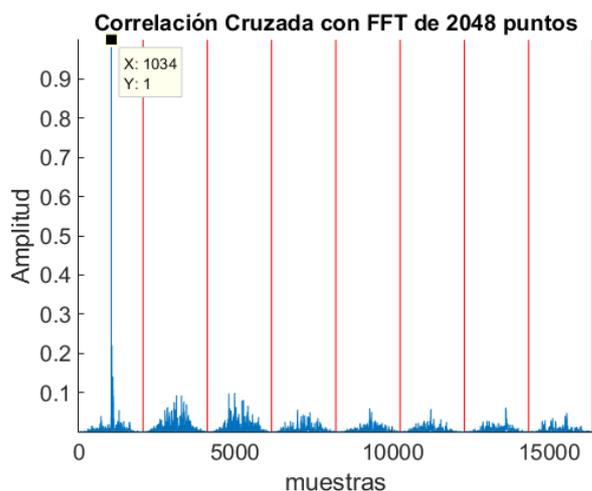


Figura 5.6. Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 2048 puntos para el correlador de ventana A.

En la Figura 5.6 cada línea de color rojo indica cada una de las ventanas en las que se ha dividido la señal recibida, que se corresponden con el número total de correlaciones que han sido necesarias para procesar una trama completa. En este caso el retardo que se obtiene es igual a 10 muestras, obteniéndose de la resta de la posición del pico máximo de correlación menos $2 \cdot M$ ($1034 - 1024 = 10$), diferenciando el pico máximo de correlación frente al resto de correlaciones en las ventanas adyacentes.

Continuando en esta línea, en vez de emplear una FFT de 2048 puntos para obtener la correlación de la longitud adecuada, se emplea una FFT de 1024 puntos y se realiza la misma simulación, consiguiendo la Figura 5.7.

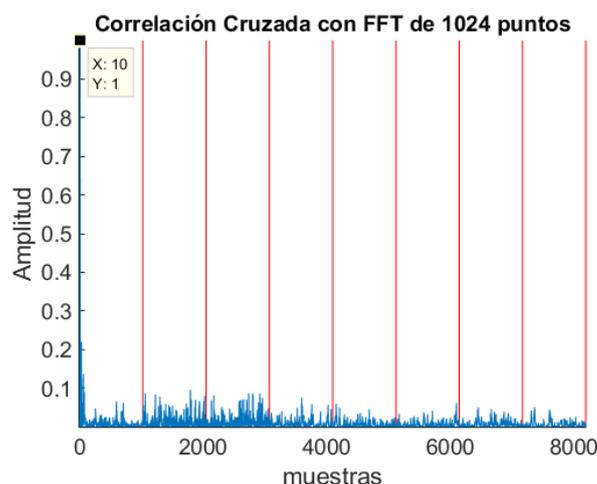


Figura 5.7. Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 1024 puntos para el correlador de ventana A.

Igual que antes, la Figura 5.7 limita con líneas de color rojo cada una de las correlaciones necesarias para procesar una trama completa de emisión, comprobando que se realizan exactamente el mismo número de correlaciones que en caso de usar una FFT de 2048 puntos. En este caso el pico máximo de correlación que se obtiene se

corresponde directamente con el retardo del canal estimado anteriormente. Nótese que al emplear una FFT de 1024 puntos se mejora el número de recursos requeridos en la arquitectura, al realizarse un menor número de operaciones.

Por otro lado, el diagrama de funcionamiento del correlador de ventana B propuesto se muestra en la Figura 5.8.

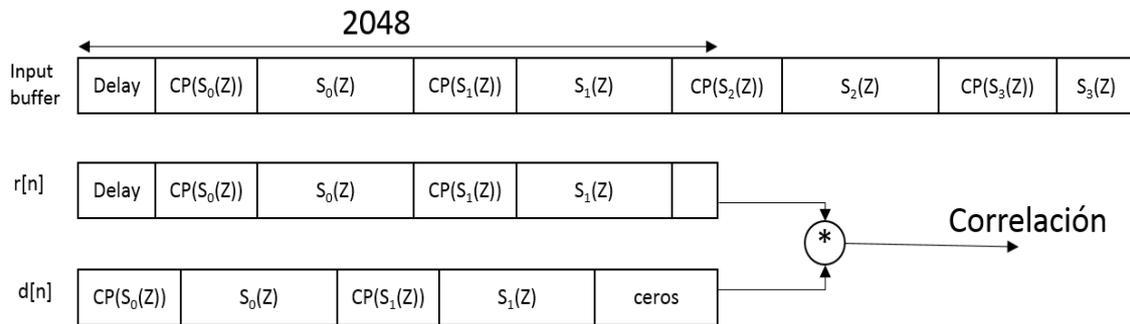


Figura 5.8. Diagrama de funcionamiento del correlador de ventana B.

La principal diferencia de la nueva arquitectura de correlación de ventana propuesto es el tamaño fijo de la ventana independientemente del resto de variables del sistema, además de que no es necesario eliminar el CP para realizar la correlación. Al utilizar un tamaño fijo de ventana y no ser necesario eliminar la parte proporcional al CP, como se hacía en la anterior arquitectura, simplemente es necesario ir almacenando muestras en una memoria en el receptor para su posterior procesamiento.

En este caso se utiliza una longitud fija de 2048 muestras de la señal recibida que se correla directamente con la copia del receptor. En este sentido, la copia del receptor debe variar su contenido, ya que es necesario que tenga la misma longitud que el tamaño de ventana. Además, en este caso no se elimina el CP, por lo que es necesario añadirse para obtener una correlación precisa, rellenando con ceros la parte final hasta alcanzar la longitud de 2048 muestras, como se muestra en la Figura 5.8.

Aumentando la longitud de las tramas empleadas para sincronizar, también es necesario que la FFT utilizada cambie a 4096 puntos, aumentando considerablemente el número de recursos requeridos en la correspondiente arquitectura. La Figura 5.9 muestra el resultado de la correlación cruzada obtenido para este tipo de correlador.

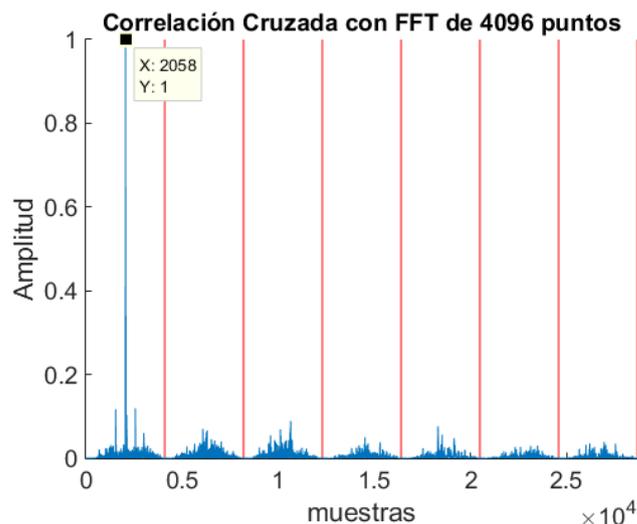


Figura 5.9. Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 4096 puntos para el correlador de ventana B.

Igual que para el correlador de ventana A, se reduce el número de puntos de la FFT a la mitad para ahorrar recursos y comprobar el resultado obtenido, como se aprecia la Figura 5.10.

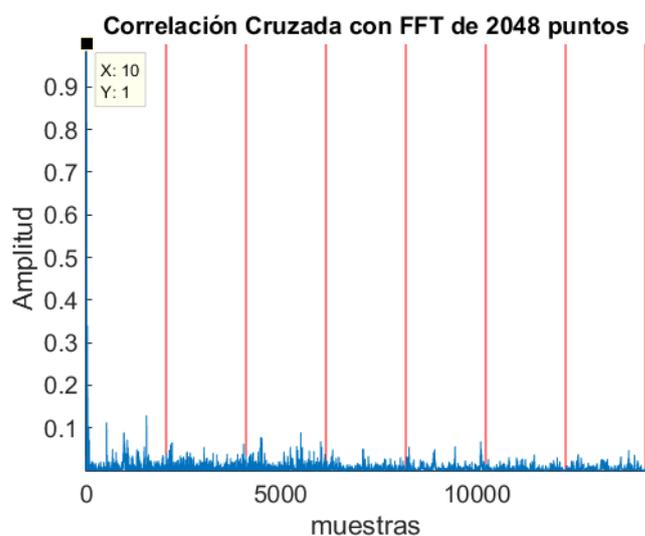


Figura 5.10. Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 2048 puntos para el correlador de ventana B.

Para ambas FFT se obtiene un retardo estimado de canal PLC de 10 muestras, empleando el mismo número de correlaciones. Sin embargo, en lo relativo al número de recursos requeridos en una futura implementación, el correlador de ventana B presenta un número de puntos en la FFT reducido.

Ahora, se estudia cómo cambiaría este tipo de correlador de ventana propuesto con vistas a una futura implementación sin el uso del CP. En caso de no usar CP el diagrama de ambos correladores de ventana presentados cambia considerablemente, llegando a ser idéntico para los dos como se muestra en la Figura 5.11.

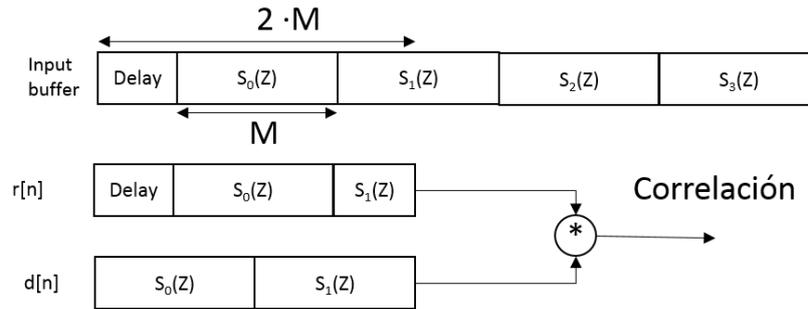


Figura 5.11. Diagrama de funcionamiento del correlador de ventana para el diseño en que no se emplea CP para la transmisión.

Al no existir CP el tamaño de la ventana cambia hasta adaptarse a la longitud mínima requerida, siendo en este caso $2 \cdot M$. Eligiendo una FFT reducida de 1024 puntos se obtiene la correlación mostrada en la Figura 5.12.

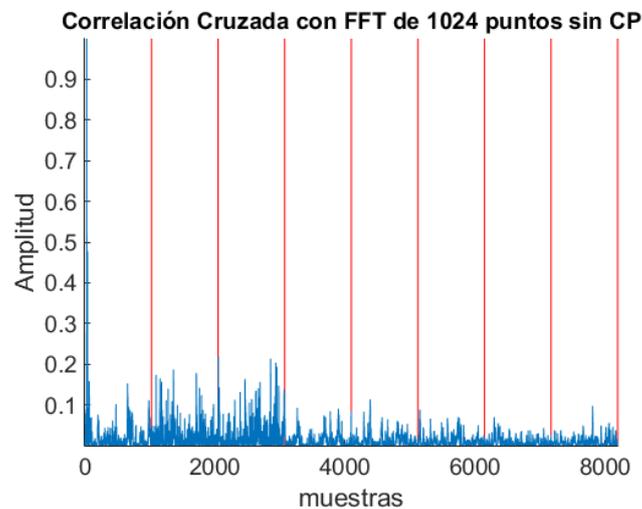


Figura 5.12. Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 1024 puntos para ambos correladores de ventana en la transmisión sin el uso de CP.

De esta forma, en el caso de no usar CP en la transmisión, las dos arquitecturas para la correlación de ventana presentadas anteriormente disponen esquemas idénticos. Además, se consigue realizar la correlación con un tamaño mínimo de FFT de 1024 puntos, siendo éste el mismo obtenido para el mejor caso empleando. De esta forma, con el uso del correlador de ventana A para la correlación se satisfacen con prestaciones y requisitos similares las necesidades en esquemas de transmisión que empleen o no CP.

En la Tabla 5.1 se observa que los valores de SMR aumentan al disminuir el número de puntos de la FFT y al eliminar el CP. Esto implica que los valores de los lóbulos laterales en la correlación son más elevados, pero se trata de una pequeña desventaja frente a la importancia de poder disminuir el número de recursos a la hora de abordar una implementación en tiempo real de las arquitecturas.

Tabla 5.1. Valores SMR obtenidos para cada correlación cruzada de la trama recibida con los símbolos piloto para los correladores de ventana presentados para diferente tamaño de puntos de la FFT.

	SMR
Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 2048 puntos para el correlador de ventana A	0.095
Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 1024 puntos para el correlador de ventana A	0.099
Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 4096 puntos para el correlador de ventana B	0.120
Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 2048 puntos para el correlador de ventana B	0.130
Correlación cruzada de la trama recibida con los símbolos piloto empleando una FFT de 1024 puntos para ambos correladores de ventana en la transmisión sin el uso de CP	0.217

5.3 Arquitectura eficiente para la implementación de la etapa de sincronismo

Algunos trabajos previos ya han tratado la implementación del emisor y receptor Wavelet-OFDM [Poude 14], incluso describiendo en detalle la arquitectura eficiente propuesta para los bancos de filtros. Por ello, esta sección se centra en la definición y diseño de una arquitectura eficiente para la implementación del algoritmo de sincronismo propuesto. Además, es importante señalar que la propuesta se ha desarrollado en un FPGA Xilinx XC7K325T, cuya arquitectura interna y disponibilidad de recursos determinan ciertas decisiones de diseño, especialmente aquellas relacionadas con la representación de punto fijo de las señales implicadas. Esta representación de punto fijo ha sido definida a continuación por un formato $Q(\alpha, \beta)$, donde α es el número global de bits y β es el número de bits fraccionarios.

La Figura 5.13 muestra el diagrama de bloques de la propuesta de sincronización, de acuerdo con la descripción del algoritmo realizada anteriormente. Este diagrama puede dividirse en cuatro módulos principales: un correlador, un módulo para elevar al cuadrado, un detector de máximos, y un módulo de ventana y umbral. La entrada global para la arquitectura de sincronización son las muestras $2 \cdot M$ de la señal $r[n]$, obtenidas después de descartar el prefijo cíclico CP, mientras que la salida final es el retardo de sincronización estimado. Obsérvese que la entrada en el correlador ha sido paralelizada en series de 16 muestras. Este grado de paralelismo se ha fijado para no aumentar significativamente el consumo de recursos (especialmente los multiplicadores) y,

aunque implique una mayor latencia en la operación del sistema global, todavía es posible lograr un funcionamiento en tiempo real.

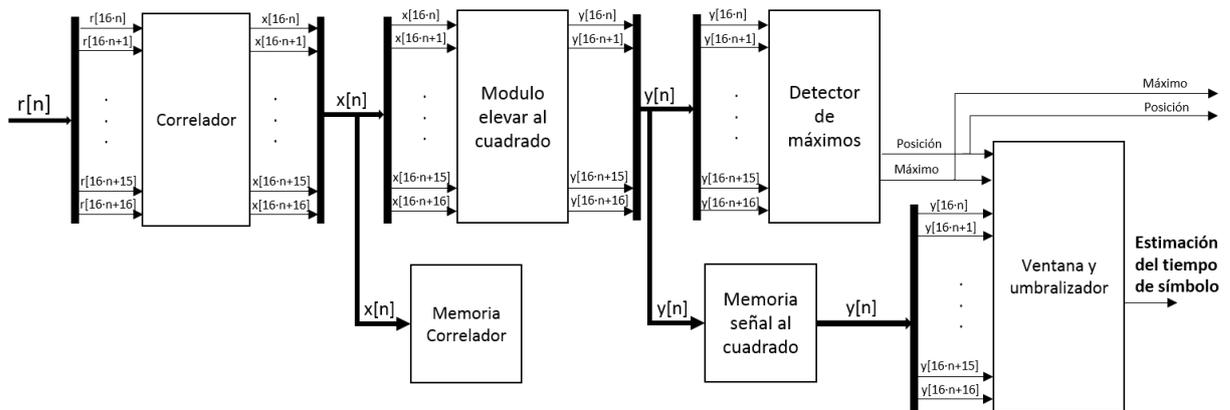


Figura 5.13. Diagrama de bloques general de la arquitectura propuesta para la implementación del algoritmo de sincronismo.

El problema crítico sobre el diseño es lograr un funcionamiento en tiempo real sin descartar datos en la recepción, por lo que el sistema debe estimar el retardo de sincronismo lo más rápido posible. Teniendo esto en cuenta, el cuello de botella más importante es el módulo de correlación, donde se requiere un mayor número de ciclos de reloj para calcular la correspondiente señal de correlación $x[n]$. El enfoque basado en el cálculo de la función de correlación $x[n]$ mediante ventanas deslizantes sobre los datos de entrada $r[n]$ ha sido descartado [Berg 14a], ya que la carga computacional se vuelve inviable para una implementación en tiempo real. Por contra, se ha considerado aquí un enfoque basado en ventanas no superpuestas sobre los datos de entrada $r[n]$. En este momento, es importante recordar la importancia del prefijo cíclico para realizar este tipo de correlación, para no descartar una parte de la información y degradar el valor máximo de correlación $x[n]$, por lo que sólo un bloque de $2 \cdot M$ muestras, es decir, dos símbolos de la señal $r[n]$, se procesa para estimar la sincronización de símbolos.

El módulo de correlación entre la señal $r[n]$ y el preámbulo transmitido $d[n]$ emplea los módulos FFT e IFFT, que requieren en la implementación la mayoría de los multiplicadores disponibles en el FPGA. El módulo de correlación propuesto se basa en la adquisición continua en el receptor de la señal $r_c[n]$ y el almacenamiento en un búfer de entrada con una longitud de $2 \cdot (M + L_{CP})$, donde M es la longitud de cada paquete y L_{CP} la longitud del CP (véase la Figura 5.14). Posteriormente, es posible descartar el prefijo cíclico y obtener la entrada del módulo de correlación $r[n]$ con longitud $2 \cdot M$ muestras. Obsérvese que el preámbulo $d[n]$ transmitido consiste en un par de secuencias complementarias multinivel, cada una asignada en un paquete diferente.

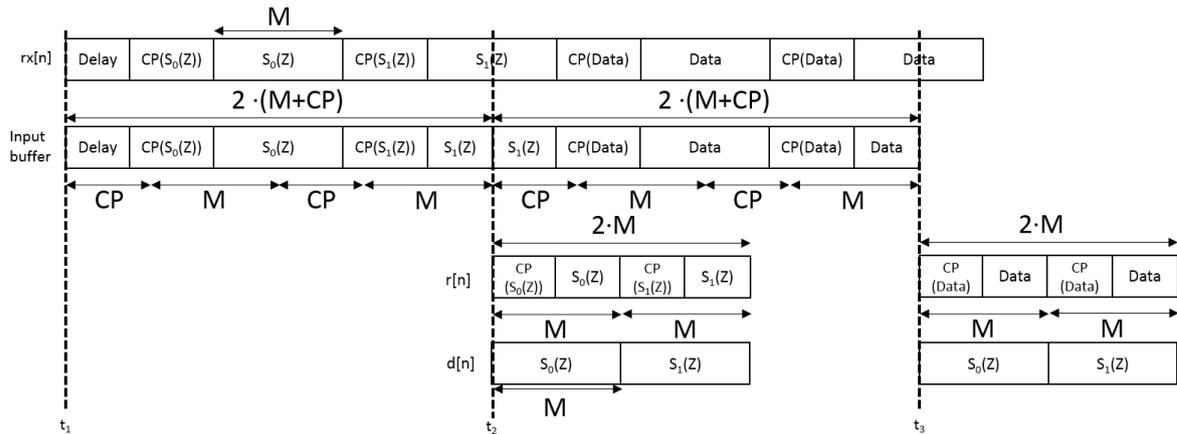


Figura 5.14. Esquema del proceso de eliminación del CP, y la correspondiente entrada de la señal $r[n]$ al módulo de correlación.

Después de eliminar el CP, la señal $r[n]$ obtenida debe correlarse con el preámbulo $d[n]$. Se asume un preámbulo constante, y sólo cambia si se transmite una secuencia diferente. Esta correlación puede expresarse en el dominio de la frecuencia como (74):

$$x[n] = IDFT\{DFT\{r[n]\} \cdot DFT\{d[n]\}\} \quad (74)$$

Donde $x[n]$ es la salida de correlación; DTF e IDFT identifican la Transformada de Fourier Discreta directa e inversa, respectivamente; $r[n]$ es la señal de entrada después de la eliminación del CP; y $d[n]$ es el preámbulo transmitido, ambos con una longitud de $2 \cdot M$.

El hecho de implementar tanto la DFT como la IDFT aumenta significativamente el consumo de multiplicadores en el diseño. Teniendo en cuenta las propiedades DFT, se puede concluir que no es necesario implementar una IDFT, ya que es posible reutilizar la DFT para obtener la correlación en el dominio del tiempo. De esta forma, simplificando (75):

$$X[k] = DFT\{r[n]\} \cdot DFT\{d[n]\} = R[k] \cdot D[k] \quad (75)$$

Dado que la IDFT es similar a la DFT, con diferente signo en el factor exponencial y la constante de escala diferente, el proceso de correlación puede ser reescrito como (76):

$$x[n] = IDFT\{X[k]\} = \frac{1}{N} \cdot (DFT\{X[k]^*\})^* \quad (76)$$

Donde N es la longitud de la señal a correlacionar; y $X[k]^*$ es el complejo conjugado de $X[k]$. Si se supone que las señales $r[n]$ y $d[n]$ son valores reales, es posible descartar la parte imaginaria en la salida de correlación $x[n]$, entonces:

$$x[n] = \frac{1}{N} \cdot (DFT\{X^*[k]\})^* = \frac{1}{N} \cdot (DFT\{X^*[k]\}) \quad (77)$$

Teniendo en cuenta (75), se puede obtener (78):

$$x[n] = DFT \left\{ \frac{1}{N} \cdot (R[k] \cdot D[k])^* \right\} \quad (78)$$

La Figura 5.15 muestra el diagrama de bloques propuesto para la implementación del módulo de correlación, de acuerdo con las optimizaciones descritas anteriormente. Se puede observar cómo la DFT de 1024 puntos se reutiliza para calcular la correlación en el dominio del tiempo.

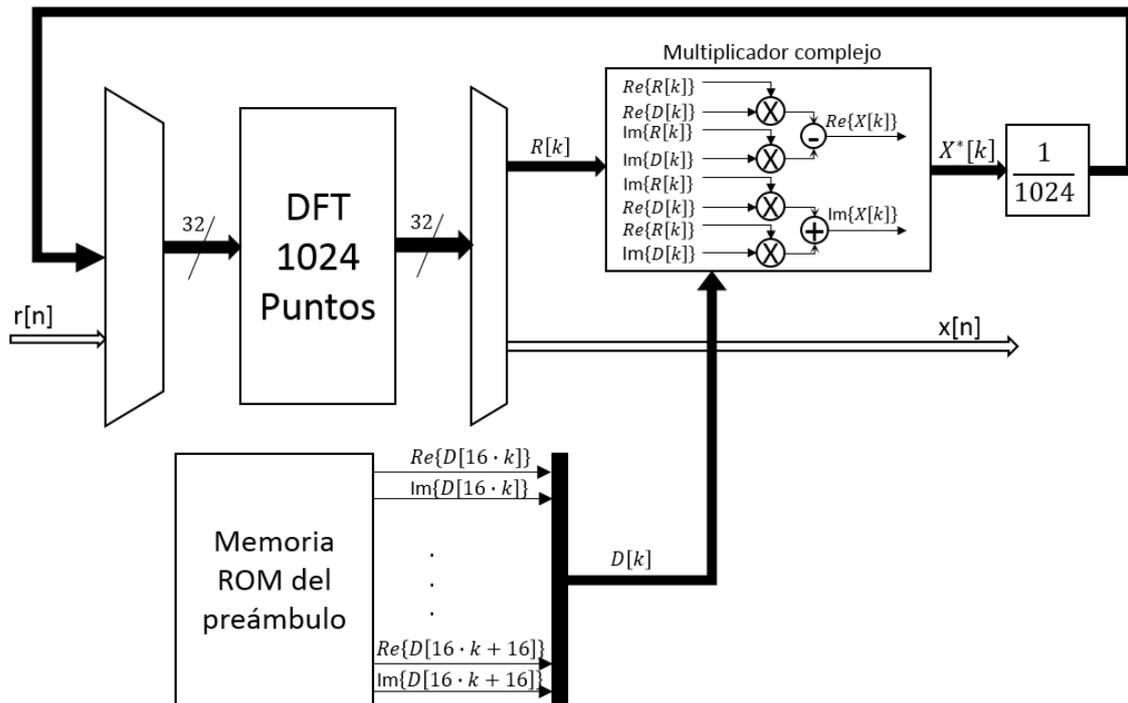


Figura 5.15. Diagrama de bloques de la arquitectura propuesta para la implementación del módulo de correlación.

En la primera etapa, el sistema realiza la DFT para la señal de entrada $r[n]$ con una longitud de $2 \cdot M$ muestras. El bloque DFT tiene 32 entradas paralelas, la mitad para la parte real de las muestras de entrada y la otra mitad para la parte imaginaria. Puesto que la señal recibida $r[n]$ es real, las entradas imaginarias son nulas en esta primera etapa. No sólo los datos de entrada, sino también las salidas se representan en punto fijo, con un formato Q(18.8).

En la segunda etapa se lleva a cabo la multiplicación compleja entre los datos de salida de la DFT de la señal de entrada $r[n]$ y los datos $d[n]$ de salida de la DFT del preámbulo. Como se ha mencionado anteriormente, dado que el preámbulo es constante, su DFT puede calcularse previamente y almacenarse en la correspondiente memoria ROM de Preámbulo mostrada en la Figura 5.13. Las celdas de multiplicación disponibles (DSP48E1), tienen un tamaño de 25x18 bits, por lo que, con el fin de utilizar

todo el ancho de datos disponibles, los datos DFT almacenados para el preámbulo $d[n]$ tienen un formato Q(25.15). La salida de los multiplicadores se divide por un factor de escala $1/N$ y se trunca al formato DFT Q(18.8). Por último, en la última etapa, el bloque DFT está implicado de nuevo para calcular la correlación en el dominio del tiempo, proporcionando también la señal de salida $x[n]$ en el formato Q(18.8).

El bloque de memoria de correlación en la Figura 5.13 se ha incluido para almacenar la correlación resultante $x[n]$, por lo que puede ser utilizado más adelante en la estimación de canal y el cálculo de los coeficientes del igualador, en el caso de que se decidiese emplear la técnica de estimación de canal que emplea la correlación como canal estimado. Cuando el módulo de correlación comienza a proporcionar datos de salida $x[n]$ válidos después de una latencia inicial, es capaz de generar 16 muestras de 18 bits cada ciclo de reloj hasta la longitud final de 1024 muestras. El módulo de elevar al cuadrado consta de 16 multiplicadores que calculan en paralelo el valor al cuadrado de la señal $x[n]$ en un formato Q(36.16). Esta señal $y[n]$ elevada al cuadrado se trunca a los 18 bits más significativos, Q(18.0), ya que cuanto más alto es el máximo de correlación, más fácil es su detección. La señal $y[n]$ de correlación al cuadrado también es almacenada en un bloque de memoria para usarse en el módulo de ventana y umbral, mientras que los valores de $y[n]$ también son procesados por el detector de máximos para determinar la posición exacta del máximo de correlación. Tanto la correlación como los bloques de memoria de la señal $y[n]$ al cuadrado tienen un tamaño de 64×288 bits, correspondiente a un conjunto de 16 muestras con 18 bits cada una. Esto hace posible leer/escribir un conjunto completo de 16 muestras en un único acceso a la memoria.

La detección del valor máximo de correlación consiste en una comparación sucesiva para determinar el valor máximo entre cada conjunto de 16 muestras $y[n]$ procedentes del módulo que eleva al cuadrado. En cada ciclo de reloj, un nuevo conjunto de 16 muestras $y[n]$ se inserta, y, al comparar en pares en cada ciclo de reloj, el máximo local se obtiene después de cuatro ciclos de reloj. Un último ciclo de reloj se dedica a determinar el máximo global para la longitud global de 1024 muestras, comparando los valores máximos locales de cada conjunto de 16 muestras. La Figura 5.16 muestra el esquema para la implementación de este detector de máximos. Dado que la longitud de correlación es de 1024 muestras y se insertan 16 nuevas muestras cada ciclo de reloj, se requieren 64 ciclos de reloj más una latencia de 5 ciclos para obtener el valor de correlación máximo y determinar su posición en el bloque de la memoria de la señal al cuadrado $y[n]$.

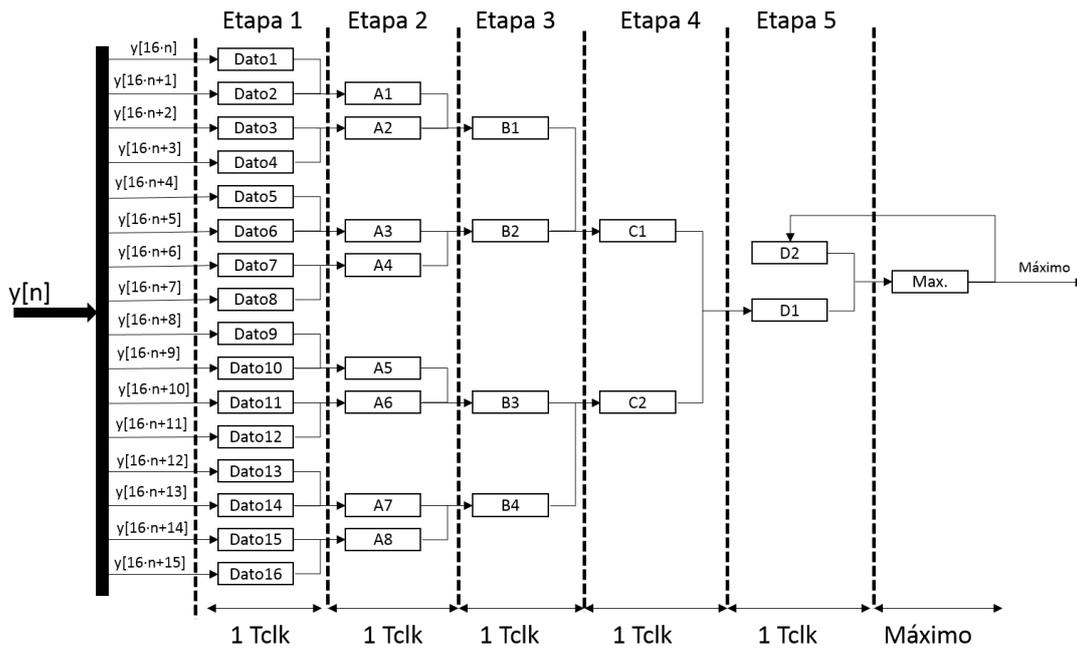


Figura 5.16. Arquitectura propuesta para la implementación del módulo de obtención del máximo de correlación.

Finalmente, el módulo ventana y umbral se encarga de buscar la primera muestra $y[n]$ sobre un determinado umbral antes del valor máximo detectado, ya que la muestra $y[n]$ se considera como el inicio del canal PLC. La ventana se implementa leyendo el bloque de memoria de la señal $y[n]$ en la posición en la que se almacena el pico de correlación detectado. Puesto que cada acceso de memoria proporciona 16 muestras de $y[n]$ y se realizan tres accesos de lectura, la longitud de la ventana final varía de 32 a 47 muestras, dependiendo de la posición exacta del valor máximo detectado en el conjunto de 16 muestras de $y[n]$.

El inicio del canal PLC se busca en esta ventana, y se define por el primer valor sobre un determinado umbral. Este umbral se fija experimentalmente al 25% del valor máximo cuadrático de $y[n]$ detectado, y se debe actualizar para cada condición de canal PLC para estimar efectivamente la primera trayectoria de llegada. La Figura 5.17 muestra el diagrama de bloques del módulo de ventana y umbral, donde las señales de entrada son el valor máximo cuadrado $y[n]$ detectado, y su posición correspondiente en el bloque de memoria cuadrada. Este módulo proporciona la estimación del tiempo de símbolo.

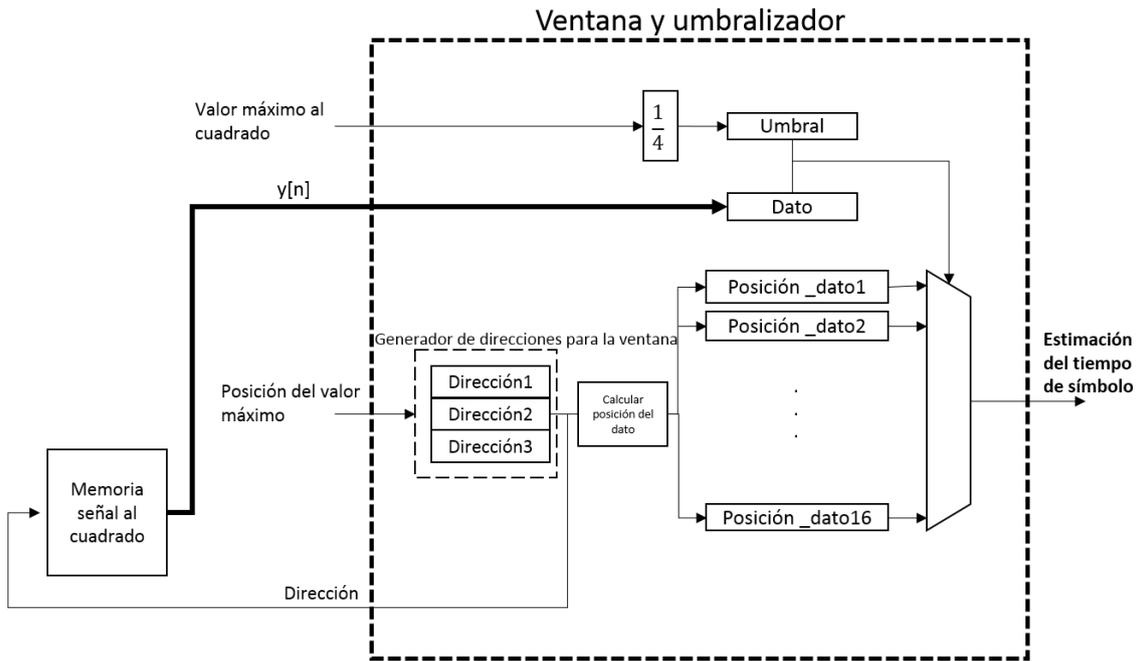


Figura 5.17. Diagrama de bloques de la arquitectura propuesta para la implementación del módulo de enventanado y umbralización.

El algoritmo de sincronismo propuesto anteriormente se ha implementado en una plataforma KC705 [Xilin 15a] por Xilinx Inc., que se basa en un dispositivo Kynx XC7K325T FPGA [Xilin 15b]. En cuanto al consumo de recursos, la Tabla 5.2 muestra las cifras de los principales elementos lógicos disponibles en el dispositivo. En términos generales, se puede observar el porcentaje de utilización reducido. Además, la Tabla 5.3 detalla este consumo de recursos para cada módulo involucrado en el diseño propuesto. En este caso, la mayor parte de los recursos necesarios están dedicados al módulo de correlación, donde es necesario implementar un bloque FFT encargado también de paralelizar los datos de entrada. Esto minimiza los ciclos de latencia requeridos para obtener cada muestra de salida.

Tabla 5.2. Consumo de recursos del algoritmo de sincronismo propuesto tras su implementación en una FPGA XC7K325T.

	Nº de recursos	Porcentaje de uso
Flip-flops	27046	6%
RAMB	68	7%
LUTs	21207	10%
DSP48E1	236	28%

Tabla 5.3. Consumo de recursos detallado del algoritmo de sincronismo en la FPGA XC7K325T.

	Flip-flops	RAMB	LUTs	DSP48E1
Diseño global	27046	68	21207	236
Módulo correlador	26388 (97.57%)	64 (94.12%)	20587 (97.08%)	220 (93.22%)
Módulo al cuadrado	12 (0.04%)	0 (0.00%)	10 (0.05%)	16 (6.78%)

Módulo detección máximo	325 (1.20%)	0 (0.00%)	343 (1.62%)	0 (0.00%)
Módulo umbralizador	14 (0.05%)	0 (0.00%)	177 (0.65%)	0 (0.00%)

El diseño propuesto funciona a una frecuencia de reloj de $f_{CLK}=50\text{MHz}$, lo que requiere 1024 datos de entrada cada 64 ciclos de reloj (16 muestras de 18 bits cada ciclo de reloj), con una latencia de 580 ciclos. En este caso, se supone que la frecuencia de muestreo en el receptor es $f_s=50\text{Msps}$ para llenar un buffer con una longitud $2 \cdot (M+L_{CP})$, para $M=512$ subcanales y longitud de prefijo cíclico $L_{CP}=384$. De manera paralela, se estima el retardo de sincronismo para el buffer previo, proporcionando una estimación final después de una latencia de 580 ciclos para una frecuencia de reloj de $f_{CLK}=50\text{MHz}$. Esto implica un intervalo suficientemente largo para sincronizar el receptor y no descartar muestras de entrada en la recepción. Dado que la latencia puede seguir aumentando sin ningún inconveniente para la operación del sistema, el consumo de recursos en el módulo de correlación podría minimizarse paralelizando aún más la entrada de datos.

Otro aspecto que se ha analizado es el error de cuantificación debido a la representación de punto fijo utilizada en diseños basados en FPGA. Este estudio se ha centrado en los dos módulos donde se realiza el cálculo más intensivo: la correlación y los módulos de cuadratura. Obsérvese que el módulo de detección de máximos y el módulo de umbral implican comparaciones y asignaciones, pero no operaciones aritméticas en las que los errores de cuantificación puedan influir en ellos. La Tabla 5.4 muestra el error relativo máximo y el error relativo promedio para la señal de entrada $r[n]$, para la salida de correlación $x[n]$, y para la señal elevada al cuadrado $y[n]$, obtenida tras realizar 1000 simulaciones con diferentes modelos de canales según [Galli 08] [Tonel 12], para un $\text{SNR}=10\text{dB}$. Debido al hecho de que todos los bits fraccionarios son descartados en la salida $y[n]$ del módulo de cuadratura, los errores de cuantificación son más relevantes. Sin embargo, esta señal $y[n]$ sólo se utiliza para detectar valores máximos en la correlación, por lo que el rendimiento global del sistema no se degrada por esta decisión.

Tabla 5.4. Error de cuantificación relativo de las señales principales del diseño propuesto.

	Error absoluto máximo	Error absoluto medio
Entrada $r[n]$, Q(18.8)	0.055%	0.052%
Salida del correlador $x[n]$, Q(18.8)	0.132%	0.117%
Salida al cuadrado $y[n]$ (Q18.0)	7.89%	4.72%

La Figura 5.18 representa el error cuadrático medio (RMSE) para la estimación del retardo de sincronismo con respecto al nivel de SNR, teniendo en cuenta tanto los modelos de canal A como B. Se puede observar que la diferencia entre el algoritmo de coma flotante y la versión de coma fija implementada en el dispositivo FPGA es insignificante. Además, se puede verificar cómo el RMSE para el modelo A es mayor que

el del modelo B, debido a la complejidad de este tipo de canal PLC. Con el fin de comparar la propuesta con otros enfoques, la Figura 5.18 también muestra el RMSE obtenido para el método de auto-correlación [Minn 03]. Obsérvese que sus valores RMSE son superiores a los alcanzados por el algoritmo propuesto para ambos modelos de canal A y B, por lo que el algoritmo de sincronismo propuesto mejora el rendimiento proporcionado por los métodos de auto-correlación. Para cada configuración, el valor RMSE presenta una fluctuación por debajo de una muestra, lo que se debe a la estimación estadística realizada (1000 simulaciones para cada valor SNR). Las figuras se han obtenido por medio de secuencias complementarias multinivel con una longitud $L=360$ bits.

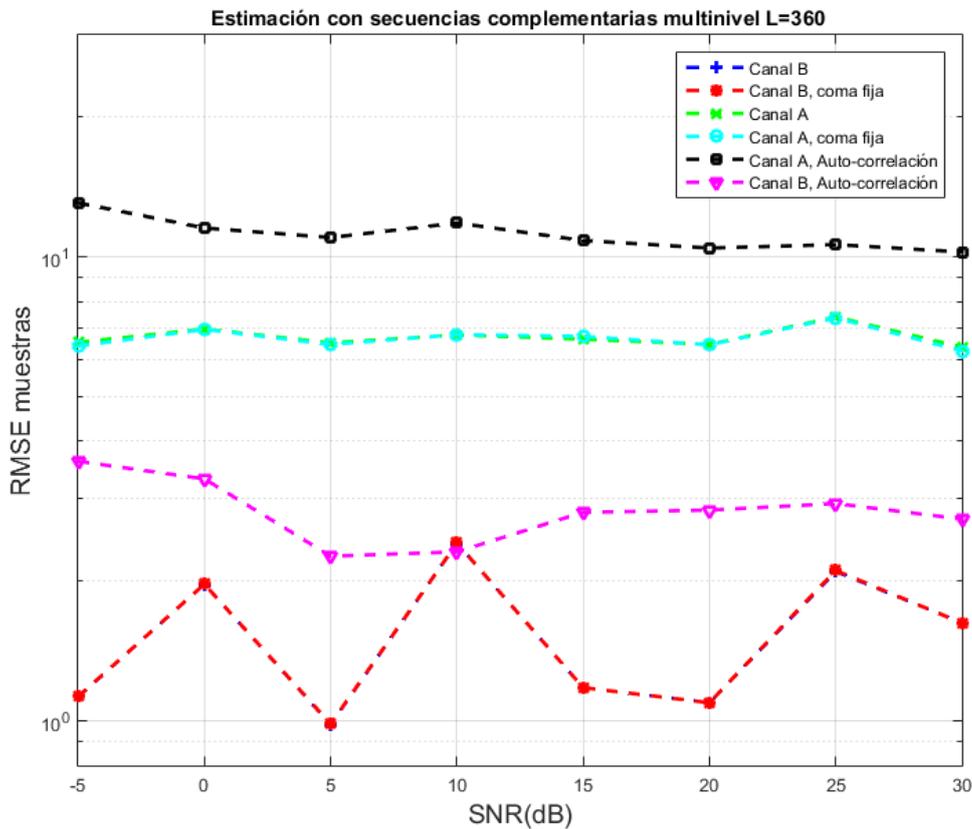


Figura 5.18. RMSE en la estimación de retardo de sincronismo para ambos canales, para una representación de coma flotante y fija del algoritmo propuesto, así como para métodos de auto-correlación.

Por otro lado, la Figura 5.19 muestra la función de distribución acumulativa (CDF) del error absoluto en la estimación del retardo de sincronismo para diferentes valores SNR y usando secuencias complementarias multinivel. Obsérvese que el error absoluto se considera como la diferencia absoluta en muestras entre el retardo estimado de sincronismo y el retardo real. La CDF se traza para ambos modelos de canal A y B, y no sólo para el algoritmo propuesto basado en la correlación cruzada, sino también para el enfoque de auto-correlación. Además, el algoritmo de sincronismo propuesto basado en la correlación cruzada se evalúa en sus correspondientes representaciones en coma flotante y en coma fija.

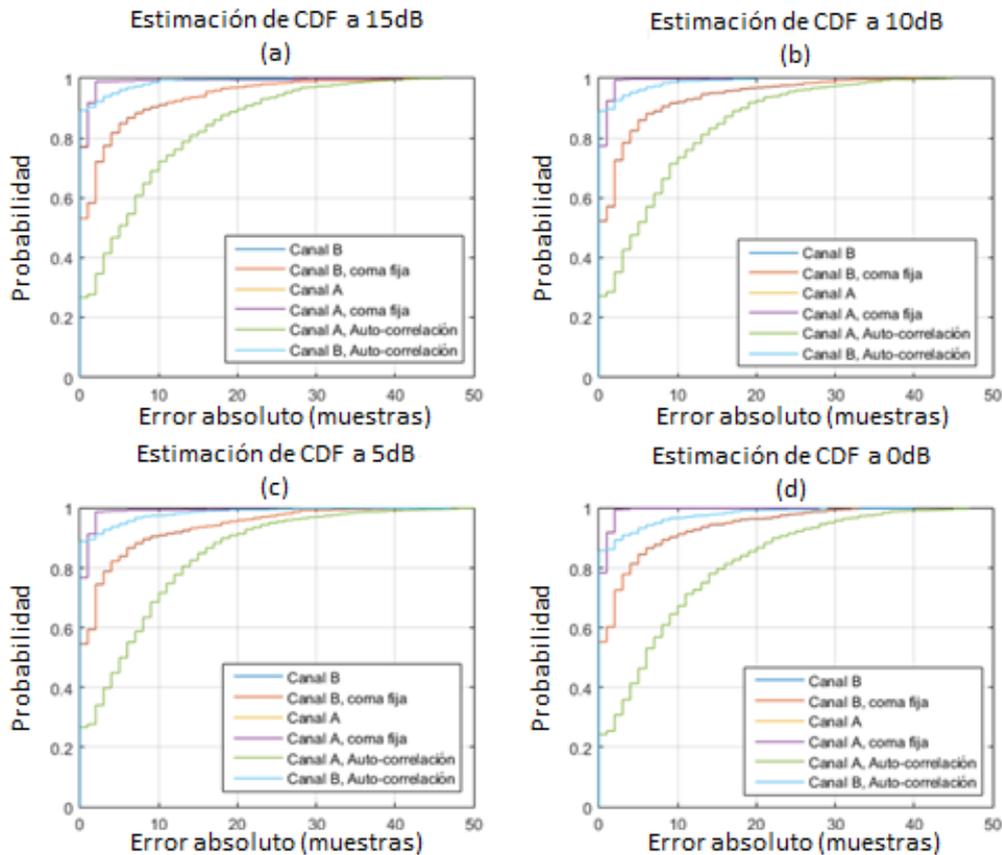


Figura 5.19. Función de distribución acumulativa (CDF) del error absoluto en la estimación del retardo de sincronismo con diferentes valores de SNR, (a) 15 dB, (b) 10 dB, (c) 5 dB, (d) 0 dB, para ambos modelos A y B, para el método de auto-correlación y para las versiones en coma flotante y fija del algoritmo propuesto.

En términos generales, el algoritmo propuesto alcanza un mejor rendimiento que el de auto-correlación, especialmente para el modelo de canal A más complejo, independientemente del valor de SNR. En el caso del modelo de canal B más simple, el enfoque de auto-correlación puede proporcionar una tasa más alta de estimación ideal del retardo de sincronismo, pero, en caso de no lograr una estimación perfecta, los errores en la estimación de retardo son mayores que el algoritmo de correlación cruzada propuesto. Además, la arquitectura basada en FPGA propuesta para la implementación en coma fija proporciona diferencias despreciables frente a la coma flotante (observe en la Figura 5.19 que ambos trazados casi se superponen). Teniendo en cuenta los valores de SNR analizados, se puede observar la inmunidad al ruido de la propuesta, ya que el rendimiento no se degrada a medida que aumenta el nivel de ruido.

5.4 Arquitectura eficiente para la implementación de la estimación e igualación de canal

La Figura 5.20 muestra el diagrama de bloques propuesto para todo el sistema de comunicación basado en FBMC para PLC, que incluye un transmisor y un modelo de canal, así como una etapa de sincronismo y estimación e igualación de canal en el receptor FBMC.

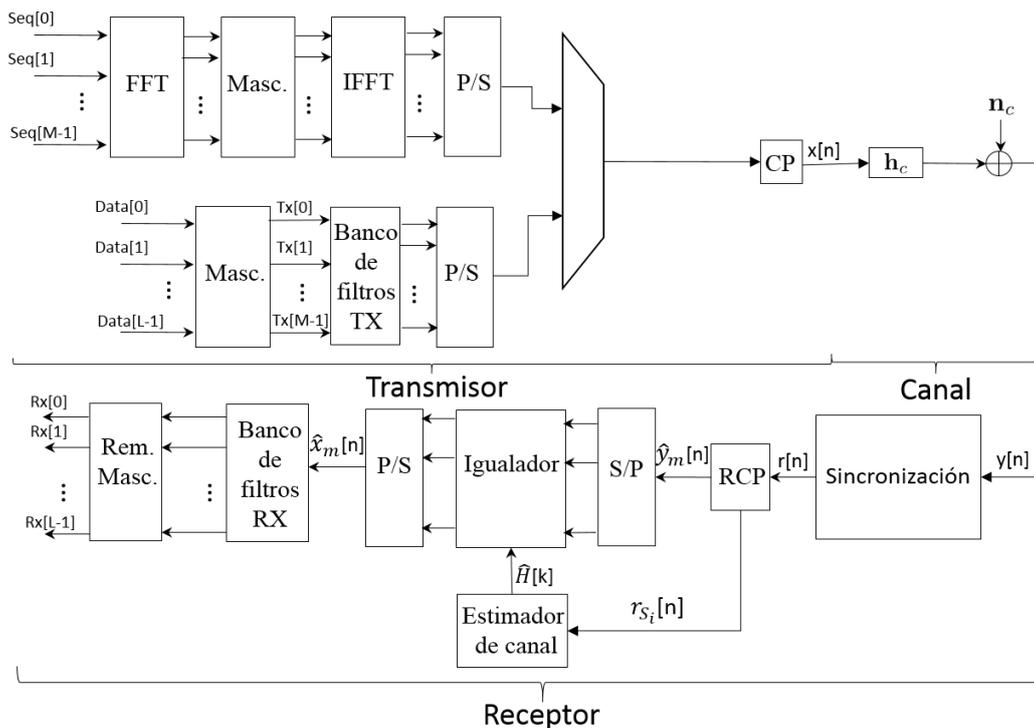


Figura 5.20. Diagrama de bloques del sistema FBMC propuesto para comunicaciones PLC.

Después de haber presentado las diferentes posibilidades a utilizar como estimadores e igualador de canal, se presenta a continuación el diseño de una arquitectura eficiente para la implementación del estimador de canal propuesto, siendo capaz de eliminar gran parte del ruido añadido en el canal a la hora de estimar el canal y siendo el que presenta mejores resultados. Al mismo tiempo se aborda el igualador en frecuencia propuesto frente al igualador ASCET en dominio temporal, siendo en gran parte más sencillo de implementar a la vez que se consiguen mejores resultados. El sistema se implementa para el uso de CP, habiéndose observado que emplear el CP permite obtener una SNR entrada-salida que duplica a la obtenida sin uso de CP.

Algunos trabajos previos ya abordaron la implementación de modulaciones de portadoras múltiples de banco de filtros (FBMC), así como las técnicas de sincronismo para estos enfoques [Berg 14a]. No obstante, hasta donde se conoce, la arquitectura hardware para la estimación e igualación del canal en PLC utilizando FBMC no ha sido ampliamente estudiada en la literatura. El problema más relevante sobre la arquitectura

diseñada es la gran cantidad de recursos necesarios, principalmente provenientes de las diferentes Transformadas de Fourier. Otro inconveniente son las limitaciones en tiempo real del diseño, ya que no es posible la pérdida de ningún dato en la trama transmitida.

En un sistema sincronizado, los datos se adquieren continuamente y se almacenan en una memoria con un tamaño de muestras $M+L_{CP}$, donde M es la longitud del paquete y L_{CP} es la longitud del prefijo cíclico (CP). En la entrada de cada módulo, el CP debe descartarse, por lo que sólo se procesarán realmente M muestras de entrada. Después de eliminar el CP, las siguientes etapas consisten en realizar la estimación del canal, transferir una copia de los símbolos piloto transmitidos a una memoria ROM, y obtener el canal $\hat{\mathbf{H}}$ estimado, que se almacena en un bloque de memoria. En segundo lugar, con un modelo de canal $\hat{\mathbf{H}}$ estimado que ya está disponible en la memoria, el sistema comienza a recibir los paquetes de datos a igualar, compensando así el efecto del canal y el ruido de la transmisión.

La arquitectura propuesta para el estimador de canal se describe en la Figura 5.21, basada en un estimador de canal LS, que divide la FFT de los símbolos piloto recibidos $\{r_{s_2}[n], r_{s_3}[n]\}$ por los símbolos piloto originales $\{s_2[n], s_3[n]\}$ para obtener un modelo de canal $\hat{\mathbf{H}}$ estimado. Suponiendo que los pilotos transmitidos $\{s_2[n], s_3[n]\}$ ya se conocen, tanto la FFT como la división se calculan *offline*, simplificando así la arquitectura.

En la Figura 5.21, la señal $r_{s_2}[n]$ corresponde al primer símbolo piloto recibido $s_2[n]$. El primer canal estimado $\hat{\mathbf{H}}_{s_0}$ se obtiene de la multiplicación de $R_{s_2}[k]$ por el inverso del primer piloto transmitido $S_2[k]$ almacenado en una ROM, es decir, $1/S_2[k]$, ambos en el dominio de frecuencia. El canal estimado resultante $\hat{\mathbf{H}}_{s_0}$ se almacena en una memoria para su uso posterior. El segundo símbolo piloto recibido $r_{s_3}[n]$ proporciona el segundo canal estimado $\hat{\mathbf{H}}_{s_1}$, después de un procesamiento equivalente. Ambos canales estimados $\hat{\mathbf{H}}_{s_0}$ y $\hat{\mathbf{H}}_{s_1}$ se promedian para obtener $\hat{\mathbf{H}}_{avg}$, por lo que se puede rechazar el ruido.

Para lograr una operación en tiempo real, el diseño se ha paralelizado. Para ello, el ratio de paralelismo R_p es determinado por el número de muestras que la arquitectura procesa simultáneamente, y está estrechamente relacionado con el número de *datapaths* existentes. Cuanto mayor sea el ratio de paralelismo, mayor será el rendimiento, aunque se requieren más recursos. Para establecer el ratio de paralelismo más adecuado, vale la pena señalar que se desea una cantidad reducida de recursos, mientras que el rendimiento debe ser lo suficientemente alto para cumplir con los requisitos de una implementación en tiempo real. Como relación de compromiso, el ratio de paralelismo se ha establecido en $R_p=16$, lo que implica que cada ciclo de reloj se procesa un conjunto de 16 muestras de 18 bits. Este enfoque aumenta considerablemente los recursos requeridos para el diseño final, pero reduce el tiempo de procesamiento en la salida. Otro aspecto a considerar es la precisión de los datos. El

ancho de datos se ha fijado en los valores máximos permitidos por las celdas multiplicadoras DSP48E1 disponibles en los dispositivos de la familia Xilinx 7, para usar solo un DSP48E1 por operación: los símbolos piloto $s_2[n]$ y $s_3[n]$ tienen 25 bits mientras que las señales recibidas $r_{s_2}[n]$ y $r_{s_3}[n]$ tienen 18 bits. Téngase en cuenta que es posible ampliar estos anchos de datos mediante la participación de más de un DSP48E1 por operación. Esta opción se ha estudiado y descartado ya que la mejora fue insignificante en comparación con el aumento en el consumo de recursos.

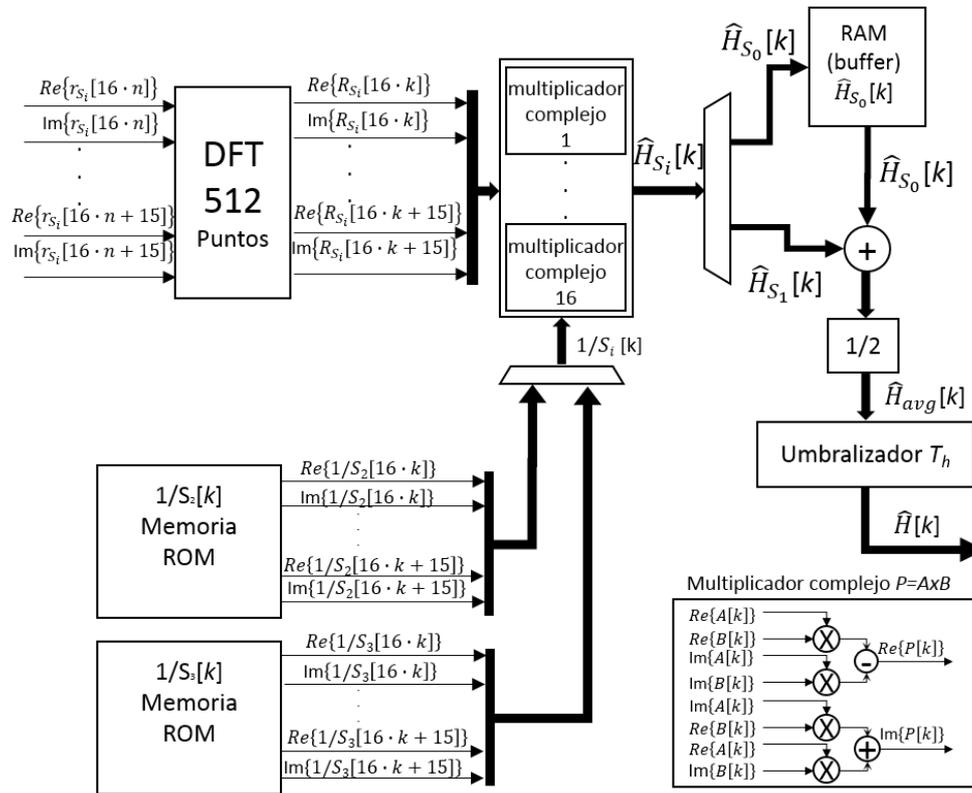


Figura 5.21. Arquitectura propuesta para la implementación del estimador de canal.

La señal \hat{H}_{avg} está umbralizada de acuerdo con (79) para tener en cuenta las bandas de frecuencia afectadas por el ruido del canal, y el modelo de canal resultante \hat{H} se proporciona al igualador.

$$\hat{H}_{avg}[k] = \frac{1}{2} \left(\frac{R_{S_2}[k]}{S_2[k]} + \frac{R_{S_3}[k]}{S_3[k]} \right) \quad (79)$$

$$\hat{H}[k] = \begin{cases} 0 & k < \alpha_L, k > \alpha_H \\ \hat{H}_{avg}[k] & \alpha_L \leq k \leq \alpha_H \\ 0 & |\hat{H}_{avg}[k]| > T_h \end{cases} \quad (80)$$

Por otro lado, la arquitectura del igualador es más compleja, ya que funciona en el dominio de la frecuencia, mientras que su salida $\hat{r}_m[n]$ debe proporcionarse en el dominio del tiempo (véase la Figura 4.14). Esto implica dos FFT de entrada (una para el canal estimado \hat{H} y otra para la señal recibida $r_m[n]$) y una iFFT de salida. Sin embargo,

dato que el canal \hat{H} estimado ya se encuentra en el dominio de la frecuencia, su correspondiente FFT de entrada no es necesaria.

Debido al hecho de que la implementación de dos módulos de Transformada Rápida de Fourier implica un importante consumo de recursos, aquí se propone un nuevo enfoque para reutilizar la FFT de entrada, no sólo para la señal recibida $r_m[n]$ en la Figura 4.14, sino también para la salida iFFT. Esta simplificación se describe en (81) [Nombre 15a]:

$$\hat{r}_m[n] = \text{FFT} \left\{ \frac{1}{N} \cdot (R_m[k] / \hat{H}[k])^* \right\} \quad (81)$$

Donde N es el número de puntos en la FFT; y el operador $*$ es el conjugado de la división de la señal recibida $r_m[n]$ por el canal \hat{H} estimado. El diagrama de bloques utilizado para implementar el igualador propuesto se muestra en la Figura 5.22, teniendo en cuenta que sólo se utiliza un bloque de FFT de 512 puntos para reducir los recursos requeridos.

Las entradas son la señal en el dominio del tiempo adquirida $r_m[n]$ y el canal de dominio estimado \hat{H} en frecuencia. Inicialmente, la señal $r_m[n]$ se convierte en el dominio de frecuencia $R_m[k]$ mediante una FFT, sabiendo que los paquetes entrantes para el igualador tienen $M=512$ muestras. La FFT tiene 32 entradas, donde las pares corresponden a la parte real y las impares a la parte imaginaria. Al paralelizar la FFT por un factor de $R_p=16$, los paquetes de datos sólo necesitan 32 ciclos de reloj para entrar completamente en la FFT.

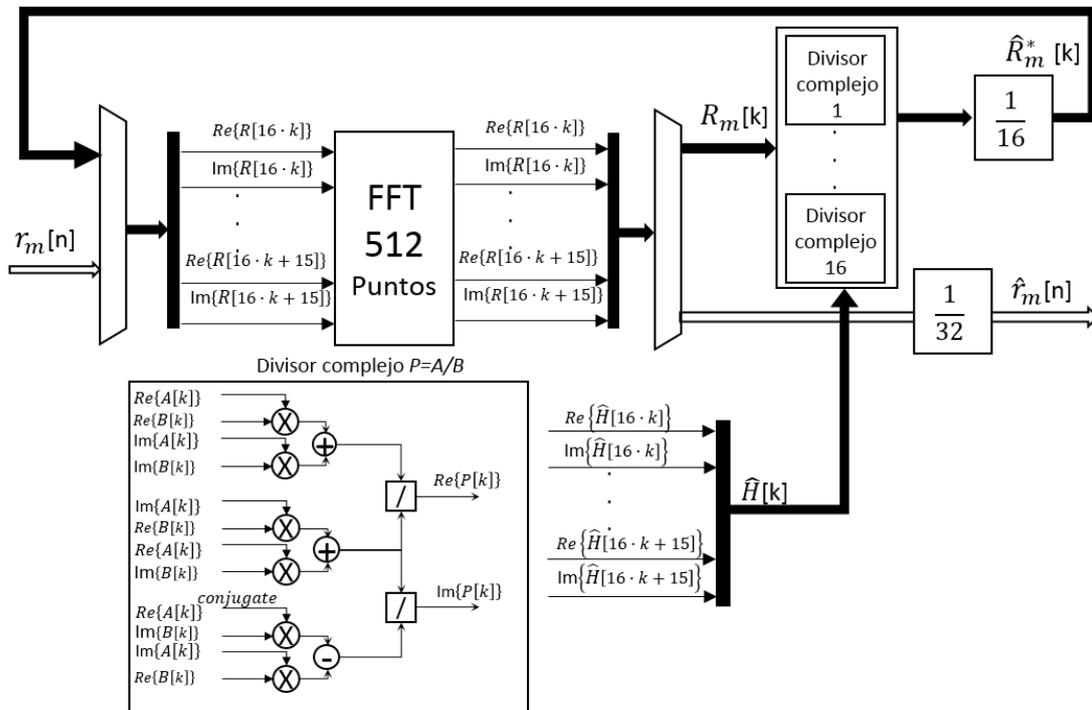


Figura 5.22. Arquitectura propuesta para la implementación del igualador de canal.

Después de calcular la FFT de la señal recibida $r_m[n]$, la división compleja por el canal estimado \hat{H} se lleva a cabo, utilizando un esquema CORDIC (*COordinate Rotation Digital Computer*), y las salidas $\hat{R}_m[k]$ son retroalimentados a la DFT para obtener las señales finales $\hat{r}_m[n]$ en el dominio del tiempo. Las divisiones involucradas en la salida del módulo de división compleja (1/16) y en la salida final (1/32) corresponden al término $1/N$ en (81), donde $N=16 \cdot 32=512$ es el número de puntos en la FFT. Estos factores de escala están separados para evitar la pérdida de resolución en el sistema. Como el factor de división es una potencia de dos, se implementa desplazando los bits del dato.

Después de analizar las arquitecturas para el estimador de canal y el igualador de forma independiente, vale la pena señalar que ambos requieren una FFT de 512 puntos. Para reducir el consumo de recursos, ambas arquitecturas se pueden unificar compartiendo el módulo FFT y los multiplicadores complejos. La Figura 5.23 muestra esta simplificación, utilizando los mismos multiplicadores para los productos parciales internos ($pac, pdc, pcc, pdd, pbc, pad$) compartidos en ambas operaciones complejas.

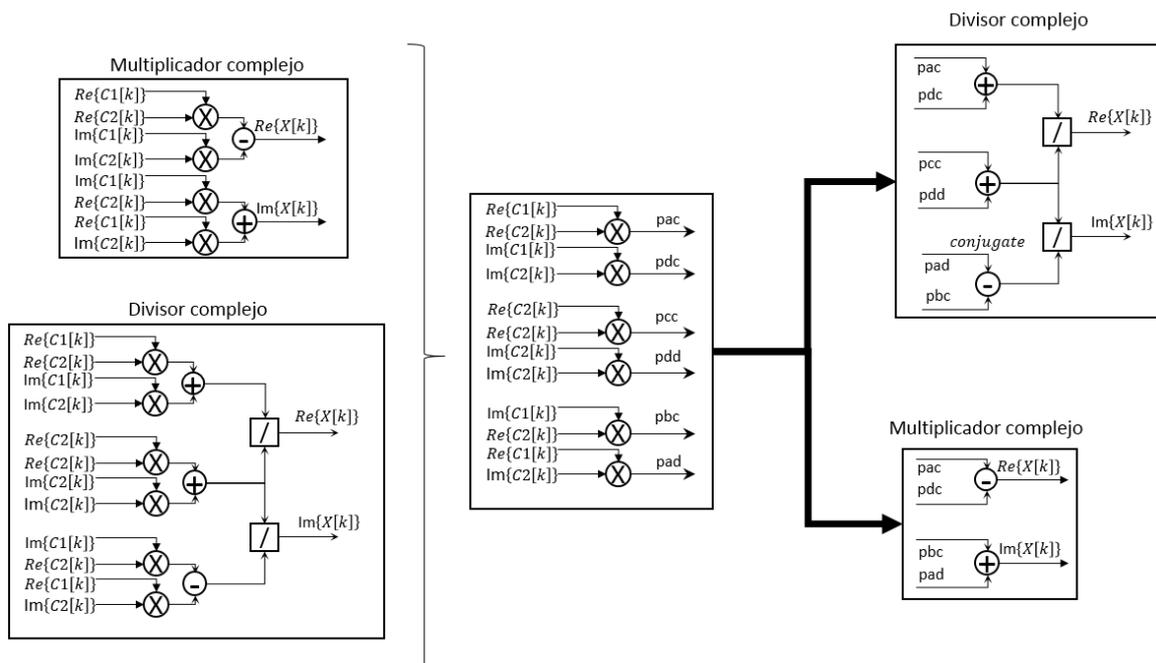


Figura 5.23. Arquitectura unificada propuesta para los multiplicadores complejos tanto en el estimador de canal como en el igualador.

Si los módulos descritos en la Figura 5.23 se implementan independientemente, se requieren 10 multiplicadores. Sin embargo, el diseño propuesto aquí computa los productos intermedios de una manera general, por lo que se pueden combinar más adelante, obteniendo así una reducción de 4 multiplicadores para la operación compleja. Esta reducción aún se vuelve más significativa cuando se considera una relación de paralelismo de $R_p=16$ en el diseño, ya que el número final de multiplicadores

se reduce 64 veces. La Figura 5.24 muestra el diagrama de bloques final con ambos módulos unificados, así como el uso de solo una FFT.

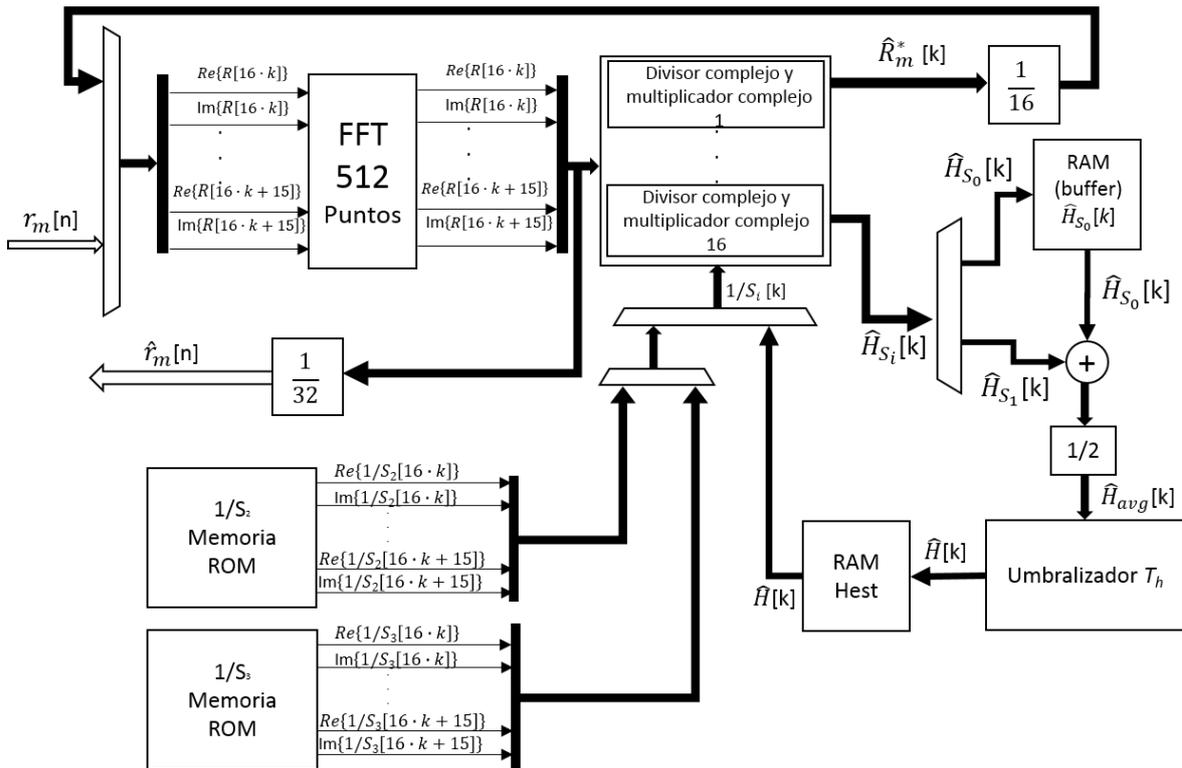


Figura 5.24. Arquitectura final para la simplificación unificando tanto el estimador de canal como el igualador.

Las arquitecturas para la estimación e igualación de canales descritas anteriormente se han implementado en una tarjeta de evaluación KC705, basada en un FPGA Kynx XC7K325T de Xilinx, Inc. Con respecto al consumo de recursos, la Tabla 5.5 muestra los elementos requeridos y la tasa de utilización correspondiente para el diseño propuesto. El consumo de ciertos recursos es alto debido a los requisitos en tiempo real. Sin embargo, es importante considerar la reducción de recursos lograda, especialmente en el número final de multiplicadores. El diseño propuesto inicialmente tenía un total de 440 multiplicadores, más del 50% de los multiplicadores disponibles en el dispositivo Xilinx XC7K325T. El nuevo diseño requiere sólo 236 multiplicadores, logrando casi un 50% de mejora con respecto a la versión original.

Tabla 5.5. Consumo de recursos y porcentaje de utilización para el sistema propuesto implementado en una FPGA kynx XC7K325T.

Recursos	Flip-Flops	LUTs	BRAMS	DSP48E1
Sistema total	54299 (13.3%)	44103 (19.1%)	72 (8.1%)	236 (28.1%)
Estimador	18778 (4.6%)	14213 (7%)	56 (6.3%)	204 (24.3%)
Igualador	49694 (12.2%)	38310 (18.8%)	64 (7.2%)	236 (28.1%)

Además, la Tabla 5.6 detalla el rendimiento y el consumo de recursos del módulo FFT para diferentes valores del ratio de paralelismo R_p para mostrar la influencia de este parámetro en el rendimiento final de la arquitectura. En aras de la claridad, el análisis se ha centrado sólo en el bloque FFT, ya que éste es el más exigente.

Tabla 5.6. Rendimiento de la FFT según el ratio de paralelismo R_p .

R_p	DSP48E1	BRAM	Latencia (ciclos)	Tiempo de procesamiento (ciclos)
4	44	20	414	128
8	68	32	240	64
16	140	64	155	32
32	256	96	100	16
64	504	192	73	8

Como se muestra en la Tabla 5.6, se logra una latencia y un tiempo de procesamiento menor para R_p elevadas, pero se aumenta la cantidad de recursos. Se elige un paralelismo $R_p=16$ porque el consumo de recursos de la FFT no es muy alto y el tiempo de procesamiento se adapta a las necesidades del sistema. La elección de un R_p diferente implica aumentar el resto de los recursos de los bloques que componen el sistema, principalmente el consumo de DSP48E1, por lo que el ajuste adecuado de este valor es crítico para el sistema.

La arquitectura del estimador de canal e igualador de canal funciona a una frecuencia de reloj de 100MHz, mientras que la velocidad de datos de entrada es de 50Msps, entregando 512 muestras cada 64 ciclos de reloj (desde $R_p=16$, 16 muestras de 18 bits cada 2 ciclos de reloj). La frecuencia de entrada al sistema receptor completo es de 50MHz, duplicando la frecuencia en el bloque de estimación e igualación se consigue que el proceso más lento del sistema se realice en la mitad de ciclos de reloj. Como se mencionó anteriormente, las muestras de entrada $M+L_{CP}$ son necesarias, donde $M=512$ es el número de subportadoras y $L_{CP}=384$ es la longitud del CP. Esto implica que se requieren $2 \cdot (M+L_{CP})$ ciclos de reloj trabajando a una frecuencia de reloj de 100MHz para recibir un nuevo paquete de datos por completo.

En esta arquitectura, es posible definir una latencia relacionada con la estimación del canal y otra para el igualador. El estimador de canal presenta una latencia de 310 ciclos de reloj, el tiempo suficiente para evitar la superposición al recibir nuevos paquetes de datos. Para el igualador, la latencia es más alta ya que se calculan dos FFT. Esta latencia es de 658 ciclos de reloj, también evitando cualquier superposición a la entrada de paquetes. Puede ser posible reducir estas latencias, aunque implica un aumento considerable en el consumo de recursos.

Además, se ha estudiado el error de cuantificación debido al uso de una representación de punto fijo en el diseño de FPGA. Se ha llevado a cabo una comparación con la versión de punto flotante, no sólo en las salidas $\hat{r}_m[n]$ del estimador

de canal e igualador, sino también en las entradas $r_m[n]$ y $r_{S_i}[n]$ para ambos módulos. La Tabla 5.7 muestra el error relativo máximo y el error relativo promediado obtenido después de 1000 simulaciones para diferentes realizaciones del modelo del canal B de Tonello y ruidos de canal con una SNR de 10dB [Tonel 12] [Tonel 07]. Estas cifras se han obtenido para la representación en coma fija definida en la Tabla 5.8, aplicada a las diferentes variables existentes en el camino de los datos en la arquitectura final que se muestra en la Figura 5.21. Téngase en cuenta nuevamente que estos valores están determinados principalmente por los anchos de datos proporcionados por las celdas DSP48E1

Tabla 5.7. Error de cuantificación en las señales más relevantes del estimador de canal y del igualador debido a la representación en coma fija.

	Máximo error relativo	Error relativo medio
Entradas $r_m[n]$ y $r_{S_i}[n]$	1.85%	0.95%
Canal estimado \hat{H}	1.70%	0.55%
Salida del igualador $\hat{r}_m[n]$	1.87%	0.60%

Tabla 5.8. Representación en coma fija de las principales señales en la arquitectura propuesta.

Señales y variables	Número total de bits	Bits parte fraccionaria
$r_m[n]$	18	8
$x[n]$	18	8
$X[k]$	18	8
$S_o[k]$	25	15
$\hat{H}[k]$	18	8
$\hat{R}_m[k]$	18	8
$\hat{r}_m[n]$	18	8

5.5 Desarrollo de una plataforma para pruebas experimentales

Para la conexión entre la arquitectura del emisor/receptor implementado y el canal de comunicaciones PLC se emplea un AFE (*Analog front end*) basado en el dispositivo MAX2981. Este AFE permite tanto la transmisión como la recepción mediante las configuraciones de sus registros y señales externas. La parte de recepción consiste en un amplificador de ganancia variable (VGA), un filtro pasa bajo (LPF), un filtro paso alto (HPF), un amplificador de ganancia ajustable (AGC) y un convertor analógico-digital (ADC). El VGA reduce el ruido de entrada, mientras el AGC escala la señal para la conversión analógica-digital. El ADC de 10 bits muestrea la señal a 50Msps.

El bloque transmisor consta de un convertor digital-analógico (DAC) de 10 bits, un filtro paso bajo (LPF), y una etapa de ganancia ajustable. El DAC convierte la cadena

de 10 bits digitales en una tensión analógica con un reloj de 50MHz. El LPF elimina armónicos adyacentes para ayudar a reducir el efecto de las frecuencias fuera de banda a la salida del DAC. El buffer genera el nivel de tensión necesario para conectar directamente a la entrada de la red. El nivel de salida es ajustable entre 1.4Vpp y 4Vpp.

La interfaz digital de control está compuesta por varias señales de control y un bus de datos bidireccional de 10 bits del ADC y del DAC, así como una interfaz SPI para configurar los registros internos del AFE. En la Tabla 5.9 se detallan las principales señales que configuran el MAX2981.

Tabla 5.9. Señales de control y bus de datos del dispositivo MAX2981.

Señal	Descripción
ENTX	Habilita la transmisión.
SHRCV	Se debe conectar a ENTX y ENREAD para operación normal.
ENREAD	Indica la dirección del bus de datos. Si ENTX y ENREAD están a nivel alto, el dato DAD[9:0] se envía al DAC. ‘High’: dato PHY→DAC ‘Low’: dato ADC→PHY
CLK	Reloj del sistema de 50MHz.
RESET	Reset del sistema a nivel bajo, debe mantenerse como mínimo 100ns a nivel bajo.
STBY	Suspensión del sistema a nivel alto, haciendo que se consuma menor corriente.
DAD[9:0]	Señal de entrada-salida de los datos digitales que se envían o reciben. La conversión analógica-digital se controla por ENREAD.

La principal desventaja que presenta este tipo de AFE es el ancho de banda permitido en la transmisión. Para comprobar de forma real el ancho de banda del que se dispone para transmitir con el MAX2981, se realizan diferentes transmisiones con una secuencia predefinida alojada en diferentes subportadoras del FBMC. La Figura 5.26 muestra los resultados obtenidos para cada transmisión con diferentes rangos de frecuencia.

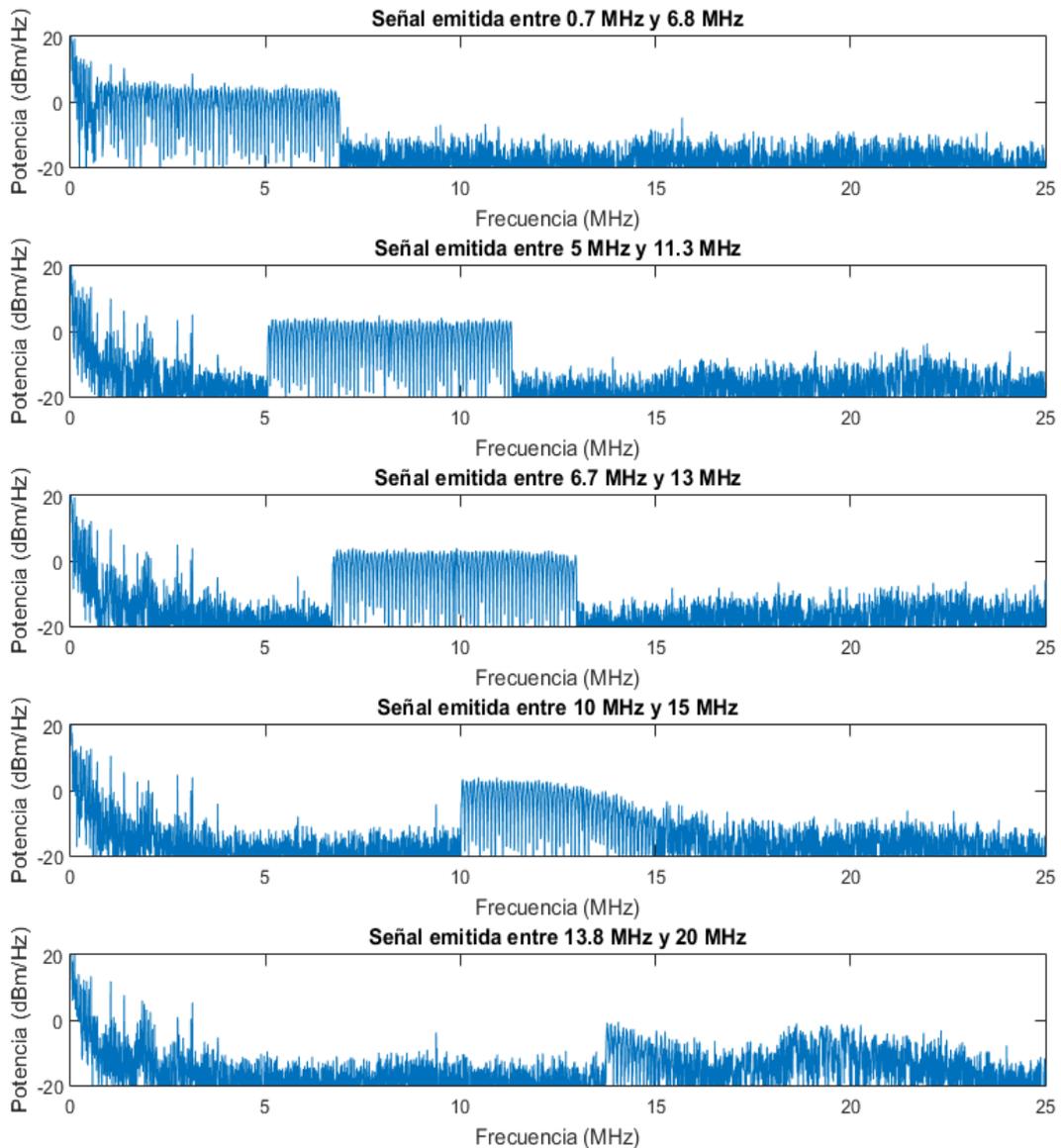


Figura 5.25. Diferentes rangos de frecuencias de transmisión en el MAX2981.

Como se comprueba en la Figura 5.26, a partir de 13MHz la señal comienza a atenuarse, siendo prácticamente irre recuperable a partir de 15MHz. La Figura 5.27 muestra la superposición de las gráficas de la Figura 5.26 para comprobar el ancho de banda real de transmisión en el AFE.

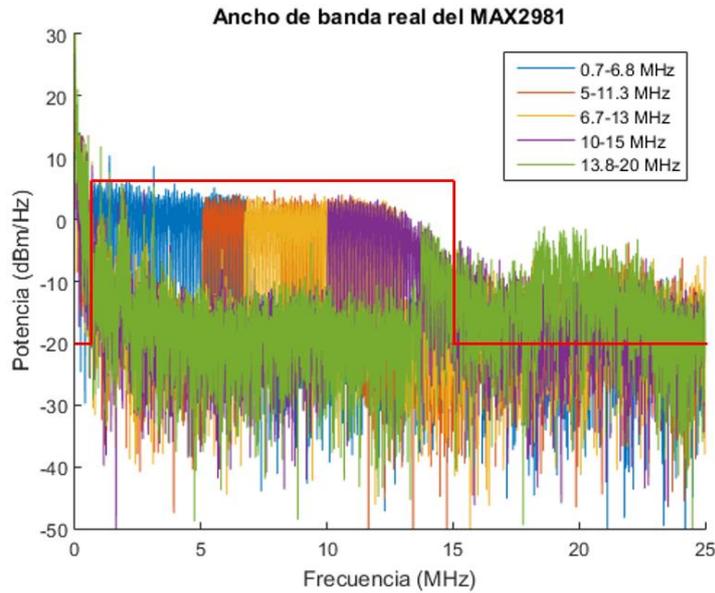


Figura 5.26. Ancho de banda real obtenido del MAX2981.

Esto limita aún más el número de subportadoras habilitadas para la transmisión, recordando que la máscara marcada por el estándar PLC reduce de 512 subportadoras a 360 subportadoras, que equivale a 26 MHz de ancho de banda. Siendo así, para adaptarse al ancho de banda marcado por el AFE, es necesario reducir a 174 subportadoras el número de canales habilitados para el envío de datos, anulando el resto de ellas. La Figura 5.27 muestra la comparación entre ambas máscaras. Como se observa, al utilizar este tipo de AFE se limita el ancho de banda de 31,25 MHz del canal PLC a 15 MHz.

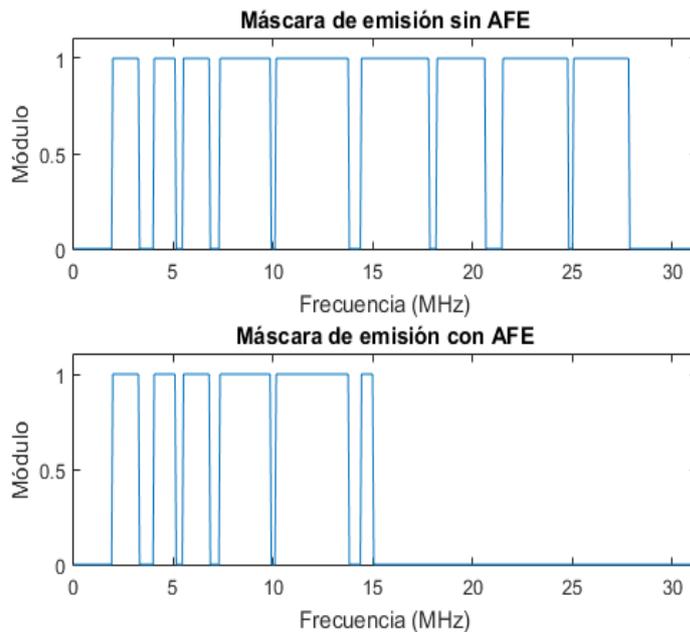


Figura 5.27. Comparativa entre las máscaras de emisión PLC para las versiones con y sin AFE.

5.6 Arquitectura propuesta para el transmisor

La Figura 5.28 representa el diagrama de bloques de la implementación del módulo transmisor. La trama de datos a emitir se filtra con la máscara y se almacena en una ROM que entrega los datos al módulo del banco de filtros [Poude 14]. Posteriormente a la modulación del banco de filtros, se añade el CP antes de emitir los datos (bloque CP de la Figura 5.28). Para insertar el CP se emplean dos BRAM de llenado y vaciado sucesivos (arquitectura ping-pong), de tal forma que mientras una está leyendo los datos e insertando el CP, en la otra se almacenan los datos de salida del banco de filtros, consiguiendo enviar sucesivamente la trama sin necesidad de parar el sistema.

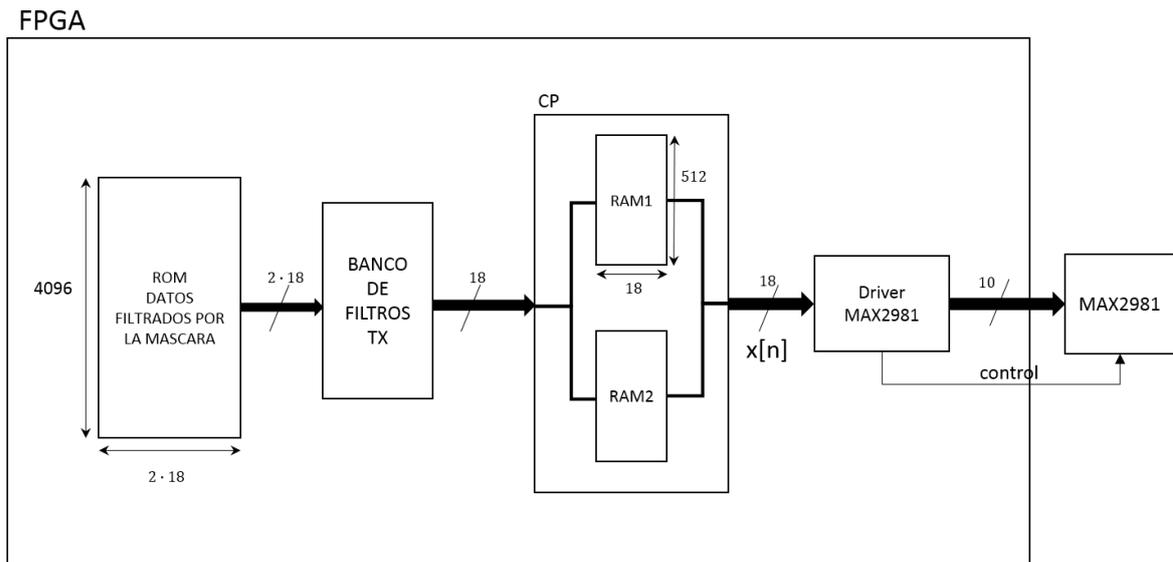


Figura 5.28. Diagrama de bloques del sistema transmisor.

En este punto se explica la adaptación de frecuencias para poder insertar de forma correcta el CP sin perder datos de la modulación. Como se vio anteriormente, el AFE empleado necesita una frecuencia de funcionamiento de 50MHz, haciendo que la parte de lectura de lectura del bloque CP tenga que funcionar a esta frecuencia. Para obtener la frecuencia de escritura del bloque CP se aplica (82).

$$\frac{M + CP}{M} = \frac{F_{clk,AFE}}{F_{clk,FB}} \quad (82)$$

Donde M es el número de canales con los que cuenta el banco de filtros; L_{CP} la longitud del prefijo cíclico que se añade; $f_{clk,AFE}$ la frecuencia de funcionamiento del AFE; y $f_{clk,FB}$ la frecuencia de funcionamiento del banco de filtros. En el caso presentado, la frecuencia $f_{clk,AFE}$ es conocida y de valor 50MHz, así como $M=512$ canales, quedando por determinar los parámetros L_{CP} y $f_{clk,FB}$. Forzando que el CP tenga una longitud $L_{CP}=384$ muestras se obtiene lo descrito en (83).

$$\left. \begin{array}{l} M = 512 \\ CP = 384 \end{array} \right\} \frac{M+CP}{M} = 1.75 \rightarrow F_{clk,FB} = 1.75 \cdot F_{clk,AFE} \quad (83)$$

$$F_{clk,FB} = 28.5 \text{ MHz}$$

La Figura 5.29 representa la distribución de las frecuencias en el diagrama de bloques del módulo del transmisor.

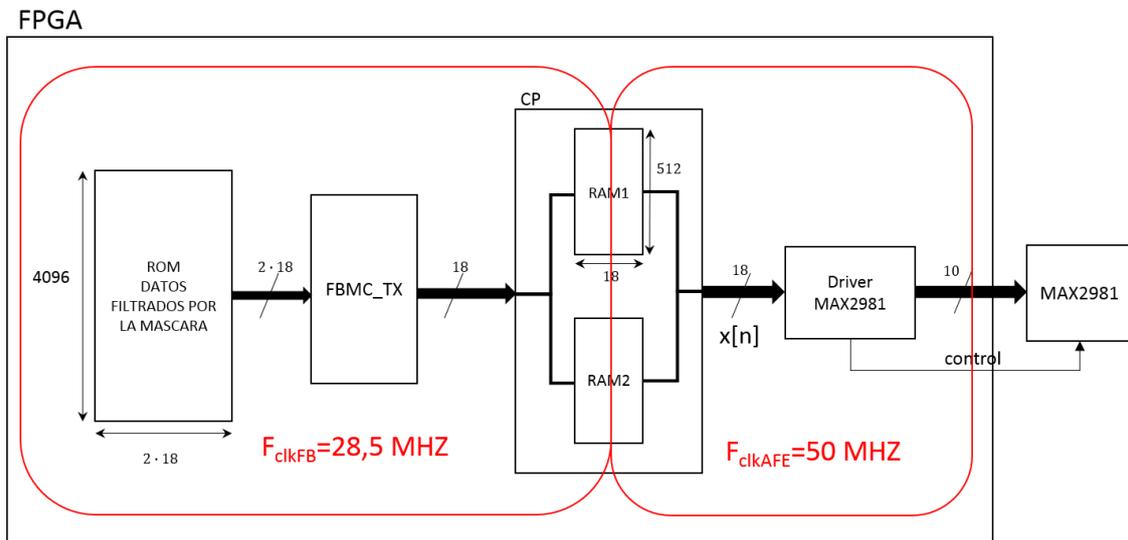


Figura 5.29. Diagrama de bloques con los dominios de reloj definidos en la arquitectura propuesta.

Por último, la trama de datos con CP añadido se adapta para el envío por el AFE en el bloque Acoplador_TX (véase la Figura 5.29). La Figura 5.30 muestra el diagrama interno del bloque Acoplador_TX.

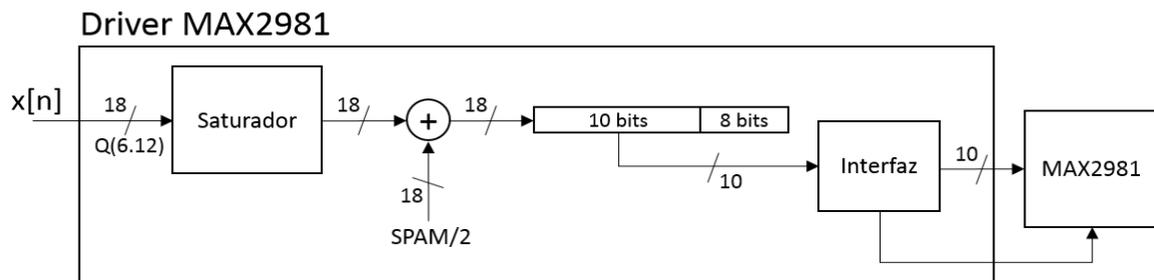


Figura 5.30. Diagrama de bloques interno del módulo Acoplador_TX.

Los datos de entrada $x[n]$ al driver del MAX2981 tienen una anchura de 18 bits, de los cuales 6 bits corresponden a la parte entera y 12 bits a la parte fraccionaria. Estos datos pasan por un saturador (véase la Figura 5.30) para obtener el rango máximo de SPAN posible de la señal de entrada al AFE, quedando en la conversión con 4 bits de parte entera y 14 bits de parte fraccionaria. Debido a que el AFE empleado en la capa física no admite datos negativos, se suma un offset a la trama consiguiendo que el rango de la señal pase de $[\pm V_p/2]$ a $[0 \dots V_p]$, siendo V_p la tensión máxima de entrada al AFE.

Debido a que la entrada del AFE únicamente admite 10 bits, se recorta la señal previamente adaptada, de tal forma que se entregan únicamente los bits de mayor peso

para su emisión. Finalmente son 4 bits de parte entera y 6 bits de parte fraccionaria los datos de entrada al MAX2981 para su transmisión por el canal de comunicaciones. La Tabla 5.10 muestra el consumo de recursos del sistema transmisor necesario para la implementación en una FPGA de la familia Virtex5, empleando la tarjeta de desarrollo GENESYS 2.

Tabla 5.10. Consumo de recursos y porcentaje de utilización para el sistema propuesto implementado en una FPGA VIRTEX5 XC5VLX50T.

Recursos	Flip-Flops	LUTs	BRAMS	DSP48E1
Transmisor	4610 (16%)	5234 (18%)	28 (46%)	48 (100%)

El transmisor modula los datos a emitir mediante el banco de filtros presentado en [Poude 14], y posteriormente se añade un prefijo cíclico (CP) para eliminar la ISI causada por la transmisión por el canal.

5.7 Arquitectura global propuesta para el receptor

La Figura 5.31 muestra el diagrama de bloques utilizado en el receptor para PLC de banda ancha. Las etapas destacadas en el diseño son el sincronismo de datos entre el transmisor y el receptor, la estimación y posterior igualación del canal de transmisión, y la posterior demodulación de los datos. El demodulador utilizado es un banco de filtros FBMC multi-portadora explicado en detalle en [Poude 14].

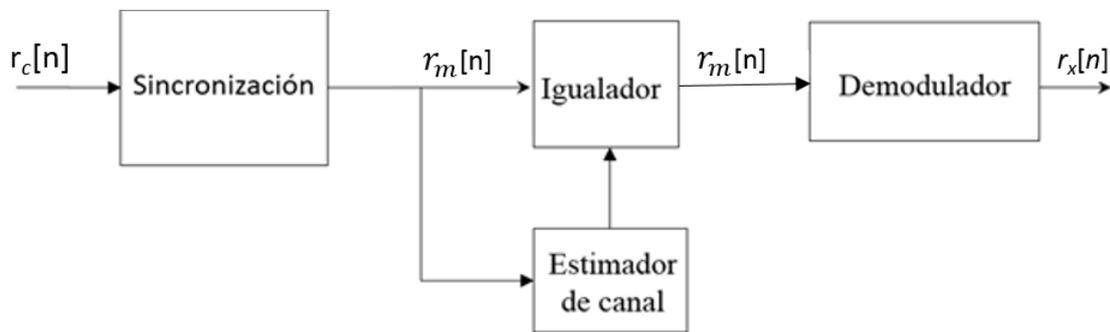


Figura 5.31. Diagrama de bloques del receptor empleado para PLC de banda ancha.

En la Figura 5.32 se muestra un diagrama de bloques de la arquitectura propuesta para la implementación eficiente de los algoritmos detallados para el sincronismo, y la estimación e igualación de canal, en la cual se distinguen dos fases. En la primera etapa los datos de entrada $r_c[n]$ son almacenados en una memoria a la vez que se procesan en el algoritmo de sincronización. En la siguiente etapa, una vez sincronizado el sistema, se leen de forma ordenada los datos previos de la memoria $r_m[n]$ y son entregados al bloque de estimación e igualación de canal para su evaluación.

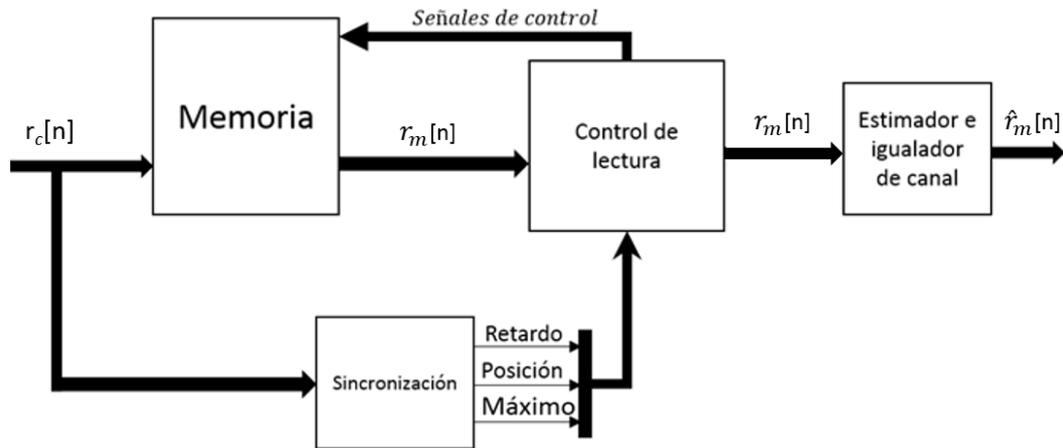


Figura 5.32. Diagrama de bloques de la arquitectura propuesta.

La arquitectura para la sincronización, estimación e igualación descrita anteriormente se ha implementado sobre una tarjeta de evaluación KC705, basada en una FPGA Kintex XC7K325T de Xilinx, Inc. La arquitectura trabaja a una frecuencia de 50MHz, con $M=512$ subcanales y una longitud de prefijo cíclico $L_{CP}=384$ muestras. La Tabla 5.11 muestra el consumo de recursos obtenido en dicha FPGA, así como la tasa de utilización correspondiente para el diseño propuesto. El consumo de ciertos recursos, como el número de celdas DSP48E1, es alto debido a los requisitos de tiempo real del sistema.

Tabla 5.11. Consumo de recursos detallado del sistema en la FPGA XC7K325T.

Recursos	Flip-Flops	LUTs	BRAMS	DSP48E1
<i>Sistema total</i>	93182 (22%)	75386 (36%)	249 (28%)	559 (66%)
<i>Sincronismo</i>	32348 (7.90%)	26345 (12.9%)	111 (12.47%)	272 (32.38%)
<i>Estimador e igualador de canal</i>	56124 (13.77%)	45388 (22.27%)	76 (8.50%)	236 (28.10%)
<i>Banco de filtros RX</i>	4160 (1%)	3227 (1.5%)	58 (6.50%)	51 (6.07%)

5.8 Resultados experimentales

El transmisor ha sido implementado en una plataforma de desarrollo GENESYS de Digilent, Inc. Genera un CP de $L_{CP}=384$ muestras, y se ha conectado a la red eléctrica a través de un front-end analógico (AFE) basado en el MAX2981, de Maxim Integrated. Este dispositivo restringe el ancho de banda a 15MHz, por lo que no es posible utilizar las 360 subportadoras disponibles en un ancho de banda de 26MHz, de acuerdo con el estándar PLC. Solo las primeras 174 subportadoras disponibles se han usado en las pruebas experimentales y, en consecuencia, se usa una secuencia Zadoff-Chu de 174 bits para la transmisión, emitiendo las partes real e imaginaria en diferentes paquetes.

Se han definido dos casos/escenarios, A y B, para dos longitudes diferentes de la red eléctrica, a fin de verificar la viabilidad de la propuesta y la arquitectura diseñada. En el primer caso A, hay una distancia de 20m entre el transmisor y el receptor, mientras que, en el segundo B, la distancia es de 30m. En ambos casos, el escenario corresponde a la red eléctrica de un laboratorio de investigación, donde otros equipos, como computadoras, monitores, etc., están conectados a la misma red eléctrica donde se realizan las pruebas.

La Figura 5.33 muestra un ejemplo de una comparación entre la señal $x[n]$ transmitida a la salida del emisor y la señal $r_c[n]$ adquirida a la entrada del receptor para ambos escenarios A y B, donde es posible observar la atenuación de la señal a través de la red eléctrica.

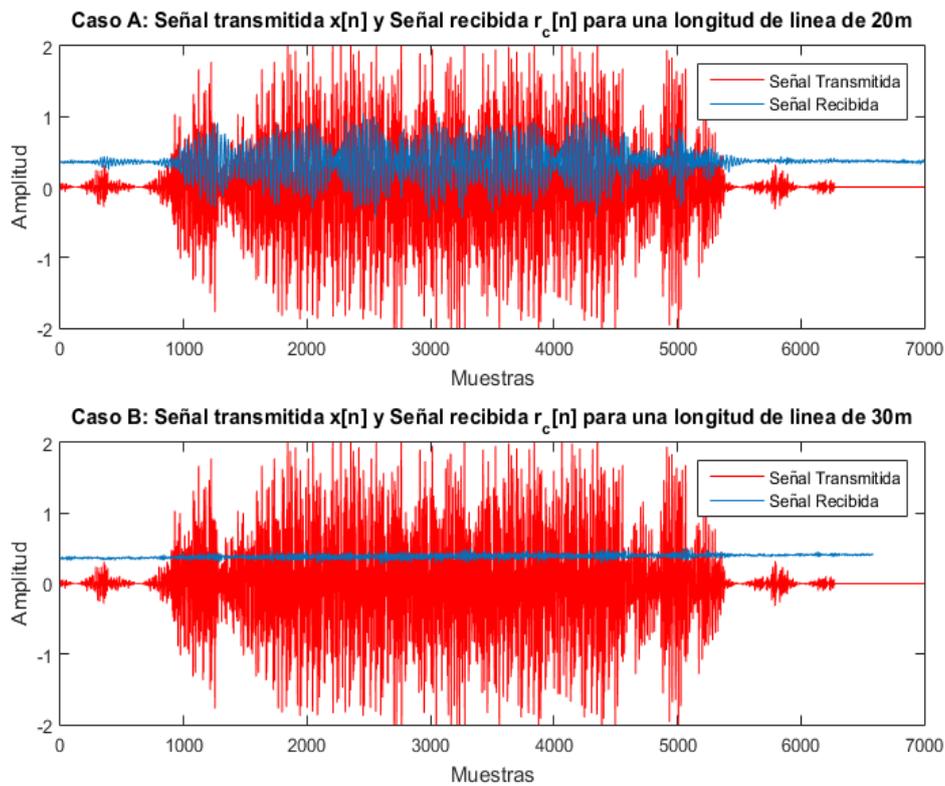


Figura 5.33. Señales transmitidas y recibidas a través de la red para ambos casos A y B.

La Figura 5.34 representa el espectro de la señal $x[n]$ transmitida por el AFE, en comparación con el espectro de la señal adquirida $r_c[n]$ para ambos escenarios de prueba A y B. La atenuación puede observarse nuevamente. Para las señales transmitidas, el ancho de banda de 15MHz disponible se puede identificar fácilmente.

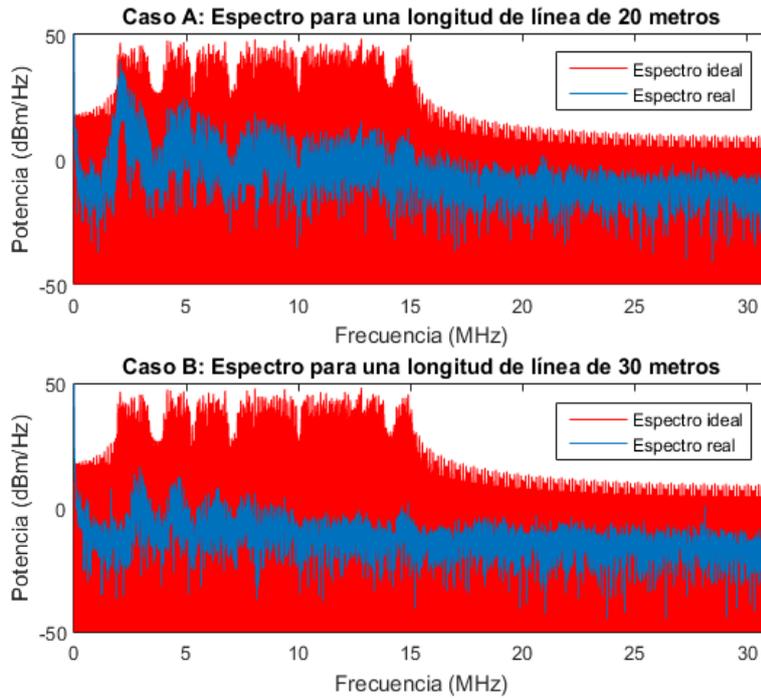


Figura 5.34. Espectro de las señales transmitidas y recibidas, $x[n]$ y $rx[n]$, a través de la red para los casos de prueba A y B.

Se ha llevado a cabo un conjunto de 10 transmisiones para cada longitud A y B, y se ha aplicado el algoritmo de estimación de canal propuesto para obtener un modelo de canal de transmisión \hat{H} . La Figura 5.35 muestra la respuesta de frecuencia estimada del modelo de canal promediado \hat{H} , obtenido por el estimador de canal propuesto.

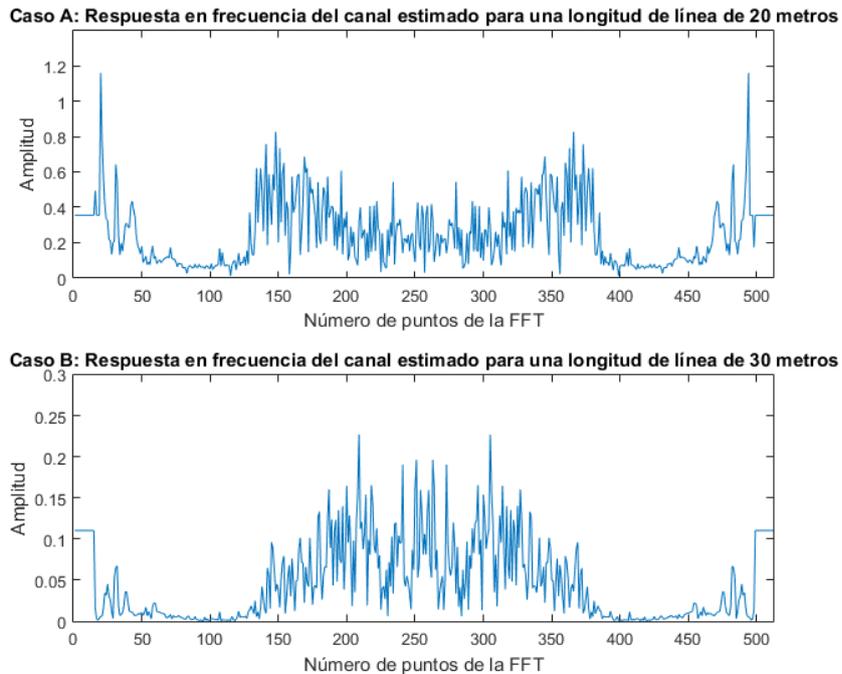


Figura 5.35. Respuesta en frecuencia del modelo de canal estimado \hat{H} obtenido para ambos casos A y B.

Finalmente, la salida del igualador $r_m[n]$ se ha conectado al banco de filtros de análisis y se ha eliminado la máscara de transmisión del PLC para recuperar las 174 muestras de datos de cada paquete, obteniendo así la información recibida $r_x[n]$. La Figura 5.36 y la Figura 5.37 muestran la secuencia de Zadoff-Chu $S_i[n]$ recuperada en ambos escenarios A y B, después de aplicar el estimador de canal y el igualador propuestos.

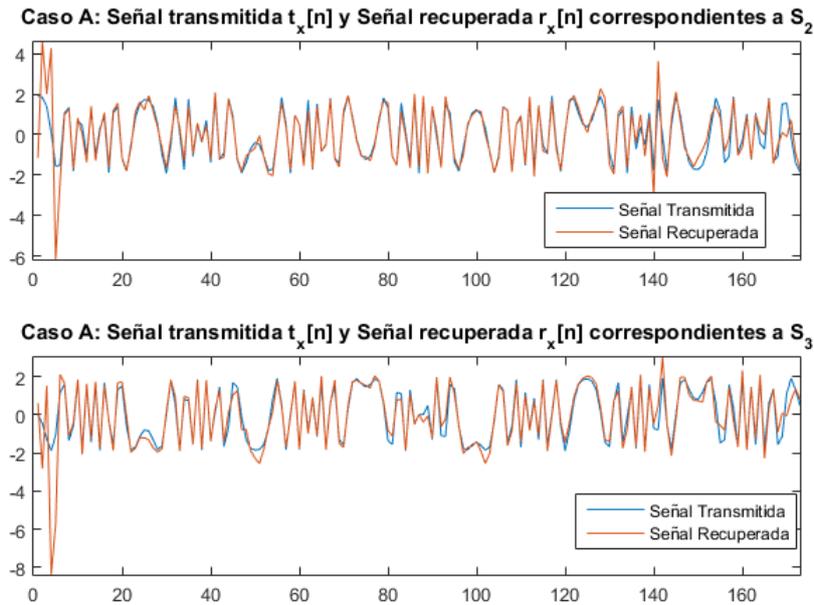


Figura 5.36. Parte real de las señales transmitidas $\{S_2[n], S_3[n]\}$ y las correspondientes recuperadas $r_m[n]$ después de aplicar el estimador de canal propuesto y el igualador para el caso de prueba A.

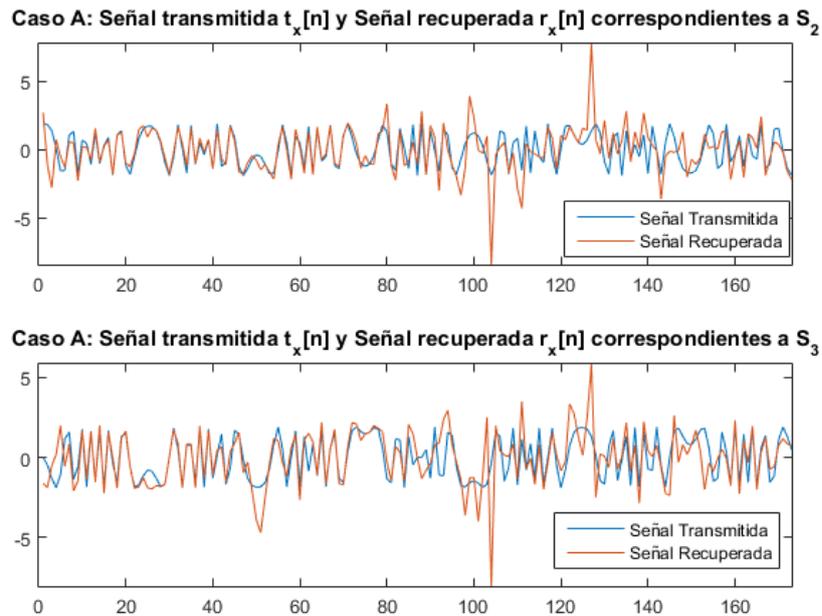


Figura 5.37. Parte real de las señales transmitidas $\{S_2[n], S_3[n]\}$ y las correspondientes recuperadas $r_m[n]$ después de aplicar el estimador de canal propuesto y el igualador para el caso de prueba B.

La Tabla 5.12 detalla la SNR para los ejemplos en la Figura 5.36 y la Figura 5.37, de acuerdo con (84). En este caso, las SNR se obtienen para las 174 señales recuperadas $r_m[n]$ para las entradas $S_2[n]$ y $S_3[n]$ en ambos escenarios A y B. En la Tabla 5.12, las SNR inferiores a -15 dB se consideran atípicas y se descartan para promediar. También se proporciona la cantidad de valores atípicos encontrados en cada escenario. Como se puede observar, los algoritmos implementados son capaces de reconstruir las señales transmitidas con precisión, sin tomar en cuenta los valores atípicos más significativos.

$$\text{SNR}[n] = 20 \cdot \log_{10} \left(\frac{t_x[n]}{t_x[n] - r_x[n]} \right) \quad (84)$$

Tabla 5.12. Relación señal-ruido (SNR) de las señales recuperadas para los escenarios de prueba A y B.

	Caso B (S_2)	Caso B (S_3)	Caso A (S_2)	Caso A (S_3)
SNR medio	7.50 dB	-1.44 dB	14.40 dB	5.17 dB
SNR máximo	49.90 dB	55.67 dB	59.11 dB	71.67 dB
SNR medio sin outliers	9.16 dB	11.78 dB	15.36 dB	18.50 dB
Número de outliers	6	11	2	9

5.9 Conclusiones

Se ha presentado el diseño de una arquitectura eficiente basada en dispositivos FPGA para la implementación en tiempo real de un receptor robusto para comunicaciones PLC de banda ancha. La propuesta, basada en el empleo de conjuntos de secuencias para aprovechar sus propiedades de correlación, se ha simulado bajo condiciones realistas de canal a partir de modelos restrictivos. Los resultados muestran que, tanto la etapa de sincronismo como la posterior estimación e igualación de canal propuestas en capítulos anteriores en este trabajo, consiguen recuperar la señal transmitida por el canal PLC. El estimador de canal presentado consigue obtener una reproducción bastante fiable del canal real de transmisión, consiguiendo corregir errores menores causados por el sincronismo, y elimina gran parte de ruido que añade el canal PLC en la comunicación.

Se han presentado las arquitecturas eficientes implementadas en FPGA, reduciendo el número de recursos mediante la reutilización de componentes comunes a la funcionalidad completa del sistema. Así, uno de los componentes más pesados en consumo de recursos, la DFT, se ha retroalimentado para conseguir una única instanciación por bloques de sincronismo y de estimación e igualación de canal. Al mismo tiempo, y únicamente con el objetivo de reducir el consumo de recursos, siempre sin dejar de lado la funcionalidad del sistema en tiempo real, se propone un correlador por desplazamientos sucesivos de ventana, obteniendo unos resultados favorables en la implementación final del sistema.

El sistema implementado utiliza el CP, decidiéndose esta forma de transmisión debido a la diferencia en los resultados obtenidos en capítulos anteriores respecto a la implementación sin el uso del CP, aun teniendo que restar eficiencia en la transmisión por la red eléctrica al sistema. Se ha presentado el diseño de un transmisor con uso de CP, mediante la utilización de un AFE comercial, que inyecta los datos en la red eléctrica.

En todas las arquitecturas de FPGA presentadas se ha evaluado la diferencia que existe entre el modelo en coma fija y coma flotante, comprobándose que no existe un error significativo entre ambos modelos. Sabiendo que para el caso de la implementación del módulo de sincronismo el error que existe entre coma fija y coma flotante no es tan crítico, a la hora de recuperar la señal en el receptor, debido a que el objetivo clave es obtener el pico máximo de correlación para situar el inicio de canal entorno a valores cercanos a éste. El caso contrario es el resultado obtenido en la salida del módulo de estimación e igualación de canal, teniendo que conseguir que este error sea lo más pequeño posible para que sean demodulados por el banco de filtros correctamente, obteniendo en este caso un error relativo medio inferior al 1%.

El diseño se ha probado en condiciones reales de canal PLC en un entorno de laboratorio, utilizando para ello un AFE comercial que inyecta los datos en la red eléctrica. Con el uso de las arquitecturas presentadas se obtienen estimaciones reales de canal PLC para longitudes de línea de 20 y 30 metros, recuperando los datos en el receptor con resultados aceptables.

Capítulo 6

Conclusiones y Trabajos futuros

6.1 Conclusiones

En esta tesis se ha propuesto una etapa de sincronismo y el conjunto de estimación e igualación de canal para comunicaciones PLC de banda ancha, así como una arquitectura eficiente para su implementación en tiempo real en un dispositivo FPGA. Las pruebas experimentales han servido para validar la robustez del sistema de transmisión PLC propuesto ante condiciones reales de canal.

El canal del PLC muestra varias particularidades, siendo una de ellas la presencia de ruidos múltiples, como son el ruido de color, el ruido impulsivo síncrono y asíncrono en la red eléctrica, que impiden el uso directo de las técnicas de sincronización tradicionales en los sistemas de comunicación inalámbricos. Por ello, se han presentado dos algoritmos diferentes para realizar el sincronismo en el receptor, ambos basados en la correlación cruzada de símbolos piloto. El primero de los algoritmos presentados utiliza dos etapas para realizar la sincronización; una primera aproximación gruesa que estima el inicio de la trama; y una posterior etapa de estimación fina que corrige pequeños desajustes en la estimación gruesa. Este primer algoritmo es demasiado complejo computacionalmente por necesitar varias iteraciones, o en su defecto por la necesidad de paralelizar de cara a su futura implementación en un dispositivo FPGA,

conllevarlo un aumento claro del consumo de recursos final del sistema. El segundo algoritmo presentado elimina la parte de estimación fina, obteniendo únicamente la aproximación gruesa y haciendo que el error cometido se corrija en etapas posteriores correspondientes a la igualación de canal.

Tomando como punto de partida el algoritmo basado en una sola etapa, se ha estudiado el uso de diferentes secuencias para realizar la correlación cruzada en el receptor y aprovechar así las diferentes propiedades de correlación que presentan, determinando que las secuencias con las que menor error en el sincronismo se obtiene son los conjuntos de secuencias complementarias multinivel. Posteriormente se ha analizado el comportamiento que presenta la correlación cruzada al aplicar la máscara de emisión PLC en el dominio del tiempo o en el dominio de la frecuencia. Los resultados muestran que aplicar la máscara en el dominio de la frecuencia mejora el valor SMR obtenido. Por último, se han estudiado diferentes configuraciones para realizar la correlación en el receptor, mediante el empleo de secuencias de distintas longitudes. En este caso, se ha decidido emplear las mismas secuencias empleadas para la sincronización, consiguiendo que el conjunto final empleado consiga disminuir el valor RMSE obtenido a menos de una muestra, frente al que aplica la máscara en el dominio del tiempo y utiliza los datos transmitidos con CP para realizar la correlación cruzada en el receptor con un RMSE de dos muestras. El algoritmo de sincronización propuesto es capaz de estimar el primer tap del canal sin ningún error en el 90% para el modelo de canal PLC de Tonello.

El conjunto estimador e igualador de canal se considera, junto a la etapa de sincronización, una de las etapas más importantes en el receptor PLC presentado. Se ha optado por utilizar un igualador de canal en el dominio de la frecuencia debido a que su simplicidad lo hace fácil de implementar en dispositivos FPGA. Como técnica de igualación de canal se ha decidido utilizar LS, una de las más comunes en la literatura. Esta técnica es de las más sencillas encontradas debido a que no necesita información previa del canal de comunicaciones, pero como inconveniente presenta que por sí sola no es capaz de mitigar completamente el ruido que introduce dicho canal de transmisión. Aun así, este tipo de igualador de canal satisface con creces su cometido consiguiendo eliminar, junto con el estimador de canal, el efecto que introduce el canal PLC así como parte del ruido añadido por éste.

En cuanto al estimador de canal, se ha propuesto uno que emplea diferentes técnicas de la literatura para obtener las prestaciones de cada una de ellas. Siendo así, se basa en un estimador de canal LS, siendo también de los más sencillos, y, mediante dos paquetes de símbolos piloto, se obtiene la estimación final de canal como el promedio de las estimaciones parciales de canal para esos dos símbolos piloto. Por último, se ha añadido un eliminador de ruido, consiguiendo recortar el rango de frecuencias donde se alojan las principales componentes de ruido del canal PLC. Al mismo tiempo, el conjunto estimador e igualador de canal corrige pequeños errores

causados por la etapa de sincronismo, haciendo que las subportadoras de entrada al demodulador se correspondan en frecuencia y conseguir la correcta reconstrucción de la señal. Por otro lado, se ha comparado el rendimiento de dos igualadores de canal, uno en el dominio de la frecuencia (FEQ) y el otro 0-ASCET. El igualador 0-ASCET proporciona mayores errores absolutos entre la señal emitida y la igualada. De la misma manera, si la comparación se centra en la SNR entre la entrada y la salida del sistema, se puede observar que el igualador en el dominio de frecuencia logra mejores resultados.

La presencia o no del prefijo cíclico ha sido evaluada principalmente a través de los módulos de sincronismo y de estimación e igualación de canal, así como en la relación señal-ruido de los datos recuperados en el receptor. Aunque el prefijo cíclico no se necesita teóricamente para PLC de banda ancha con Wavelet-OFDM como técnica de acceso medio, aquel permite la disminución del consumo de recursos requerido a costa de reducir la eficiencia del ancho de banda. Los resultados parciales han mostrado que la etapa de sincronismo es en cierta medida indiferente a utilizar o no prefijo cíclico, mientras que en la etapa de estimación de canal no utilizar prefijo cíclico implica que el canal estimado no sea tan adecuado, en comparación con el caso que incluye el prefijo. Este hecho conlleva que a la hora de demodular y recuperar los datos transmitidos se obtenga una menor SNR a la salida. Los resultados experimentales corroboran lo explicado anteriormente, viendo que el valor RMSE en el sincronismo obtenido para ambos casos sea muy similar e indiferente a la presencia de prefijo, encontrándose siempre en torno a una muestra de error. Sin embargo, la relación señal-ruido en la salida es mayor en el caso de utilizar prefijo cíclico, alrededor de 30dB, comparada con el esquema sin prefijo, debido al error que se comete a la hora de estimar el canal.

Se ha propuesto una nueva arquitectura para implementar el algoritmo de sincronismo entre el emisor y el receptor en tiempo real. Para minimizar el número de multiplicadores involucrados en la etapa de correlación, el bloque DFT ha sido reutilizado para evitar un bloque iDFT adicional, y se ha diseñado una arquitectura segmentada para minimizar la latencia del sistema y maximizar el rendimiento de los datos, mientras que utiliza el número mínimo de recursos hardware en el dispositivo FPGA. El error de cuantificación por la representación en coma fija en el algoritmo de sincronización propuesto han sido comparados con una solución en coma flotante, mostrando valores mínimos en el peor de los casos.

En esta tesis se ha propuesto igualmente una nueva arquitectura para la estimación e igualación de canales en tiempo real en un canal PLC de banda ancha. La arquitectura implementada utiliza una técnica de recorte y anulación para mitigar el ruido, mientras que el igualador mitiga el ISI y el ICI, mediante el uso de una multiplicación compleja por subportadora. Además, para mejorar la robustez al ruido, el estimador de canal realiza el promedio a partir de cada símbolo piloto. Los diseños propuestos en FPGA para la estimación e igualación de canal han sido verificados y se

ha comprobado la diferencia que existe entre las propuestas en coma fija y las soluciones en coma flotante, consiguiendo errores reducidos entre ambos modelos. Finalmente, se ha verificado el sistema completo frente a escenarios reales de transmisiones PLC por la red eléctrica, consiguiendo recuperar los datos transmitidos en todos los casos, siempre en condiciones de laboratorio.

6.2 Trabajos futuros

En esta tesis se han presentado varios algoritmos y arquitecturas eficientes en dispositivos FPGA, empleados para realizar el sincronismo entre emisor y receptor en un esquema de comunicación PLC, así como la posterior etapa de estimación e igualación de canal. Aunque los resultados obtenidos mediante pruebas en entornos reales han verificado el correcto funcionamiento del diseño, existen detalles y aspectos que pueden ser mejorados o estudiados en trabajos futuros derivados de esta tesis.

- 1- Los sistemas MIMO tratan de mejorar las prestaciones del sistema de comunicaciones mediante la explotación de diversidad espacial. Se basan en el uso de múltiples emisores y/o múltiples receptores. Con un procesamiento de señal adecuado, es posible combinar las señales recibidas para conseguir una señal de mejor calidad en el receptor. Por ejemplo, en un receptor puede darse que, en la señal recibida, cierta subportadora se reciba con una potencia reducida debido a que se haya producido un desvanecimiento del canal a esa frecuencia. En este caso se podrían combinar ambas señales de forma adecuada para obtener una señal más robusta que las recibidas en cada uno de los receptores por separado. Si se analiza con detenimiento, el uso de las técnicas MIMO trata de recuperar la diversidad inherente al multicamino del canal. En estos sistemas, podrían aplicarse los algoritmos propuestos en esta tesis, estudiándose previamente su correspondiente extensión.
- 2- Los sistemas de estimación y ecualización tratados en esta tesis están basados en la respuesta en frecuencia del canal. Sin embargo, mediante el uso de algoritmos de control de errores, se pueden implementar estimadores recursivos, los cuales pueden mejorar el desempeño de los estimadores basados en la respuesta en frecuencia.
- 3- En las arquitecturas eficientes presentadas es necesario el uso de FFT en todos los módulos. Es por ello que una futura línea de investigación y desarrollo es la consecución de una arquitectura eficiente y adaptable para la implementación de una FFT, que consiga reducir el número de recursos utilizados, así como mejorar el SNR del sistema. Aunque todos los módulos necesitan el uso de una FFT, es en el conjunto estimador e igualador de canal donde mayor importancia cobra, haciendo sumamente importante reducir al mínimo el error causado al recuperar la señal recibida, previamente sincronizada.

- 4- Otra de las líneas de estudio que quedan pendientes es la implementación basada en dispositivos FPGA de igualadores de canal en el dominio del tiempo, como puede ser el caso del igualador ASCET, presentado en la tesis. Las nuevas tecnologías y metodologías basadas en FPGAs pueden ayudar a dicho fin, gracias a la incorporación de procesadores de propósito general en ellas, haciendo uso de los llamados SoC (*System-on-Chip*).

6.3 Publicaciones derivadas de la Tesis

En este apartado se exponen las publicaciones en revistas indexadas y las contribuciones a congresos nacionales e internacionales derivadas del trabajo realizado en esta tesis.

6.3.1 Publicaciones en Revistas Internacionales

Nombela Blanco, Francisco José; García Núñez, Enrique; Mateos Gil, Raúl; Hernández Alonso, Álvaro. "Efficient Implementation of a Symbol Timing Estimator for Broadband PLC". *Sensors*, vol. 8, no. 15, pp. 20825-20844, 2015.

Nombela Blanco, Francisco José; García Núñez, Enrique; Mateos Gil, Raúl; Hernández Alonso, Álvaro. "Real-Time Architecture for Channel Estimation and Equalization in Broadband PLC". *Microprocessors and Microsystems (in second review)*, 2018.

6.3.2 Publicaciones en Congresos Internacionales

Nombela Blanco, Francisco José; García Núñez, Enrique; Hernández Alonso, Álvaro. "Preliminary Study between Frequency-Domain Equalizer and O-ASCET for PLC". *Proc. of IEEE International Conference on Ubiquitous Wireless Broadband (ICUWB 2017)*, pp. 1-5, 2017. (ISBN: 978-1-5090-5007-9)

Poudereux Clemente, Pablo; Mateos Gil, Raúl; Hernández Alonso, Álvaro; Nombela Blanco, Francisco José; Cruz Roldán, Fernando. "Study of Suitable Filter Architectures for FBMC Techniques Applied to PLC Communications". *Proc. of 2015 IEEE Conference on Emerging Technologies & Factory Automation (ETFA 2015)*, pp. 1-6, 2015. (ISBN: 978-1-4673-7928-1)

García Núñez, Enrique; Ureña Ureña, Jesús; Gualda Gómez, David; Hernández Alonso, Álvaro; Nombela Blanco, Francisco José. "Discrete Multitone Modulation for Ultrasonic Indoor Positioning Systems". *Proc. of 2015 International Conference on Indoor Positioning and Indoor Navigation (IPIN 2015)*, pp. 1-4, 2015.

Nombela Blanco, Francisco José; García Núñez, Enrique; Ureña Ureña, Jesús; Hernández Alonso, Álvaro; Poudereux Clemente, Pablo. "Robust Synchronization Algorithm for Broadband PLC based on Wavelet-OFDM". *Proc. of 2015 IEEE Conference on Emerging Technologies & Factory Automation (ETFA 2015)*, pp. 1-4, 2015. (ISBN: 978-1-4673-7928-1)

Hernández Alonso, Álvaro; García Núñez, Enrique; Gualda Gómez, David; Villadangos Carrizo, José Manuel; Gutiérrez López, Sara; Nombela Blanco, Francisco José; Pérez Rubio, María del Carmen; Ureña Ureña, Jesús. "Flexible Ultrasonic Beacon Unit Based on SoC for Local Positioning Systems". Proc. of 2015 International Conference on Indoor Positioning and Indoor Navigation (IPIN 2015), pp. 1-5, 2015.

6.3.3 Publicaciones en Congresos Nacionales

Nombela Blanco, Francisco José; García Núñez, Enrique; Hernández Alonso, Álvaro; Poudereux Clemente, Pablo; Murano, Santiago. "Estudio Comparativo del Uso de Prefijo Cíclico en Wavelet-OFDM para Comunicaciones PLC". Actas del XXIV Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI 2017), pp. 1-6, 2017. (ISBN: 978-84-606-8573-9)

Poudereux Clemente, Pablo; Hernández Alonso, Álvaro; Mateos Gil, Raúl; Nombela Blanco, Francisco José. "Arquitectura Multi-Funcional para Implementación y Evaluación de Técnicas de Acceso al Medio en PLC de Banda Ancha". Actas del XXIII Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI 2016), pp. 1-6, 2016. (ISBN: 978-84-608-9013-3)

Nombela Blanco, Francisco José; García Núñez, Enrique; Hernández Alonso, Álvaro; Poudereux Clemente, Pablo. "Diseño e Implementación de un Sistema Receptor para PLC de Banda Ancha". Actas del XXIII Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI 2016), pp. 1-5, 2016. (ISBN: 978-84-608-9013-3)

Nombela Blanco, Francisco José; García Núñez, Enrique; Ureña Ureña, Jesús; Hernández Alonso, Álvaro; Poudereux Clemente, Pablo. "Algoritmo Robusto de Sincronización para PLC de Banda Ancha Basado en Wavelet-OFDM". Actas del XXII Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI 2015), pp. 1-6, 2015. (ISBN: 978-84-944131-2-4)

Poudereux Clemente, Pablo; Hernández Alonso, Álvaro; Mateos Gil, Raúl; Nombela Blanco, Francisco José. "Arquitectura SoC para el Diseño de Transmultiplexores en Comunicaciones PLC". Actas del XXII Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI 2015), pp. 1-5, 2015. (ISBN: 978-84-944131-2-4)

Hernández Alonso, Álvaro; García Núñez, Enrique; Gualda Gómez, David; Nombela Blanco, Francisco José; Poudereux Clemente, Pablo; Villadangos Carrizo, José Manuel. "Diseño de una baliza ultrasónica flexible para sistemas de posicionamiento local". Actas de las XXXVI Jornadas Nacionales de Automática (JA 2015), pp. 394-399, 2015.

Bibliografía

- [Al 11] K. S. Al Mawali, "Techniques for broadband power line communications: impulsive noise mitigation and adaptive modulation", PhD dissertation, Royal Melbourne Institute of Technology University, 2011.
- [Alimo 14] A. Alimohammad and S. F. Fard, "FPGA-based bit error rate performance measurement of wireless systems", IEEE Trans. on VLSI Systems, vol. 22(7), pp. 1583-1592, 2014.
- [Allou 00] J. P. Allouche, "The Ubiquitous Prouhet-Thue-Morse Sequence", Proceedings of Sequences and their Applications (SETA), pp. 1-16, 1998.
- [ARIB 05] ARIB STD-T61, "Narrow band digital telecommunication system (SCPC/FDMA)", Association of Radio Industries and Businesses, nov. 2005.
- [Babic 05] M. Babic, M. Hagenau, K. Dostert, and J. Bausch, "Theoretical postulation of PLC channel model," Opera, Tech. Rep., 2005.
- [Bellan 10] M. Bellanger, M. Renfors, T. Ihalainen and C. A. F. da Rocha, "OFDM and FBMC transmission techniques: a compatible high performance proposal for broadband power line communications", in 2010 IEEE International Symposium on Power Line Communications and Its Applications (ISPLC), pp.154-159, 2010.
- [Berg 14a] V. Berg, J. B. Doré, D. Noguet, "A flexible FS-FBMC receiver for dynamic access in the TVWS", Proc. 9th Int. Conf. Cognit. Radio Oriented Wireless Netw. Commun. (CROWNCOM), pp. 285-290, jun. 2014
- [Berg 14b] V. Berg, J.-B. Doré and D. Noguet, "A flexible radio transceiver for TVWS based on FBMC", Microprocessors and Microsystems, vol. 38, no. 8, part A, pp. 743-753, 2014.

- [Carmo 06] J. L. Carmona, F. J. Cañete, "DMT Modem Prototype for Broadband PLC," Power Line Communications and Its Applications", IEEE International Symposium. Orlando, Florida, USA, pp. 56-61, 2006.
- [CENELEC 07] CENELEC (2007). <http://www.cenelec.org/Cenelec/Code/Frameset.aspx>. Último acceso: 21 de julio del 2018.
- [Chen 11] C. Chen, Y. Huang, Y. Wang, C. Yun, and X. Z., "A robust frame synchronization scheme for broadband power-line communication," in Proceedings of International Conference on ASIC, pp. 212–215, 2011.
- [Chen 15] D. Chen, X.-G. Xia, T. Jiang, and X. Gao, "Properties and power spectral densities of CP based OQAM-OFDM systems," IEEE Transactions on Signal Processing, vol. 63, no. 14, pp. 3561–3575, 2015.
- [Chiue 08] T. D. Chiueh and P. Y. Tsai, "OFDM baseband receiver design for wireless communications", S. G. Chichester, Ed. John Wiley & Sons, 2008.
- [Chu 72] D. C. Chu, "Polyphase codes with good periodic correlation properties," IEEE Transactions on Information Theory, pp. 531–532, 1972.
- [Coler 02] S. Coleri, M. Ergen, A. Puri, and A. Bahai, "Channel estimation techniques based on pilot arrangement in OFDM systems," IEEE Transactions on Broadcasting, vol. 48(3), no. 13, pp. 223–229, 2002.
- [Corde 09] M. Cordero Limón, proyecto fin de carrera, "Técnicas de estimación de canal en la capa física WirelessMAN-OFDM de la norma IEEE 802.16e", departamento de teoría de la señal y comunicaciones, escuela superior de ingenieros, universidad de Sevilla, 2009.
- [Corte 10] J. A. Cortés, L. Díez, F. J. Cañete and J. J. Sánchez-Martínez, "Analysis of the indoor broadband power-line noise scenario", IEEE Trans. on Electromagnetic Compatibility, vol. 52, no. 4, pp. 849-858, 2010.
- [Cruz 11] F. Cruz-Roldán and M. Blanco-Velasco, "Joint Use of DFT Filter Banks and modulated Transmultiplexers for multicarrier Communications", Signal Processing, vol. 91, no 7, pp. 1622-1635, 2011.
- [Cruz 04] F. Cruz-Roldan and M. Monteagudo-Prim, "Efficient implementation of nearly perfect reconstruction FIR cosine-modulated filterbanks," IEEE Transactions on Signal Processing, vol. 52, no. 9, pp. 2661–2664, 2004.
- [Dietr 06] F. A. Dietrich, T. Ivanov and W. Utschick, "Estimation of channel and noise correlations for MIMO channel estimation", in Proceedings of the International ITG Workshop on Smart Antennas, 2006.

- [Douka 06] A. Doukas, A. Kotsopoulos, G. Kalivas, "DSP Implementation of SNR Estimation Algorithm for OFDM Systems", Communications Circuits and Systems Proceedings 2006 International Conference On, vol. 1, pp. 583-587, June 2006.
- [Duc 09] V. Duc Nguyen et al., "Implementation of an OFDM system based on the TMS320C6416 DSP," In Proc. Advanced Technologies for Communications (ATC). Hai Phong, Vietnam, pp. 74-77, 2009.
- [Farha 14] B. Farhang-Boroujeny, "Filter bank multicarrier modulation: A waveform candidate for 5G and beyond", Advances in Electrical Engineering, vol. 2014, 2014.
- [Fazel 08] K. Fazel and S. Kaiser, "Multi-Carrier and Spread Spectrum Systems: From OFDM and CDMA to LTE and WiMAX", S. G. Chichester, Ed. John Wiley & Sons, 2008.
- [Forou 06] B. A. Forouzan, "Transmisión de datos y redes de comunicaciones." Cuarta Edición. España, McGraw-Hill, 2006.
- [Galli 08] S. Galli, H. Koga, and N. Kodama, "Advanced signal processing for PLCs: Wavelet-OFDM," in Proceedings of the IEEE International Symposium on Power Line Communications and Its Applications, pp. 187–192, 2008.
- [Garci 15] E. García, J. A. Paredes, F. J. Álvarez, M. C. Pérez, J. J. García, "Spreading sequences in active sensing: A review", Signal Processing, Volume 106, pages 88-105, 2015.
- [Garci 13] E. García, J. Ureña and J. J. García, "Generation and correlation architectures of multilevel complementary sets of sequences", IEEE Trans. on Signal Processing, vol. 61, no. 24, pp. 6333-6343, 2013.
- [Garri 17] M. Garrido, M. A. Sánchez, M. L. López-Vallejo and J. Grajal, "A 4096-Point Radix-4 Memory-Based FFT Using DSP Slices", IEEE Trans. on VLSI Systems, vol. 25(1), pp. 375-379, 2017.
- [Guffe 07] J.D. Guffey, A.M. Wyglinski, G.J. Minden, "Agile Radio Implementation of OFDM Physical Layer for Dynamic Spectrum Access Research" GLOBECOM '07. IEEE nov. 2007, page(s): 4051-4055, 2007.
- [Habob 11] J. Haboba, R. Rovatti and G. Setti, "Integrated Sidelobe Level of sets of Rotated Legendre Sequences," 2011 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP), Prague, 2011, pp. 2632-2635, 2011.
- [Haene 08] S. Haene, D. Perels and A. Burg, "A Real-Time 4-Stream MIMO-OFDM Transceiver: System Design, FPGA Implementation, and Characterization", IEEE Journal on Selected Areas in Communications, vol. 26, no. 6, pp. 877-889, 2008.

- [Hrasn 04] H. Hrasnica, A. Haidine and R. Lehnert, "Broadband Powerline Communication - Network Design." Inglaterra. John Wiley & Sons, 2004.
- [Huido 03] J. M. Huidobro, "Tecnologías Avanzadas de Telecomunicaciones." España, Thomson Editores Spain. Págs. 233 a 248, 2003.
- [Hwang 09] T. Hwang, C. Yang, G. Wu, S. Li and G. Li, "OFDM and its wireless applications: A survey", IEEE Trans. on Vehicular Technology, vol. 58, pp. 1673–1694, 2009.
- [IEEE 10] IEEE Std 1901-2010, "IEEE Standard for broadband over Power Line Networks: medium access control and physical layer specifications", pp. 1165, 2010.
- [Ihala 02] T. Ihalainen, T. Hidalgo Stitz, and M. Renfors, "On the performance of low-complexity ASCET-equalizer for a complex transmultiplexer in wireless mobile channel," Proceedings of the 7th International OFDMWorkshop, 2002.
- [Kisho 06] C. N. Kishore, V. U. Reddy, "A frame synchronization and frequency offset estimation algorithm for OFDM system and its analysis." EURASIP Journal on Wireless Communications and Networking 2006, 1–16, 2006.
- [Kong 14] D. Kong, X. - G. Xia, T. Jian, X. Gao, "Channel estimation in CP-OQAM-OFDM systems", IEEE Trans. Signal Processing, vol 62, no. 21, pp. 5775-5786, nov. 2014.
- [Lin 08] H. Lin and P. Siohan, "A new transceiver system for the OFDM/OQAM modulation with Cyclic Prefix", in 2008 IEEE 19th International Symposium on Personal, Indoor and Mobile Radio Communications, pp. 1-5, 2008.
- [Lin 10] H. Lin, P. Siohan, "Modulation flexibility in PLC: A unified MCM transceiver design and implementation", IEEE Trans. Circuits and Systems I, vol. 57, no. 10, pp. 2762 - 2775, oct. 2010.
- [Maiga 09] A. Maiga, J. Y. Baudais, and J. F. Helard, "Very high bit rate power line communications for home networks," Power Line Communications and Its Applications. ISPLC '09. Dresden, Alemania, pp. 313-318, abril 2009.
- [Marqu 10] C.A.G. Marques, F.P.V. de Campos, T.R. Oliveira, A.S. Menezes, M.V. Ribeiro, "Analysis of a hybrid OFDM synchronization algorithm for power line communication." In Proceedings of the IEEE International Symposium on Power Line Communications and Its Applications, Rio de Janeiro, Brazil, 28–31 March 2010; pp. 44–49, 2010.
- [Matte 12] D. Mattera and M. Tanda, "Data-aided synchronization for OFDM/OQAM systems," Signal Processing, vol. 92, no. 2012, pp. 2284–2292, 2012.
- [Mefen 13] M. Mefenza, C. Bobda, "FPGA implementation of subcarrier index modulation OFDM transceiver." In Proceedings of the Parallel and distributed Processing

- Symposium Workshops and PhD Forum (IPDPSW), Cambridge, MA, USA, 20–24 May 2013; pp. 268–272, 2013.
- [Meyer 07] U. Meyer-Baese, “Digital signal processing with FPGAs”, Springer, 2007.
- [Minn 03] H. Minn, V.K. Bhargava, K. Ben Letaief, “A robust timing and frequency synchronization for OFDM systems.” *IEEE Trans. Wirel. Commun.* 2003, 2, 822–839, 2003.
- [Moham 10] K. Mohammed and B. Daneshrad, “A MIMO decoder accelerator for next generation wireless communications”, *IEEE Trans. VLSI Systems*, vol. 18(11), pp. 1544-1555, 2010.
- [Nadal 14] J. Nadal, C. Nour, A. Baghdadi y H. Lin, “Hardware prototyping of FBMC/OQAM baseband for 5G mobile communication,” *Proc. of 2014 25th IEEE International Symposium on Rapid System Prototyping (RSP)*, pp. 72-77, 2014.
- [Nombe 15a] F. Nombela, E. García, R. Mateos and A. Hernández, “Efficient Implementation of a Symbol Timing Estimator for Broadband PLC”, *Sensors*, vol. 15(8), pp. 20825-20844, 2015.
- [Nombe 15b] F. Nombela, E. García, J. Ureña, Á. Hernández, P. Poudereux, “Robust synchronization for broadband PLC based on Wavelet-OFDM.” In *Proceedings of the 2015 IEEE Emerging Technology and Factory Automation (ETFA)*, Luxembourg City, Luxembourg, 8–11 September 2015; pp. 1–7, 2015.
- [Pavli 03] N. Pavlidou, “Power Line Communication: State of the art and future trends,” *IEEE Communications Magazine*, pp. 34-40, abril 2003.
- [Paz 09] H. Paz Penagos, “Ruido e interferencia en canales de comunicaciones por línea de distribución eléctrica”. *Energía y comunicación*, vol.17 nº1,2009.
- [Peter 14] A. O. Peter, C. K. Ng and N. K. Noordin, “Power Line Communication (PLC) Impulsive Noise Mitigation: A Review”, *Journal of Information Engineering and Applications*, vol. 4(10), pp. 86-104, 2014.
- [Pham 13] T. H. Pham, S. A. Fahmy and I. V. McLoughlin, “Low-power correlation for IEEE 802.16 OFDM synchronization on FPGA”, *IEEE Trans. on VLSI Systems*, vol. 21(8), pp. 1549-1553, 2013.
- [Pinto 15] F. A. Pinto-Benel and F. Cruz-Roldan, “2-ASCET for broadband multicarrier transmission over in-home and in-vehicle power line networks,” in *Proceedings of the 18th IEEE International Conference on Intelligent Transportation Systems*, pp. 1351–1356, 2015.
- [Polle 99] T. Pollet, M. Peeters, “Synchronization with DMT modulation.” *IEEE Commun. Mag.* 1999, 37, 80–86, 1999.

- [Poude 16] P. Poudereux, A. Hernández, R. Mateos, F. A. Pinto-Benel and F. Cruz-Roldán, "Design of a filter bank multi-carrier system for broadband power line communications", *Signal Processing*, no. 128, pp. 57-67, 2016.
- [Poude 14] P. Poudereux, R. Mateos, A. Hernández, and F. Cruz-Roldan, "FPGA based implementation of a filter bank-based transmultiplexer for multicarrier communications," in *Proceedings of IEEE Emerging Technology and Factory Automation (ETFA)*, pp. 1–6, 2014.
- [Rings 10] V. Ringset, H. Rustad, F. Schaich, J. Vandermot y M. Najar, "Performance of a FilterBank MultiCarrier (FBMC) Physical Layer in the WiMAX Context," *Future Network & Mobile Summit*, pp. 1-8, 2010.
- [Sapon 12] S. Saponara, M. Rovini, L. Fanucci, A. Karachalios, G. Lentaris and D. Reisis, "Design and comparison of FFT VLSI architectures for SOC telecom applications with different flexibility, speed and complexity trade-offs", *Circuits, Systems, and Signal Processing*, vol. 31(2), pp. 627–649, 2012.
- [Schmi 97] T. M. Schmid and D. C. Cox, "Robust frequency and timing synchronization for OFDM," *IEEE Transactions on Communications*, vol. 45, no. 12, pp. 1613–1621, 1997.
- [Schne 11] D. Schneider, A. Schwager, J. Speidel, A. Dilly, "Implementation and results of a MIMO PLC feasibility study", in *2011 IEEE Power Line Communications and its Applications (ISPLC)*, pp. 54-59, 2011.
- [Sesia 11] S. Sesia, I. Toufik and M. Baker, *LTE-the UMTS Long Term Evolution: from theory to practice*, 2nd ed., Wiley-Interscience, Ed. John Wiley & Sons, Chichester, UK, 2011.
- [Spaso 01] P. Spasojevic, C. N. Georghiades, "Complementary sequences for ISI channel estimation", *IEEE Trans. on Information Theory*, vol. 47(3), 2001.
- [Stitz 10] T. H. Stitz, T. Ihalainen, and A. Viholainen, "Pilot-based synchronization and equalization in filter bank multicarrier communications," *EURASIP Journal on Advances in Signal Processing*, vol. 2010, no. 741429, pp. 1–18, 2010.
- [Tlich 15] M. Tlich, P. Pagani, G. Avril, F. Gauthier, A. Zeddami, A. Kartit, O. Issouf, A. Tonello, F. Pecile, S. D'Alessandro, et al. "Deliverable D3.2: PLC Channel Characterization and Modelling." Available online: http://www.ict-omega.eu/fileadmin/documents/deliverables/Omega_D3.2_v1.2.pdf (accessed on 20 July 2015).
- [Tonel 12] A. M. Tonello, F. Versolatto, B. Béjar and Z. Zazo, "A fitting algorithm for random modeling the PLC channel", *IEEE Trans. on Power Delivery*, vol. 27, no. 3, pp. 1477-1484, 2012.

- [Tonel 07] A. M. Tonello, "Wideband impulse modulation and receiver algorithms for multiuser power line communications", *EURASIP Journal on Advances in Signal Processing*, vol. 2007, pp. 1-14, 2007.
- [Beek 95] J. J. Van De Beek, O. Edfors, M. Sandell, S. K. Wilson and P. O. Borjesson, "On channel estimation in OFDM systems", in *1995 IEEE 45th Vehicular Technology Conference*, vol. 2, pp. 815-819, 1995.
- [Willi 05] C. Williams, M.A. Beach, S. McLaughlin, "Robust OFDM timing synchronization." *Electron. Lett.* 2005, 41, 751–752, 2005.
- [Xilin 15a] Xilinx Inc. KC705 Evaluation Board for the Kintex-7 FPGA. Available online: http://www.xilinx.com/support/documentation/boards_and_kits/kc705/ug810_KC705_Eval_Bd.pdf (accessed on 23 July 2015).
- [Xilin 15b] Xilinx Inc. 7 Series FPGA Overview. Available online: http://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf (accessed on 23 July 2015).
- [Xing 03] G. Xing, M. Shen, and H. Liu, "Frequency offset and I/Q Imbalance compensation for OFDM direct-conversion receivers," in *Proc. IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP '03)*, Hong Kong, Apr. 2003, pp. 713-717, 2003.
- [Yan 07] H. Yan, S. Zhou, Z. J. Shi y B. Li, «A DSP implementantion of OFDM acoustic modem,» *Proceedings of the second workshop on Underwater networks*, pp. 89-92, 2007.
- [Yoshi 11] T. Yoshida, D. Nojima, Y. Nagao, M. Kurosaki and H. Ochi, "FPGA implementation of joint CFO and IQ-imbalance compensator for narrow-band wireless system," *The 2011 International Conference on Advanced Technologies for Communications (ATC 2011)*, Da Nang, 2011, pp. 327-332, 2011.
- [Yu 13] L. Yu, M. Wang, J. Feng, X. Jiang y Y. Li, "The high-speed optical OFDM transmitter based on FPGA," *IET International Conference on Smart and Sustainable City (ICSSC)*, pp. 415-418, 2013.
- [Zamir 03] H. Zamiri-Jafarian, M. J. Omid and S. Pasupathy, "Improved channel estimation using noise reduction for OFDM systems", in *57th IEEE Semiannual Vehicular Technology Conference*, vol. 2, pp. 1308-1312, 2003.
- [Zierl 58] N. Zierler, "Legrende Sequences." MIT Lincoln Laboratory, group report 34.71, 1958.
- [Zimme 02] M. Zimmermann and K. Dostert, "Analysis and modeling of impulsive noise in broad-band powerline communications," *IEEE Transactions on Electromagnetic Compatibility*, vol. 44, no. 1, pp. 249–258, 2002.

