

**UNIVERSIDAD DE ALCALÁ**  
**Escuela Politécnica Superior**  
Departamento de Electrónica

GRADO DE INGENIERÍA EN ELECTRÓNICA Y AUTOMÁTICA  
INDUSTRIAL



Trabajo Fin de Carrera

Modelado VHDL de estrategias de modulación para convertidores  
DC/AC para plataforma Semiteach-IGBT

Edel Díaz Llerena

2015



# **UNIVERSIDAD DE ALCALÁ**

## **Escuela Politécnica Superior**

GRADO DE INGENIERÍA EN ELECTRÓNICA Y AUTOMÁTICA INDUSTRIAL

### **Trabajo Fin de Carrera**

Modelado VHDL de estrategias de modulación para convertidores  
DC/AC para plataforma Semiteach-IGBT.

<b>Autor:</b>	Edel Díaz Llerena
<b>Directores:</b>	M <sup>a</sup> Carmen Pérez Rubio Jesús Ureña Ureña

#### **TRIBUNAL:**

**Presidente: D. ALFREDO GARDEL VICENTE**

**Vocal 1º: D. IGNACIO BRAVO MUÑOZ**

**Vocal 2º: D<sup>a</sup>. M<sup>a</sup> CARMEN PÉREZ RUBIO**

**CALIFICACIÓN: .....**

**FECHA: .....**



### *Agradecimientos*

*Gracias al apoyo recibido en todos estos años por todas las personas que son y he considerado mi familia. Mi éxito es vuestro también. En especial a mis tutores D<sup>a</sup>. M<sup>a</sup> Carmen Pérez Rubio y D. Jesús Ureña Ureña por su comprensión y dedicación. Por último, a mi novia, que siempre ha encontrado tiempo para animarme.*



## Contenido:

SECCIÓN I – ÍNDICE DE FIGURAS Y TABLAS. ....	12
SECCIÓN II – ÍNDICE DE CÓDIGOS. ....	16
SECCIÓN III – RESUMEN. ....	17
SECCIÓN IV – ABSTRACT. ....	17
SECCIÓN V – RESUMEN EXTENDIDO. ....	18
SECCIÓN VI – MEMORIA. ....	20
Capítulo 1. Introducción. ....	20
1.1. Antecedentes y contexto de la tesis. ....	20
1.2. Justificación del uso de una FPGA. ....	21
1.3. Objetivos. ....	21
1.4. Estructura del documento. ....	22
Capítulo 2. Revisión de convertidores de DC/AC. ....	24
2.1. Monofásico Puente completo. ....	24
2.1.1. Introducción. ....	24
2.1.2. Explicación teórica. Generalidades. ....	24
2.1.3. PWM Bipolar. ....	32
2.1.4. PWM Unipolar. ....	33
2.1.5. Cancelación de tensión. ....	35
2.2. Trifásico basado en PWM. Algoritmos de PWM continuos. ....	36
2.2.1. SPWM trifásica clásica. ....	37
2.2.2. PWM con secuencia cero. ....	41
2.2.3. PWM con inyección de tercer armónico amplitud 1/6 (THIPWM 1/6). ....	43
2.2.4. PWM con inyección de tercer armónico amplitud 1/4 (THIPWM 1/4). ....	43
2.2.5. PWM con vectores espaciales basados en portadora (CB-SBPWM). ....	44
2.2.6. Algunas consideraciones. ....	44
2.3. Efecto de los tiempos muertos. ....	45
2.4. Comentarios sobre el control de velocidad voltaje/frecuencia del motor de inducción trifásico. ....	48
Capítulo 3. Implementación hardware de estrategias de modulación PWM para inversores. ....	50
3.1. Especificaciones del sistema. ....	50
3.1.1. Tarjeta Digilent Nexus2 Spartan3E-XC3S1200E FG320-4. ....	50
3.1.2. Cubo de potencia Semiteach-IGBT. ....	52

3.1.3. Tarjeta de adaptación. ....	54
3.1.4. Convertidor DAC Digilent PmodDA2. ....	55
3.1.5. Cargas utilizadas. Fuente de alimentación. ....	56
3.1.6. Visión general del diseño hardware. ....	58
3.2. Diseño y Módulos del sistema. ....	59
3.2.1. Módulo de mayor jerarquía. ....	59
3.2.2. Módulo configuración. ....	62
3.2.3. Módulo generador de señales. ....	69
3.2.4. Módulo DAC's. ....	81
3.2.5. Módulo Display. ....	81
3.2.6 Bloque DCM. ....	82
3.3. Estudio de errores asumidos. ....	84
3.3.1. Frecuencia fundamental. Elección de número de muestras. Efecto de $m_f$ . ....	84
3.3.2. Datos de las señales de control incorporadas en la base de datos. ....	89
3.3.3 Multiplicación de la señal de control por $m_a$ . ....	90
Capítulo 4. Resultados. Comprobaciones. ....	93
4.1. Resultados de simulaciones. ....	93
4.1.1. Simulaciones de las señales de salida PWM. ....	93
4.1.1.1. Modulación bipolar. ....	93
4.1.1.2. Modulación unipolar. ....	97
4.1.1.3. Cancelación de tensión. ....	100
4.1.1.4. Modulación PWM trifásica clásica. ....	101
4.1.1.5. Modulación PWM con inyección de tercer armónico THIPWM 1/4. ....	105
4.1.1.6. Modulación PWM con inyección de tercer armónico THIPWM 1/6. ....	106
4.1.1.7. Modulación PWM CB-SBPWM. ....	107
4.1.1.8. Control de excitación motor trifásico. ....	108
4.1.1.9. Modulación de tiempos muertos. ....	109
4.1.2. Simulaciones del inversor. ....	110
4.1.2.1. Modulación bipolar. ....	111
4.1.2.2. Modulación unipolar. ....	113
4.1.2.3. Cancelación de tensión. ....	115
4.1.2.4. Modulación PWM trifásica clásica. ....	116
4.1.2.5. Modulación PWM con inyección de tercer armónico THIPWM 1/4. ....	119
4.1.2.6. Modulación PWM con inyección de tercer armónico THIPWM 1/6. ....	119



4.1.2.7. Modulación PWM CB-SPWM.....	120
4.2. Resultados de pruebas reales. ....	121
4.2.1. Pruebas reales de las señales de salida PWM. ....	121
4.2.1.1. Pruebas Modulación bipolar.....	121
4.2.1.2. Pruebas Modulación unipolar.....	124
4.2.1.3. Cancelación de tensión.....	126
4.2.1.4. Modulación PWM trifásica clásica. ....	128
4.2.1.5. Modulación PWM con inyección de tercer armónico THIPWM 1/4. ....	133
4.2.1.6. Modulación PWM con inyección de tercer armónico THIPWM 1/6. ....	133
4.2.1.7. Modulación PWM CB-SPWM.....	134
4.2.1.8. Modulación de tiempos muertos. Comprobaciones.....	134
4.2.2. Pruebas reales del inversor. ....	136
4.2.2.1. Modulación bipolar. ....	136
4.2.2.2. Modulación unipolar. ....	138
4.2.2.3. Cancelación de tensión.....	140
4.2.2.4. Modulación PWM trifásica clásica. ....	141
4.2.2.5. Modulación PWM con inyección de tercer armónico THIPWM 1/4. ....	145
4.2.2.6. Modulación PWM con inyección de tercer armónico THIPWM 1/6. ....	145
4.2.2.7. Modulación PWM CB-SPWM.....	146
4.2.2.8. Excitación del motor trifásico mediante tensión/frecuencia. ....	146
4.3. Resultados de la implementación. ....	146
4.4. Conclusiones y trabajos futuros. ....	148
SECCIÓN VII – DIAGRAMAS Y PLANOS. CÓDIGOS RELEVANTES. ....	149
VII.1. Códigos Módulo configuración. ....	149
VII.2. Códigos Módulo Display. ....	153
VII.3. Código Módulo generador de señales.....	155
SECCIÓN VIII – PLIEGO DE CONDICIONES.....	165
SECCIÓN IX – PRESUPUESTO DEL PROYECTO. ....	168
IX.1. Consideraciones previas. ....	168
IX.2. Coste íntegro de material utilizado. ....	168
IX.3. Costes directos de programación.....	168
IX.4. Costes indirectos en la creación de la aplicación. ....	169
IX.5. Coste total estimado del proyecto. ....	169
SECCIÓN X – MANUAL DE USUARIO. ....	170

X.1. Requisitos generales de seguridad.....	170
X.2. Requisitos de seguridad del cubo de potencia Semiteah-IGBT.....	170
X.3. Requisitos de seguridad de la tarjeta Digilent Nexus2 Spartan3E-XC3S1200E.....	171
X.4. Requisitos de seguridad del circuito de adaptación.....	171
X.5. Visión global del sistema.....	171
X.5.1. Diseño general. Conexionado.....	171
X.5.2. Configuración. ....	174
X.6. Especificaciones del sistema. ....	176
X.7. Consideraciones de uso. ....	176
X.8. Anexo del manual de usuario.....	177
SECCIÓN XI – ORGANIZACIÓN DE ARCHIVOS DEL CD ADJUNTO. ....	178
SECCIÓN XII – BIBLIOGRAFÍA. ....	179



## SECCIÓN I – ÍNDICE DE FIGURAS Y TABLAS.

### Figuras:

Figura 1.1. Esquema general de aplicación docente de convertidor DC/AC.....	20
Figura 2.1 a) Esquema de inversor conmutado. b) Tensión y corriente de salida inversor. c) Cuadrantes de funcionamiento del inversor [1].....	24
Figura 2.2 Esquema general de inversor monofásico en puente completo [1].....	25
Figura 2.3 a) Señal de control y Onda triangular. b) Tensión $v_{AO}$ generada por la conmutación de los interruptores. c) Tensión de salida del inversor puente completo para $m_f=15$ y $m_a=0.8$ [1]....	26
Figura 2.4 Espectro de armónicos de $v_{AO}$ en función de $m_f$ y $m_a$ [1].....	27
Figura 2.5 PWM sinusoidal [1].....	28
Figura 2.6 Armónicos debidos a una sobremodulación: $m_a=2.5$ y $m_f=15$ en configuración semipuente [1].....	30
Figura 2.7 Control de la tensión variando $m_a$ para $m_f=15$ y en configuración semipuente [1].....	32
Figura 2.8 a) Tensión de salida $v_{AO}$ . b) Armónicos característicos en onda cuadrada en configuración semipuente [1].....	34
Figura 2.9 PWM con conmutación por voltaje unipolar monofásico: a) Señales de control y señal triangular; b) Tensión de excitación TA+; c) Tensión de excitación TB+; d) Tensión de salida unipolar [1].....	34
Figura 2.10 Respuesta armónica PWM con conmutación por voltaje unipolar monofásico [1]....	35
Figura 2.11 Control de un inversor de puente completo mediante cancelación de tensión: a) circuito de potencia; b) formas de onda; c) salida de voltaje normalizado fundamental y armónico y distorsión armónica total como función de $\alpha$ [1].....	36
Figura 2.12 Esquema de inversor trifásico [1].....	37
Figura 2.13 Modulación PWM trifásica: a) Señales de control y señal triangular; b) Tensión de excitación TA+, TB+ y tensión de salida línea a línea [1].....	38
Figura 2.14 Respuesta armónica PWM con conmutación por voltaje unipolar monofásico [1]....	39
Figura 2.15 Inversor trifásico: a) esquema general; b) relación de ondas cuadradas; c) espectro de armónicos [1].....	40
Figura 2.16 Inversor trifásico; Relación entre $V_{LL}$ (rms) y el índice de modulación de $m_a$ [1].....	41
Figura 2.17 Esquema de inversor trifásico con carga basada en motor [1].....	41
Figura 2.18 Esquema de inyección de secuencia cero [9].....	42
Figura 2.19 Curva de algoritmos PWM de rango lineal máximo para THIPWM1/6 [11].....	42
Figura 2.20 Señales de inyección de tercer armónico con amplitud 1/6 [10].....	43
Figura 2.21 Señales de inyección de tercer armónico con amplitud 1/4 [10].....	45
Figura 2.22 Señales de PWM con vectores espaciales basada en portadora [10].....	45
Figura 2.23 Señales de tiempos muertos: a) Rama A del inversor; b) Conmutación ideal de la rama A; c) Señales de la rama A con tiempos muertos [1].....	46
Figura 2.24 Pérdida y ganancia de tensión como consecuencia de tiempos muertos [1].....	46
Figura 2.25 Efecto de $t_d$ sobre $V_o$ , donde $\Delta V_o$ se define como la caída de voltaje en caso de ser positivo: a) Inversor puente completo; b) Valor medio instantáneo de $V_o$ en función de $v_{control}$ con tiempo muerto y sin tiempo muerto [1].....	47
Figura 2.26 Efecto de $t_d$ sobre la salida sinusoidal [1].....	48
Figura 3.1 Tarjeta Digilent Nexus2 Spartan3E- XC3S1200E FG320-4.....	50
Figura 3.2 Esquema de pines de entrada y salida de la tarjeta utilizada [2].....	51
Figura 3.3 Esquema de conexión del conector PMOD JA [2].....	52
Figura 3.4 Cubo de potencia Semiteach-IGBT [3].....	52 y 172
Figura 3.5 Esquema interno de cubo de potencia Semteach-IGBT[3].....	54
Figura 3.6 Circuito de adaptación y relación de entradas y salidas.....	54
Figura 3.7 DAC Digilent PmodDA2 [12].....	55
Figura 3.8 Diagrama de bloques interno del DAC Digilent PmodDA2 [12].....	56

Figura 3.9 Bombilla de baja potencia utilizada como carga.....	56
Figura 3.10 Fuente de alimentación Delta Elektronika SM 35-45.....	57
Figura 3.11 Sistema motor-generador ASTI BECA 1.....	57
Figura 3.12 Características de sistema motor-generador ASTI BECA 1.....	57
Figura 3.13 Esquema general del sistema de potencia.....	58 y 171
Figura 3.14 Modulo de mayor jerarquía.....	60
Figura 3.15 Diagrama de bloques de Módulo configuración.....	64
Figura 3.16 Simulación ModelSim: señales de activación y del cambio de señales de mf.....	65
Figura 3.17 Simulación ModelSim: funcionamiento del aumento de paso de salto de f1.....	66
Figura 3.18 Grafico de las distintas opciones de excitación del motor.....	67 y 176
Figura 3.19 Esquema del proceso de obtención señal síncrona.....	68
Figura 3.20 Simulación ModelSim: latencia y señales de actualización del divisor y multiplicación.....	69
Figura 3.21 Diagrama de bloques del Módulo generador de señales.....	71
Figura 3.22 Descripción de la señal seno base utilizada como moduladora.....	72
Figura 3.23 Descripción de las señales senos base utilizadas en modo trifásico como moduladoras.....	72
Figura 3.24 Descripción de las señales THIPWM 1/4 moduladoras utilizadas en modo trifásico..	73
Figura 3.25 Descripción de la señales THIPWM 1/6 moduladoras utilizadas en modo trifásico....	73
Figura 3.26 Descripción de la señales CB-SPWM moduladoras utilizadas en modo trifásico.....	74
Figura 3.27 Descripción de la señal triangular base utilizada como portadora.....	74
Figura 3.28 Gestión de bits de la entrada y salida del multiplicador.....	76
Figura 3.29 Distribución interna de los registros del Bloque de 8 registros.....	77
Figura 3.30 Retraso de la señal de control y consecuencia en la señal PWM.....	78
Figura 3.31 Distribución de registros de retraso para tiempos muertos.....	80
Figura 3.32 Adaptación de la señal de control a la entrada del driver DAC.....	81
Figura 3.33 Distribución interna del DCM [14].....	82
Figura 3.34 Diagrama de bloques del Módulo Display.....	83
Figura 3.35 Estudio de la elección del muestreo de la señal seno base.....	85
Figura 3.36 Estudio del error introducido por el aumento de $m_f$ en modo asíncrono.....	86
Figura 3.37 Estudio detallado del error introducido por el aumento de $m_f$ en modo asíncrono...	86
Figura 3.38 Desfase entre señal de control y triangular y efecto en señal PWM.....	87
Figura 3.39 Desfase detallado entre señal de control y triangular y efecto en señal PWM.....	87
Figura 3.40 Estudio detallado del error introducido por el aumento de $m_f$ en modo síncrono....	88
Figura 3.41 Estudio del error en las frecuencias para la opción del motor.....	89
Figura 3.42 Estudio del error en el proceso de multiplicación para $m_o=1.625$ .....	91
Figura 3.43 Estudio del error en el proceso de multiplicación para $m_o=0.0625$ .....	91
Figura 4.1 Simulación ModelSim modulación bipolar $m_o=0.5, m_f=15, f_1=50\text{Hz}$ .....	94
Figura 4.2 Simulación ModelSim modulación bipolar $m_o=0.5, m_f=15, f_1=100\text{Hz}$ .....	94
Figura 4.3 Simulación ModelSim modulación bipolar $m_o=1.5, m_f=15, f_1=50\text{Hz}$ .....	95
Figura 4.4 Simulación ModelSim modulación bipolar $m_o=5, m_f=15, f_1=50\text{Hz}$ .....	95
Figura 4.5 Simulación ModelSim modulación bipolar $m_o=0.5, m_f=7, f_1=50\text{Hz}$ .....	96
Figura 4.6 Simulación ModelSim modulación unipolar $m_o=0.5, m_f=15, f_1=50\text{Hz}$ .....	97
Figura 4.7 Simulación ModelSim modulación unipolar $m_o=0.5, m_f=7, f_1=100\text{Hz}$ .....	98
Figura 4.8 Simulación ModelSim modulación unipolar $m_o=1.5, m_f=15, f_1=50\text{Hz}$ .....	98
Figura 4.9 Simulación ModelSim modulación unipolar $m_o=5, m_f=15, f_1=50\text{Hz}$ .....	99
Figura 4.10 Simulación ModelSim modulación unipolar $m_o=0.5, m_f=7, f_1=50\text{Hz}$ .....	99
Figura 4.11 Simulación ModelSim Cancelación de tensión $m_o=0.5, m_f=15, f_1=50\text{Hz}$ , grados=45°.....	100
Figura 4.12 Simulación ModelSim Cancelación de tensión $m_o=0.5, m_f=15, f_1=50\text{Hz}$ , grados=90°.....	101
Figura 4.13 Simulación ModelSim PWM trifásica clásica $m_o=0.5, m_f=7, f_1=50\text{Hz}$ .....	102

Figura 4.14 Simulación ModelSim PWM trifásica clásica $m_a=2, m_f=15, f_1=50\text{Hz}$ .....	103
Figura 4.15 Simulación ModelSim PWM trifásica clásica $m_a=10, m_f=15, f_1=50\text{Hz}$ .....	104
Figura 4.16 Simulación ModelSim THIPWM 1/4 $m_a=1.0625:0.0625:1.1875, m_f=15, f_1=50\text{Hz}$ ...	105
Figura 4.17 Simulación ModelSim THIPWM 1/6 $m_a=1.0625:0.0625:1.25, m_f=15, f_1=50\text{Hz}$ .....	106
Figura 4.18 Simulación ModelSim CB-SPWM $m_a=1.0625:0.0625:1.25, m_f=15, f_1=50\text{Hz}$ ....	107
Figura 4.19 Simulación ModelSim excitación del motor opción 1.....	108
Figura 4.20 Simulación ModelSim tiempos muertos 100ns.....	109
Figura 4.21 Simulación ModelSim tiempos muertos 3us.....	109
Figura 4.22 Simulación ModelSim tiempos muertos 6us.....	109
Figura 4.23 Esquema Simulink de inversor monofásico.....	110
Figura 4.24 Simulación inversor modulación bipolar $m_a=0.5, m_f=15, f_1=50\text{Hz}$ .....	111
Figura 4.25 Simulación inversor modulación bipolar $m_a=0.5, m_f=15, f_1=100\text{Hz}$ .....	111
Figura 4.26 Simulación inversor modulación bipolar $m_a=1.5, m_f=15, f_1=50\text{Hz}$ .....	112
Figura 4.27 Simulación inversor modulación bipolar $m_a=5, m_f=15, f_1=50\text{Hz}$ .....	112
Figura 4.28 Simulación inversor modulación unipolar $m_a=0.5, m_f=15, f_1=50\text{Hz}$ .....	113
Figura 4.29 Simulación inversor modulación unipolar $m_a=0.5, m_f=7, f_1=50\text{Hz}$ .....	113
Figura 4.30 Simulación inversor modulación unipolar $m_a=1.5, m_f=15, f_1=50\text{Hz}$ .....	114
Figura 4.31 Simulación inversor modulación unipolar $m_a=5, m_f=15, f_1=50\text{Hz}$ .....	114
Figura 4.32 Simulación inversor Cancelación de tensión, $f_1=50\text{Hz}$ , $\text{grados}=45^\circ$ .....	115
Figura 4.33 Simulación inversor Cancelación de tensión, $f_1=50\text{Hz}$ , $\text{grados}=90^\circ$ .....	115
Figura 4.34 Esquema Simulink de inversor trifásico.....	116
Figura 4.35 Simulación inversor Modulación PWM trifásica clásica $m_a=0.5, m_f=15, f_1=50\text{Hz}$ ...	117
Figura 4.36 Simulación inversor Modulación PWM trifásica clásica $m_a=1, m_f=15, f_1=50\text{Hz}$ .....	117
Figura 4.37 Simulación inversor Modulación PWM trifásica clásica $m_a=2, m_f=15, f_1=50\text{Hz}$ .....	118
Figura 4.38 Simulación inversor Modulación PWM trifásica clásica $m_a=5, m_f=15, f_1=50\text{Hz}$ .....	118
Figura 4.39 Simulación inversor THIPWM 1/4 $m_a=1.062, m_f=15, f_1=50\text{Hz}$ .....	119
Figura 4.40 Simulación inversor THIPWM 1/6 $m_a=1.125, m_f=15, f_1=50\text{Hz}$ .....	119
Figura 4.41 Simulación inversor CB-SPWM $m_a=1.125, m_f=15, f_1=50\text{Hz}$ .....	120
Figura 4.42 Captura osciloscopio modulación bipolar $m_a=0.5, m_f=15, f_1=50\text{Hz}$ .....	121
Figura 4.43 Captura osciloscopio modulación bipolar $m_a=0.5, m_f=15, f_1=100\text{Hz}$ .....	122
Figura 4.44 Captura osciloscopio modulación bipolar $m_a=1.5, m_f=15, f_1=50\text{Hz}$ .....	122
Figura 4.45 Captura osciloscopio modulación bipolar $m_a=5, m_f=15, f_1=50\text{Hz}$ .....	123
Figura 4.46 Captura osciloscopio modulación bipolar $m_a=0.5, m_f=7, f_1=50\text{Hz}$ .....	123
Figura 4.47 Captura osciloscopio modulación unipolar $m_a=0.5, m_f=15, f_1=50\text{Hz}$ detalle.....	124
Figura 4.48 Captura osciloscopio modulación unipolar $m_a=0.5, m_f=15, f_1=50\text{Hz}$ .....	124
Figura 4.49 Captura osciloscopio modulación unipolar $m_a=0.5, m_f=7, f_1=100\text{Hz}$ .....	125
Figura 4.50 Captura osciloscopio modulación unipolar $m_a=1.5, m_f=15, f_1=50\text{Hz}$ .....	125
Figura 4.51 Captura osciloscopio modulación unipolar $m_a=5, m_f=15, f_1=50\text{Hz}$ .....	126
Figura 4.52 Captura osciloscopio Cancelación de tensión $\text{grados}=0^\circ, f_1=50\text{Hz}$ .....	126
Figura 4.53 Captura osciloscopio Cancelación de tensión $\text{grados}=45^\circ, f_1=50\text{Hz}$ .....	127
Figura 4.54 Captura osciloscopio Cancelación de tensión $\text{grados}=90^\circ, f_1=50\text{Hz}$ .....	127
Figura 4.55 Captura osciloscopio modulación PWM trifásica clásica $m_a=0.5, m_f=15, f_1=50\text{Hz}$ , señales de control y triangular.....	128
Figura 4.56 Captura osciloscopio modulación PWM trifásica clásica $m_a=2, m_f=15, f_1=50\text{Hz}$ , señales de control y triangular.....	128
Figura 4.57 Captura osciloscopio modulación PWM trifásica clásica $m_a=5, m_f=15, f_1=50\text{Hz}$ , señales de control y triangular.....	129
Figura 4.58 Captura osciloscopio modulación PWM trifásica clásica $m_a=0.5, m_f=15, f_1=50\text{Hz}$ ....	130
Figura 4.59 Captura osciloscopio modulación PWM trifásica clásica $m_a=2, m_f=15, f_1=50\text{Hz}$ .....	131
Figura 4.60 Captura osciloscopio PWM trifásica clásica $m_a=10, m_f=15, f_1=50\text{Hz}$ .....	132
Figura 4.61 Captura osciloscopio THIPWM 1/4 $m_a=1.125, m_f=15, f_1=50\text{Hz}$ .....	133
Figura 4.62 Captura osciloscopio THIPWM 1/6 $m_a=1.125, m_f=15, f_1=50\text{Hz}$ .....	133

Figura 4.63 Captura osciloscopio CB-SPWM $m_o=1.125$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	134
Figura 4.64 Captura osciloscopio tiempos muertos 100ns.....	134
Figura 4.65 Captura osciloscopio tiempos muertos 3us.....	135
Figura 4.66 Captura osciloscopio tiempos muertos 6us bajada TA+.....	135
Figura 4.67 Captura osciloscopio tiempos muertos 6us subida TA+.....	136
Figura 4.68 Captura osciloscopio inversor modulación bipolar $m_o=0.5$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	136
Figura 4.69 Captura osciloscopio inversor modulación bipolar $m_o=0.5$ , $m_f=15$ , $f_i=100\text{Hz}$ .....	137
Figura 4.70 Captura osciloscopio inversor modulación bipolar $m_o=1.5$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	137
Figura 4.71 Captura osciloscopio inversor modulación bipolar $m_o=5$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	138
Figura 4.72 Captura osciloscopio inversor modulación unipolar $m_o=0.5$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	138
Figura 4.73 Captura osciloscopio inversor modulación unipolar $m_o=0.5$ , $m_f=7$ , $f_i=50\text{Hz}$ .....	139
Figura 4.74 Captura osciloscopio inversor modulación unipolar $m_o=1.5$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	139
Figura 4.75 Captura osciloscopio inversor modulación unipolar $m_o=5$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	140
Figura 4.76 Captura osciloscopio inversor Cancelación de tensión, $f_i=50\text{Hz}$ , grados=45°.....	140
Figura 4.77 Captura osciloscopio inversor Cancelación de tensión, $f_i=50\text{Hz}$ , grados=90°.....	141
Figura 4.78 Captura osciloscopio inversor modulación PWM trifásica clásica $m_o=1$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	141
Figura 4.79 Captura osciloscopio inversor modulación PWM trifásica clásica $m_o=0.5$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	142
Figura 4.80 Captura osciloscopio inversor modulación PWM trifásica clásica $m_o=2$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	143
Figura 4.81 Captura osciloscopio inversor modulación PWM trifásica clásica $m_o=5$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	144
Figura 4.82 Captura osciloscopio inversor THIPWM 1/4 $m_o=1.062$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	145
Figura 4.83 Captura osciloscopio inversor THIPWM 1/6 $m_o=1.125$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	145
Figura 4.84 Captura osciloscopio inversor CB-SPWM $m_o=1.125$ , $m_f=15$ , $f_i=50\text{Hz}$ .....	146
Figura X.1 Esquema conexiones tarjeta FPGA, circuito de adaptación y DAC's.....	173
Figura X.2 Función de las entradas de la tarjeta FPGA.....	174
Figura XI.1 Organización interna del CD adjunto.....	178

## Tablas:

Tabla 2.1 Armónicos generalizados de $v_{A0}$ para configuración en semipuente [1].....	29
Tabla 2.2 Armónicos generalizados de $v_{LL}$ para un $m_f$ grande e impar múltiplo de 3 [1].....	39
Tabla 2.3 Índice máximo de modulación en la zona lineal para los diferentes algoritmos usados como secuencia cero [10].....	45
Tabla 3.1 Asignación de pines para conectores PMOD [2].....	52
Tabla 3.2 Conexiones del cubo de potencia Semiteach-IGBT [3].....	53 y 177

Tabla 3.3 Relación de señales PWM con las salidas del circuito de adaptación.....	55
Tabla 3.4 Descripción de las señales de entrada y salida del DAC Digilent PmodDA2 [12].....	56
Tabla 3.5 Asignación de pines para las señales de entrada del módulo de mayor jerarquía.....	61
Tabla 3.6 Asignación de pines para las señales de salida del módulo de mayor jerarquía.....	62
Tabla 3.7 Configuración de interruptores SW(2:0) para modificar y visualizarlas distintas señales.....	65 y 175
Tabla 3.8 Límites y valores posibles de las señales críticas.....	66 y 176
Tabla 3.9 Configuración de LogiCORE IP Divider Generator v3.0.....	68
Tabla 3.10 Configuración de los interruptores SW(6:3) para la elección del método PWM.....	75 y 174
Tabla 3.11 Adaptación de la señal <i>grados</i> a la señal <i>retrasos</i> .....	78
Tabla 3.12 Opciones de tiempo muerto.....	80 y 175
Tabla 4.1 Resultados de implementación de tarjeta FPGA Spartan 3E.....	147
Tabla IX.1 Presupuesto. Costes de material utilizado.....	168
Tabla IX.2 Presupuesto. Costes del desarrollo del hardware.....	169
Tabla IX.3 Presupuesto. Costes indirectos. ....	169

## SECCIÓN II – ÍNDICE DE CÓDIGOS.

Código 3.1 Cálculo de errores introducidos por el número de muestras y $m_f$ en Matlab.....	84
Código 3.2 Cálculo y aproximación de señales de control en Matlab.....	89
Código 3.3 Cálculo del error introducido por la multiplicación en Matlab.....	90
Código VII.1 Ejemplo de gestión de señal de nivel alto de los botones para aumentar señales.....	149
Código VII.2 Ejemplo de gestión de señal de Reloj cuenta lenta.....	149
Código VII.3 Ejemplo de gestión de la señal $f_1$ .....	150
Código VII.4 Ejemplo de elección de la señal enviada al Módulo Display.....	151
Código VII.5 Ejemplo de activación de <i>sem_ready</i> para introducir una latencia en la división...	152
Código VII.6 Ejemplo de gestión del Display.....	153
Código VII.7 Ejemplo de paso de binario a BCD.....	153
Código VII.8 Ejemplo de paso de BCD a los segmentos del Display.....	154
Código VII.9 Ejemplo de generación del Reloj seno.....	155
Código VII.10 Ejemplo gestión del reloj que control los tiempos muertos.....	155
Código VII.11 Generación de señal triangular.....	156
Código VII.12 Generación de señales de control o moduladora.....	158
Código VII.13 Generación de las señales de salida PWM con o sin tiempos muertos PWM.....	159
Código VII.14 Bloque de resta.....	160
Código VII.15 Comparador.....	161



## SECCIÓN III – RESUMEN.

El presente trabajo de fin de grado expone el proyecto realizado por parte del alumno para llevar a cabo la implementación de un convertidor DC/AC sobre una FPGA, obteniendo un diseño configurable en donde la técnica de modulación PWM, frecuencia, THD y amplitud del primer armónico se pueden ajustar según las necesidades de la aplicación. Se ha creado por tanto un sistema de potencia didáctico capaz de servir como apoyo en asignaturas relacionadas con la Electrónica de potencia. El trabajo abarca todos los aspectos del diseño desde su implementación VHDL hasta el funcionamiento de todo el sistema de potencia formado por el cubo de potencia Semiteach-IGBT, un circuito de adaptación, la propia tarjeta FPGA y una carga escogida.

**Palabras clave:** Aplicación Docente, Convertidor DC/AC, PWM, VHDL, FGPA.

## SECCIÓN IV – ABSTRACT.

*This document presents the final grade thesis done by the student to carry out the implementation of a DC/AC converter on a FPGA. The design allows to change in real time the PWM modulation methodology, frequency, THD and first harmonic amplitude, so as to be adapted to the requirements of the application. Therefore, a teaching power system capable of serving as support in subjects related to power electronics has been created. The work covers all aspects of the VHDL design from implementation to operation of the entire power system formed by the cube power Semiteach-IGBT, an adaptation circuit, self FPGA card and a chosen load.*

**Keywords:** Teaching application, Converters DC/AC, PWM, VHDL, FGPA.

## SECCIÓN V – RESUMEN EXTENDIDO.

La necesidad de mejorar la calidad de los procesos de enseñanza y aprendizaje en ingeniería hace que se busquen nuevas estrategias y procedimientos que contribuyan a aumentar las habilidades prácticas y de análisis crítico por parte del alumno. Entre estas estrategias se destaca, cada vez más, incluir sistemas que consoliden de una forma práctica los conocimientos teóricos. El trabajo, por tanto, tiene un carácter educativo buscando que el alumno, a través de la práctica, afiance los conocimientos sobre los convertidores DC/AC de potencia en asignaturas relacionadas con la Electrónica de Potencia, experimentando un primer acercamiento a este tipo de circuitos de conversión.

El documento que aquí se expone, forma parte del proyecto de fin de grado realizado por el alumno que lo presenta. En concreto, se trata de un diseño hardware programado en VHDL cuya principal funcionalidad es la de generar, con diferentes métodos y configuraciones, las señales PWM que excitan a un convertidor DC/AC de potencia para crear señales AC a partir de señales DC. Este diseño se implementará en una tarjeta FPGA que enviará las señales a un cubo de potencia, diseñado para uso académico, con el cual se generarán y enviarán las señales AC a una carga escogida.

Fijado este objetivo se ha realizado un diseño versátil, que permite al alumno probar las distintas estrategias de modulación, así como configurar los índices de modulación de amplitud y frecuencia, la frecuencia moduladora o la inserción los tiempos muertos. De este modo el alumno podrá comprobar de forma experimental las consecuencias de estos cambios en la salida del sistema, pudiendo ver las diferencias entre los métodos de modulación estudiados.

Las técnicas de modulación disponibles son las siguientes: PWM (*Pulse-Width Modulation*) Bipolar, PWM Unipolar, Cancelación de tensión, PWM trifásica o SPWM (*Sinusoidal Pulse-Width Modulation*), Inyección de tercer armónico o THIPWM (*Third Harmonic Injection PWM*), PWM con vectores espaciales basada en portadora o CB-SVPWM (*Carrier Based Space Vector Pulse Width Modulation*).

Este documento se puede dividir en tres grandes bloques. El primer bloque abarca todo lo referente a la base teórica de los convertidores DC/AC, también llamados inversores, monofásicos y trifásicos; en el segundo bloque se explica de una manera sencilla cómo se ha llevado a cabo el diseño VHDL, así como las características principales de todos los equipos electrónicos que se utilizarán; para terminar se realizarán todas las simulaciones y pruebas necesarias para comprobar el buen funcionamiento del sistema global.

Del primer bloque se puede comentar que se ha basado en varios libros de electrónica de potencia que tradicionalmente se han utilizado en la práctica para asignaturas cercanas a este entorno, resumiendo y explicando de una manera clara toda la teoría de potencia relevante a este trabajo.

El código del programa VHDL se ha creado con la aplicación ISE Project Navigator y consta de más de 3000 líneas de código y más de 150 señales intercomunicadas que componen el sistema diseñado. Para la explicación de este diseño, en el segundo bloque, se ha simplificado el sistema a cuatro módulos principales encargados cada uno de una misión, modificar las señales,

representarlas por el Display de la tarjeta FPGA, generar las señales que interesan ser visualizadas de forma analógica a través de DAC's o generar las señales de salida PWM. También forma parte de este bloque especificar las características de todos los equipos utilizados o necesarios, DAC's, tarjeta FPGA, fuente de alimentación, cargas y cubo de potencia Semiteach-IGBT, así como las configuraciones posibles de la tarjeta FPGA. Además, al final del bloque, se encuentra una sección en la cual se estudian los posibles errores que se han asumido en el diseño del sistema por despreciar decimales o por discretización de las ondas.

El último bloque abarca todas las gráficas de las simulaciones llevadas a cabo en ModelSim y Matlab y de las pruebas realizadas para todos los diferentes casos que pueden tener los métodos disponibles, terminando con la conclusión del funcionamiento del sistema.

Al final del documento se ha desarrollado un manual de usuario con la intención de que el alumno pueda ser capaz de saber utilizar la tarjeta sin tener conocimientos específicos de los códigos VHDL internos.

## SECCIÓN VI – MEMORIA.

### Capítulo 1. Introducción.

#### 1.1. Antecedentes y contexto de la tesis.

El presente documento refleja el Trabajo de Fin de Grado del alumno antes indicado en la portada. En éste, se muestra la importancia de su desarrollo, se explican los conceptos básicos en los que se basa el proyecto, el desarrollo del mismo, sus objetivos y sus conclusiones obtenidas.

El principal campo de desarrollo del trabajo es la Electrónica de Potencia cuya principal tarea de es la de controlar el flujo de energía eléctrica de una forma adecuada y acorde con las características de la carga [1]. Este proyecto se centrará en el control del flujo de energía de una parte continua a una parte alterna, trabajando en la creación de una aplicación docente para un primer acercamiento del alumnado a las técnicas de conversión de inversores. Para ello se ha diseñado un diseño VHDL que implementa las señales de control para un convertidor DC/AC en la FPGA Spartan3E 1200 FG320-4 [2] conectadas correctamente al cubo de potencia Semiteach-IGBT [3] mediante un circuito de adaptación [4] como se describe en la figura 1.1.

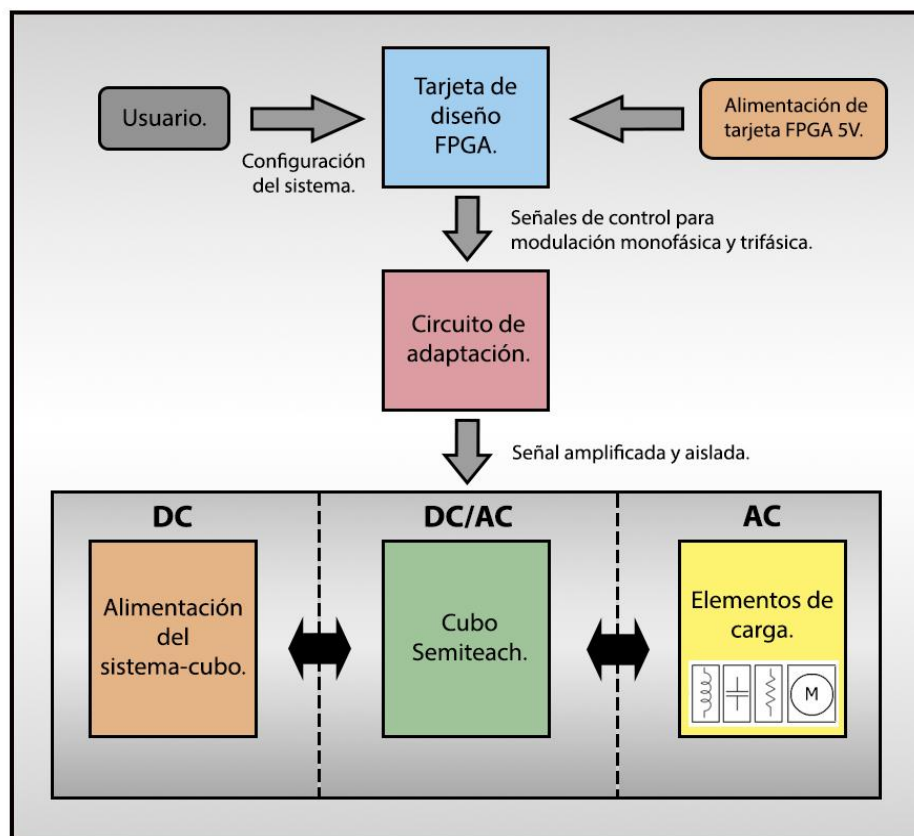


Figura 1.1. Esquema general de aplicación docente de convertidor DC/AC.

El anterior esquema permite al alumno modificar los valores relevantes de la modulación para modificar la señal de salida en amplitud y frecuencia con diferentes técnicas de modulación tanto para 1 fase como para 3 fases como son: PWM (*Pulse-Width Modulation*) Bipolar, PWM Unipolar, Cancelación de tensión, PWM trifásica o SPWM (*Sinusoidal Pulse-Width Modulation*),

Inyección de tercer armónico o THIPWM (*Third Harmonic Injection PWM*), PWM con vectores espaciales basada en portadora o CB-SVPWM (*Carrier Based Space Vector Pulse Width Modulation*).

Los convertidores DC/AC, también llamados inversores de fuente de tensión (*VSI's Voltage Source Inverter*) por su modo de funcionamiento en inverso, actualmente son una de las piezas fundamentales de la electrónica de potencia ya que permiten generar una señal sinusoidal controlada en frecuencia y magnitud a partir de una señal continua. Gracias a esto, pueden ser usados como drivers de motores de alterna, fuente de alimentación de alterna ininterrumpida, como por ejemplo, para alimentar dispositivos de corriente alterna a partir de una batería de automóvil o en aplicaciones de generación fotovoltaica, entre otras.

Actualmente existen estudios relacionados que se ha iniciado en este campo como el Trabajo de Fin de Carrera “Sistema HW de control PWM gestionado desde Matlab” R. Barco [5] o “Plataforma basada en MATLAB, FPGA Xilinx y Semiteach-IGBT para docencia en electrónica potencia” G. Pérez, A. Garrigós, J. M. Blanes, R. Gutiérrez [6]. Estos estudios usan herramientas de Matlab como el System Generator o HDL Coder para generar automáticamente código VHDL que es luego usado para programar una FPGA. En este trabajo se ha optado por crear un diseño VHDL a medida.

### **1.2. Justificación del uso de una FPGA.**

El principal motivo para crear un diseño propio VHDL sobre FPGAs es la facilidad que proporcionan las mismas, para trabajar a grandes frecuencias y la velocidad de cálculo que se requiere, haciéndolas idóneas para la implementación de algoritmos extensos y complicados sobre señales digitales [7]. Además esta elección supone una independencia de Matlab y del entorno Xilinx, siendo ampliamente más configurable gracias a su gran flexibilidad de implementación de cualquier sistema basado en VHDL.

Para el caso del diseño del inversor, el hecho de trabajar con señales digitales proporciona una amplia libertad para controlar las señales de salida y las diferentes técnicas a utilizar. Esta elección de trabajar con señales digitales en coma fija implica pérdidas por el hecho de discretizar las señales, pero comparada con el uso de señales analógicas su complejidad es muy inferior, aparte de ser mucho más barata. Todo esto hace de la FPGA una solución eficaz y de coste relativamente bajo frente a otras opciones o alternativas.

### **1.3. Objetivos.**

El objetivo de esta aplicación docente es enseñar al alumnado de una forma práctica las diferentes estrategias de modulación así como servir de apoyo para entender los conceptos básicos de la Electrónica de Potencia. Además de ayudar a adquirir las siguientes competencias especificadas en las guías docentes de las asignaturas relacionadas con la Electrónica de Potencia impartidas en la Escuela Politécnica Superior de la Universidad de Alcalá [8][17][18] como por ejemplo Grado en Ingeniería Electrónica de Comunicaciones, Grado en Ingeniería Electrónica y Automática Industrial y Grado en Ingeniería en Tecnologías de la Telecomunicación.

Competencias de carácter profesional:

- CEI4 Conocimiento aplicado de electrónica de potencia.

Competencias específicas:

- CEA1: Comprender los conceptos generales de la electrónica de potencia
- CEA2: Conocer los componentes básicos de los convertidores de potencia.
- CEA3: Capacidad de analizar y explicar el funcionamiento de convertidores de potencia.
- CEA4: Capacidad de aplicar los convertidores de potencia en sistemas de alimentación y de conversión de energía.
- CEA5: Capacidad para diseñar sistemas de potencia y automatización industrial.
- CEA6: Conocimiento aplicado de electrónica de potencia.
- CEA7: Obtener las habilidades de comunicación interpersonal y de trabajo en equipo para el trabajo efectivo en proyectos y grupos de trabajo.

Competencias genéricas:

- TR3: Conocimiento en materias básicas y tecnológicas, que les capacite para el aprendizaje de nuevos métodos y teorías, y les dote de versatilidad para adaptarse a nuevas situaciones.
- TR4: Capacidad de resolver problemas con iniciativa, toma de decisiones, creatividad, razonamiento crítico y de comunicar y transmitir conocimientos, habilidades y destrezas en el campo de la Ingeniería Industrial y de la Ingeniería de Telecomunicación.

**1.4. Estructura del documento.**

En este documento se realiza una explicación progresiva empezando por las bases teóricas, continuando con cómo se ha diseñado el sistema con las distintas estrategias de modulación y terminando con las simulaciones y pruebas realizadas con el objetivo de mostrar las conclusiones obtenidas.

La Sección VI Memoria se compone de 4 capítulos, el primero, del cual forma parte este apartado, se introduce los antecedentes y contexto del proyecto, así como, la justificación de usar una FPGA, objetivos del trabajo y estructura del documento. En el Capítulo 2 se muestran los aspectos generales de un inversor de potencia, los diferentes elementos que lo componen y el análisis de los mismos, aproximaciones matemáticas que se realizan y los diferentes métodos de modulación PWM que el sistema es capaz de generar, tanto para el caso monofásico como para el caso trifásico.

Una vez explicada la base teórica en la cual se fundamenta el trabajo, en el Capítulo 3, se procede a explicar, de la forma más sencilla posible y mediante módulos, cómo se ha realizado el diseño VHDL. Además, al final de este capítulo se ha añadido una sección que analiza y estudia todos los errores asumidos en el diseño.

En el Capítulo 4 se representan las gráficas de las simulaciones del diseño y las pruebas realizadas con el fin de poder compararlas y poder llegar a la conclusión de funcionamiento que se encuentra al final de este capítulo.

Los códigos del programa en VHDL más relevantes se incluyen en la Sección VII Diagramas y planos.

La Sección VIII muestra el pliego de condiciones, las condiciones de funcionamiento del sistema y las especificaciones más destacadas de los equipos utilizados.

A continuación, en la Sección IX se resume el presupuesto general del proyecto.

En la Sección X se incluye el Manual de usuario explicado de una manera sencilla y clara para que el alumno pueda configurar adecuadamente la tarjeta. Además se incluye en el CD adjunto a este trabajo una versión imprimible del manual de usuario. La organización interna de este CD se muestra en la Sección XI.

Finalmente en la Sección XII se incluye la bibliografía en la cual se basa el documento.

## Capítulo 2. Revisión de convertidores de DC/AC.

### 2.1. Monofásico Puente completo.

#### 2.1.1. Introducción.

En el siguiente apartado se procederá a hacer una explicación de la base teórica en la que se fundamenta la realización del trabajo, así como los cálculos realizados para el inversor monofásico. Es necesario recordar que este trabajo se basa en la creación y control de las señales que excitan los interruptores (IGBT's) del inversor con lo que a continuación se explica detenidamente las consecuencias de sus cambios.

#### 2.1.2. Explicación teórica. Generalidades.

En las siguientes páginas se explicará el funcionamiento de un inversor monofásico, sus técnicas de modulación y las ondas que generan a la salida.

Siendo precisos, el inversor es un convertidor a través del cual el flujo de energía es reversible, sin embargo, la mayor parte del tiempo el flujo de energía va de la entrada continua a la salida donde está la carga o el motor. El hecho de que la tensión y la corriente de salida sean alternas y en el peor caso, que alimenten a una carga inductiva como por ejemplo un motor, hace que la corriente  $i_o$  vaya retrasada con respecto de la tensión  $v_o$  como se muestra en la figura 2.1b implicando un funcionamiento en los cuatro cuadrantes en cada ciclo de señal como se va a explicar a continuación.

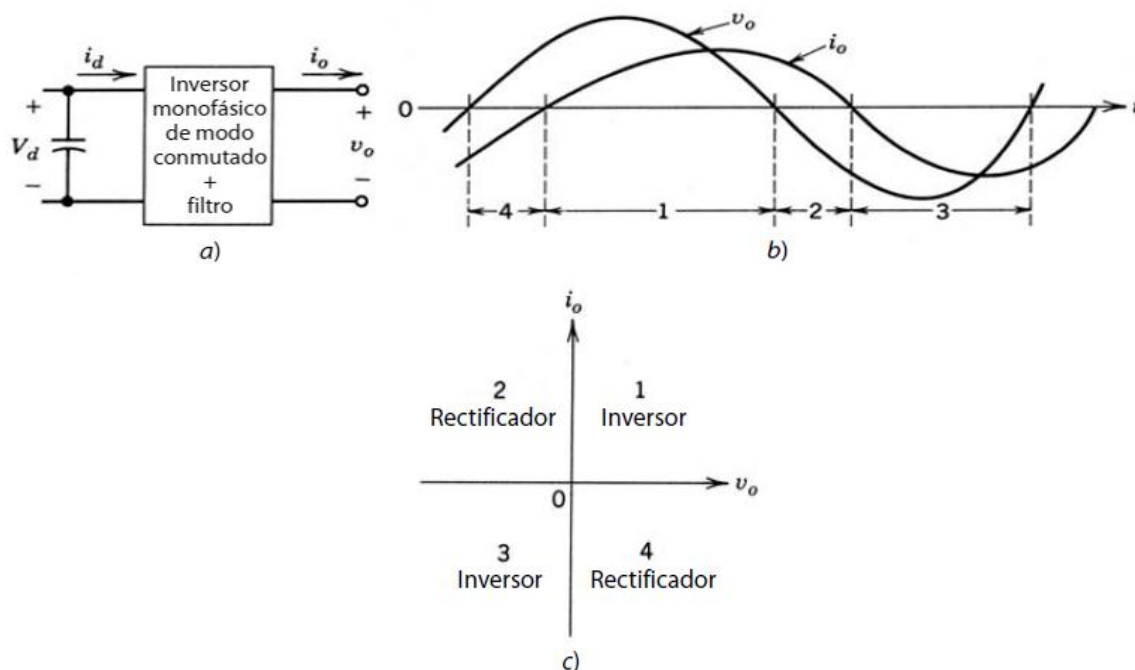


Figura 2.1 a) Esquema de inversor conmutado. b) Tensión y corriente de salida inversor. c) Cuadrantes de funcionamiento del inversor [1].

La figura 2.1 muestra la relación del funcionamiento del inversor en cada cuadrante, así como que en el intervalo 1 tanto  $v_o$  como  $i_o$  son positivas, mientras que en el intervalo 3,  $v_o$  e  $i_o$  son ambas negativas. Por tanto, durante los intervalos 1 y 3 el flujo de potencia instantánea va de la parte continua a la parte alterna funcionando como inversor. Sin embargo en los intervalos 2 y



4  $v_o$  e  $i_o$  son de signos opuestos correspondiendo a un funcionamiento como rectificador<sup>1</sup> [1]. Explicado lo anterior, es inmediato ver que el inversor necesita trabajar en una configuración que le permita trabajar en los cuatro cuadrantes del plano para cada ciclo de señal, siendo la configuración en puente completo idónea para su funcionamiento.

Una vez explicado la elección de usar la configuración de puente completo el siguiente paso es comprender el funcionamiento del inversor y como genera las señales de salida en alterna a partir de una señal continua. Para ello el siguiente esquema, figura 2.2, muestra el esquema general de un inversor monofásico.

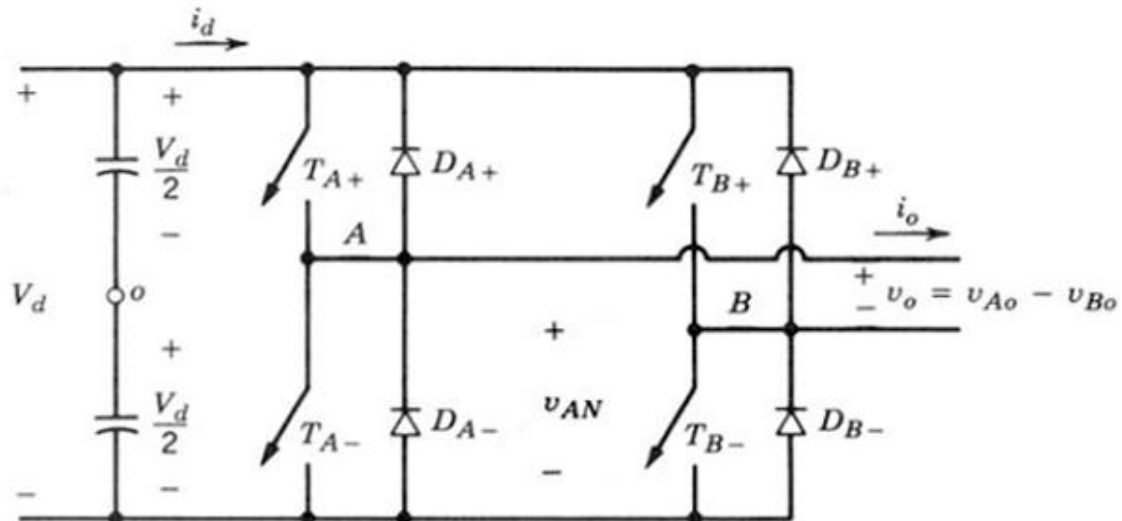


Figura 2.2 Esquema general de inversor monofásico en puente completo [1].

Para entender correctamente el esquema de la figura 2.2 hay que suponer en primer lugar que la tensión continua  $V_d$  es constante y que los interruptores  $T_{A+}$ ,  $T_{A-}$ ,  $T_{B+}$  y  $T_{B-}$  del inversor son modulados en anchura de pulsos para conformar el control de la tensión de salida. Más tarde se verá que la conmutación con onda cuadrada es un caso especial de PWM donde solo se puede modificar la frecuencia de la señal de salida.

La excitación controlada los interruptores  $T_{A+}$ ,  $T_{A-}$ ,  $T_{B+}$  y  $T_{B-}$  del inversor provoca que se genere una señal en  $v_{A0}$ , como por ejemplo la descrita en la figura 2.3b teniendo en cuenta solo la rama A<sup>2</sup>. Este efecto es similar al de la rama B y como más tarde se verá al de la rama C en inversores trifásicos. La resta de las tensiones  $v_{A0}$  y  $v_{B0}$  generan la señal de salida del inversor mostrada en la figura 2.3c de donde se puede apreciar la forma sinusoidal que tiene el primer armónico  $v_{o1}$ .

Para conseguir que estas señales de salida se generen es esencial controlar la apertura y cierre de los interruptores o IGBTs. Para ello, a continuación, se explicará cómo se genera las señales que controlan su apertura y cierre, de qué valores depende y su importancia. Además, a partir de ahora y hasta que se especifique, con el fin de simplificar la explicación se tendrá en cuenta solo la rama A en una configuración de semipuente. Es necesario comentar que todas las señales

<sup>1</sup> Un rectificador es un circuito electrónico que permite convertir tensión o corriente alterna en tensión o corriente continua, AC/DC.

<sup>2</sup> Se llama rama A al conjunto de los interruptores  $T_{A+}$  y  $T_{A-}$ .

de control de los interruptores se van a suponer sin tiempos muertos<sup>3</sup> asumiendo que los interruptores son ideales.

Estudio de la configuración semipunte.

Si queremos modular estas señales de control es necesario explicar el plan de conmutación por PWM, pero antes se debe de definir algunos términos como son la onda triangular  $v_{tri}$ , la señal de control  $v_{control}$ , la frecuencia fundamental  $f_1$  o también llamada frecuencia moduladora, el índice de relación de modulación de amplitud  $m_a$  y el índice de relación de modulación de frecuencia  $m_f$ .

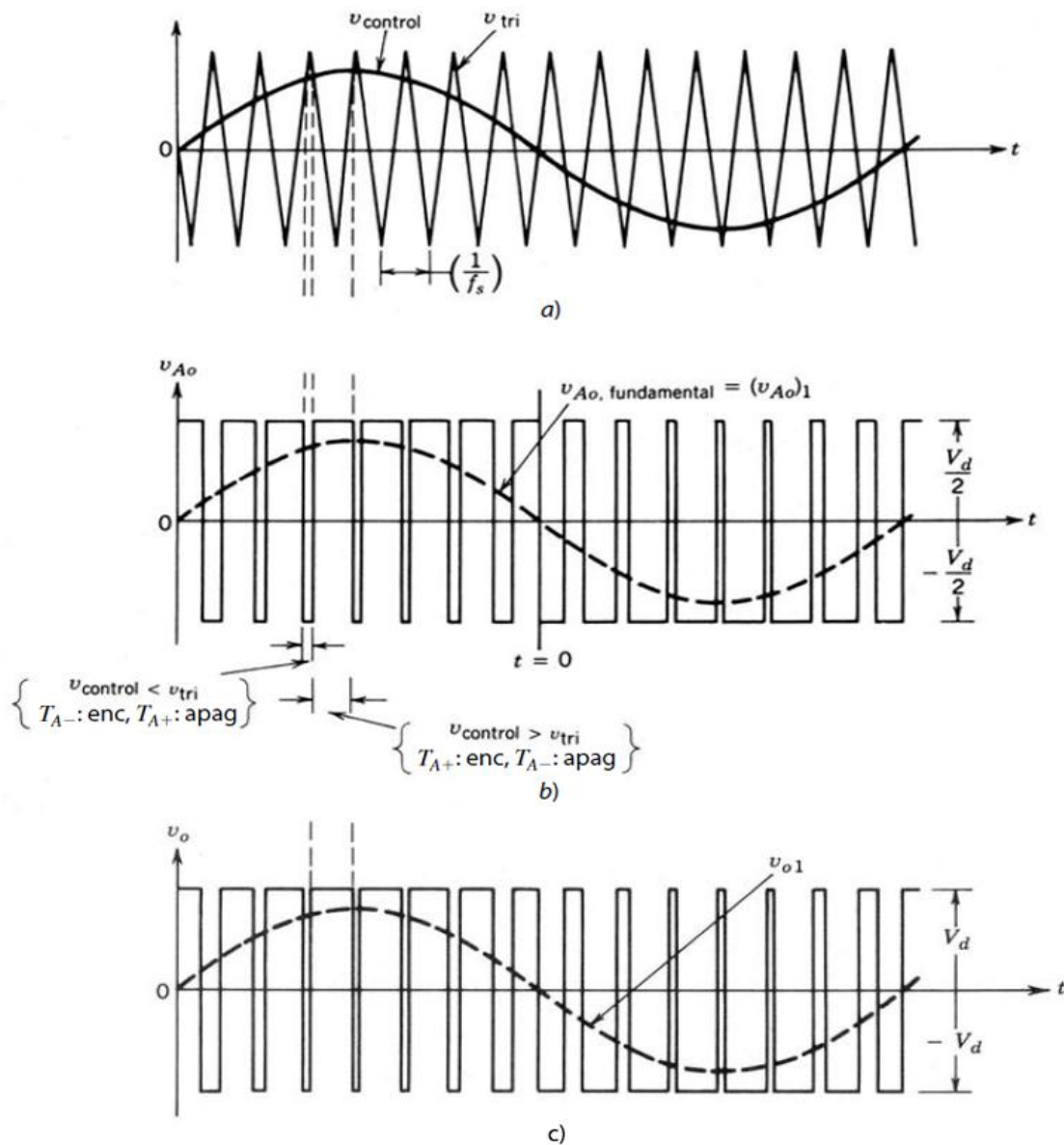


Figura 2.3 a) Señal de control y Onda triangular. b) Tensión  $v_{Ao}$  generada por la conmutación de los interruptores. c) Tensión de salida del inversor puente completo para  $m_f=15$  y  $m_a=0.8$  [1].

<sup>3</sup> Los tiempos muertos son retrasos que se generan entre las conmutaciones para evitar cortocircuitos. Este concepto se explicará más adelante en el apartado 2.3.

Como se aprecia en la figura 2.3a la señal de control es una senoide con frecuencia  $f_1$  y amplitud de pico  $\hat{V}_{control}$  y la señal onda triangular es una señal triangular como su nombre indica de frecuencia  $f_s$  y amplitud  $\hat{V}_{tri}$  que por lo general se mantiene constante. Existe una relación entre las frecuencias  $f_1$  y  $f_s$  así como entre las amplitudes de estas dos señales  $\hat{V}_{control}$  y  $\hat{V}_{tri}$  siendo estas relaciones la relación de modulación de amplitud  $m_a$  y el factor de modulación de frecuencia  $m_f$ .

$$m_a = \frac{\hat{V}_{control}}{\hat{V}_{tri}} \quad < 2.1 >$$

$$m_f = \frac{f_s}{f_1} \quad < 2.2 >$$

En el inversor de la figura 2.2, los interruptores  $TA+$  y  $TA-$  se controlan mediante la comparación entre  $v_{control}$  y  $v_{tri}$ , obteniendo como resultado el voltaje de salida  $v_{AO}$  descrito en la figura 2.3b, independientemente del sentido de  $i_o$ .

$$\begin{aligned} v_{control} > v_{tri}, T_{A+} \quad ON, v_{AO} &= \frac{1}{2}V_d \\ v_{control} < v_{tri}, T_{A-} \quad ON, v_{AO} &= -\frac{1}{2}V_d \end{aligned} \quad < 2.3 >$$

Este control de la conmutación de los interruptores de la rama A genera la señal  $v_{AO}$  y por ende, la señal de salida  $v_o$ .

Los valores de  $m_a$  y  $m_f$  son determinantes para la señal de salida ya que como se ve en la siguiente figura, figura 2.4, con  $m_a$  se controla la amplitud del primer armónico a la salida y con  $m_f$  se ajusta el contenido armónico a la salida [9].

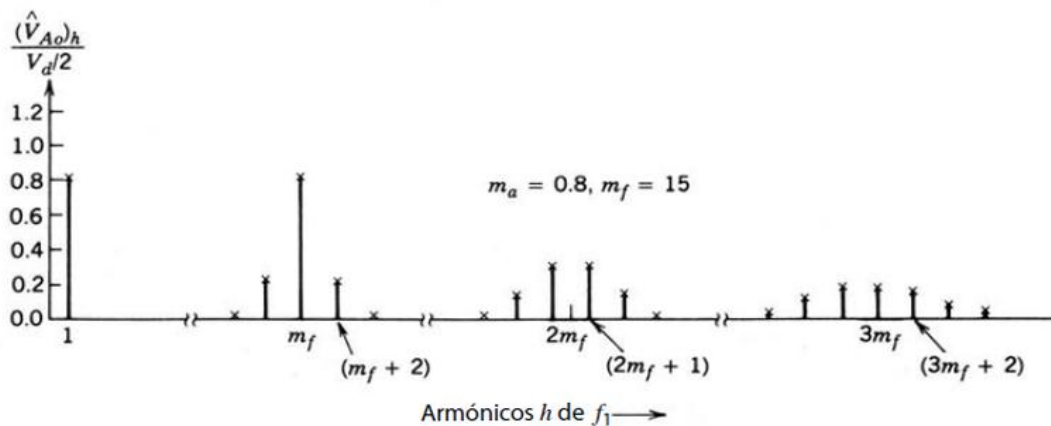


Figura 2.4 Espectro de armónicos de  $v_{AO}$  en función de  $m_f$  y  $m_a$  [1].

El espectro de armónicos de  $v_{AO}$  de la figura 2.4 en las condiciones indicadas en la figura 2.3c muestra los voltajes armónicos normalizados  $(\hat{V}_{AO})_h/0.5V_d$  con amplitudes más significativas para una  $m_a \leq 1.0$  donde es necesario comentar varios aspectos importantes:

1. Al ser  $f_s$  bastante mayor que  $f_1$ , la salida ponderada para cada periodo de conmutación puede hallarse suponiendo  $v_{control}$  constante en cada periodo de conmutación concreto

como se ve en la figura 2.5, provocando que la amplitud de pico de la componente fundamental de  $v_{Ao}$  es  $m_a$  veces  $0.5V_d$  dando:

$$V_{Ao} = \frac{\hat{V}_{control} V_d}{\hat{V}_{tri} 2} \quad v_{control} \leq \hat{V}_{tri} \quad < 2.4 >$$

Suponiendo que  $v_{control}$  varía muy poco durante un periodo de conmutación, es decir es constante, debido a que  $m_f$  es muy grande como se ve en la figura 2.5 la ecuación 2.4 indica que el valor de “promedio instantáneo” de  $v_{Ao}$  varía de un periodo de conmutación al siguiente. Este valor instantáneo medio es el mismo que la componente fundamental de  $v_{Ao}$ . Esto explica por qué se elige  $v_{control}$  sinusoidal para proporcionar una tensión de salida sinusoidal con pocos armónicos. Si la tensión de control varía sinusoidalmente a frecuencia  $f_1 = \omega_1/2\pi$ , que es la deseada a la salida del inversor:

$$v_{control} = \hat{V}_{control} \sin \omega_1 t \quad \text{donde} \quad \hat{V}_{control} \leq \hat{V}_{tri} \quad < 2.5 >$$

Uniendo las Ecuaciones 2.4 y 2.5 es inmediato llegar a la siguiente conclusión:

$$(v_{Ao})_1 = \frac{\hat{V}_{control}}{\hat{V}_{tri}} \sin \omega_1 t \frac{V_d}{2} = m_a \sin \omega_1 t \frac{V_d}{2} \quad \text{para } m_a \leq 1.0 \quad < 2.6 >$$

por tanto,

$$(\hat{V}_{Ao})_1 = m_a \frac{V_d}{2} \quad m_a \leq 1.0 \quad (\text{semipunte}) \quad < 2.7 >$$

lo que muestra que en una PWM sinusoidal, la amplitud de la componente de frecuencia fundamental del voltaje de la salida varía en forma lineal con  $m_a$  mientras  $m_a \leq 1.0$ . Por este motivo, el rango de  $m_a$  de 0 a 1 se le llama rango lineal [1][9].

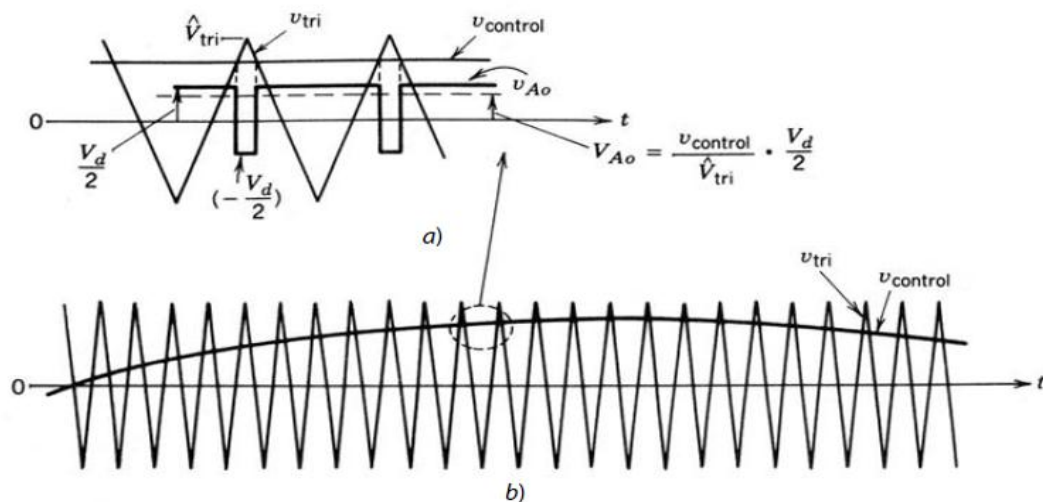


Figura 2.5 PWM sinusoidal [1].

- Los armónicos de la tensión de salida aparecen en bandas laterales alrededor de la frecuencia de conmutación y sus múltiplos (alrededor de los armónicos  $m_f$ ,  $2m_f$ ,  $3m_f$  y de ahí en adelante). Este patrón general se mantiene cierto para todos los valores de  $m_a$  en el rango lineal, de 0 a 1. En teoría, las frecuencias en las que ocurren armónicos de frecuencia se indican como

$$f_h = (jm_f \pm k)f_1 \quad < 2.8 >$$

Es decir, el orden armónico  $h$  corresponde a la banda lateral número  $k$  de  $j$  veces la relación de modulación de frecuencia  $m_f$  donde la frecuencia fundamental se corresponde para  $h=1$ .

$$h = j(m_f) \pm k \quad \text{con } j \text{ y } k \text{ enteros} \quad < 2.9 >$$

A continuación se muestra una tabla de valores donde los armónicos están normalizados y aparecen tabulados en función de la relación de modulación de amplitud  $m_a$  para la configuración de semipunto, suponiendo  $m_f \geq 9$ . Solo los que presentan amplitudes de valor significativo por encima de  $j=4$  se muestran en la ecuación 2.9. Será pues útil reconocer posteriormente que en el inversor semipunto.

$$v_{AN} = v_{AO} + \frac{1}{2}V_d \quad < 2.10 >$$

Siendo por tanto los armónicos de las componentes de tensión  $v_{AO}$  y  $v_{AN}$  iguales

$$(\hat{V}_{AN})_h = (\hat{V}_{AO})_h \quad < 2.11 >$$

La Tabla 2.1 nos muestra que la ecuación 2.7 se sigue casi de una forma exacta y la amplitud de la componente fundamental en la tensión de salida varía linealmente con  $m_a$  [1][9].

Armónicos generalizados de  $v_{AO}$  para un  $m_f$  grande.

$h$ \ $m_a$	0.2	0.4	0.6	0.8	1.0
1	0.2	0.4	0.6	0.8	1.0
<i>Fundamental</i>					
$m_f$	1.242	1.15	1.006	0.818	0.601
$m_f \pm 2$	0.016	0.061	0.131	0.220	0.318
$m_f \pm 4$					0.018
$2m_f \pm 1$	0.190	0.326	0.370	0.314	0.181
$2m_f \pm 3$		0.024	0.071	0.139	0.212
$2m_f \pm 5$				0.013	0.033
$3m_f$	0.335	0.123	0.083	0.171	0.113
$3m_f \pm 2$	0.044	0.139	0.203	0.176	0.062
$3m_f \pm 4$		0.012	0.047	0.104	0.157
$3m_f \pm 6$				0.016	0.044
$4m_f \pm 1$	0.163	0.157	0.008	0.105	0.068
$4m_f \pm 3$	0.012	0.070	0.132	0.115	0.009
$4m_f \pm 5$			0.034	0.084	0.119
$4m_f \pm 7$				0.017	0.050

Nota:  $(\hat{V}_{AO})_h / \frac{1}{2}V_d [= (\hat{V}_{AN})_h / \frac{1}{2}V_d]$  está tabulado como función de  $m_a$ .

Tabla 2.1 Armónicos generalizados de  $v_{AO}$  para configuración en semipunto [1].

3. El valor de  $m_f$  es crítico, así como que la señal sinusoidal y triangular estén sincronizadas, esto es, pasos por cero sincronizados y en contrafase, para valores de  $m_f$  menores de 21 y enteros usando así una PWM síncrona. Por otro lado si  $m_f$  es mayor de 21 los subarmónicos debidos a la asíncrona no son tan importantes y se puede usar una PWM asíncrona, es decir, se pueden usar valores de  $m_f$  no enteros. Además si se elige impar la forma de onda de la salida tendrá una simetría impar de media de onda, provocando que se anulen todos los armónicos pares. Por lo tanto, si  $j$  es impar sólo existirán armónicos para valores pares de  $k$ , mientras que si es par, no habrán armónicos en  $j \cdot m_f$ , y solo existirán armónicos para valores impares de  $k$ . Su valor puede variar desde valores inferiores a 9 para control de motores AC de altas potencias, hasta valores por encima de 100 en bajas potencias [1][9].
4. Debe tenerse en cuenta que en la elección de  $m_f$ , y por lo tanto de  $f_s$ , interesa un valor alto de  $f_s$  para ayudar al filtrado de armónicos, aunque teniendo cuidado, ya que al aumentar la frecuencia de muestreo aumentan las pérdidas en conmutación. Otro punto a añadir en este aspecto es el de intentar evitar las frecuencias audibles siendo, por tanto, en la mayoría de las aplicaciones, la frecuencia de conmutación seleccionada en un intervalo en el cual sean menores de 6 KHz o mayores de 20 KHz. Por ese motivo en aplicaciones del tipo 50 Hz o 60 Hz como son drivers para motores de alterna la relación de modulación de frecuencia  $m_f$  suele ser de 9 o incluso menos para frecuencias de conmutación menores que 2 KHz, y por lo tanto menos audibles [9].

Una vez explicada la importancia de la elección de la relación de modulación de frecuencia  $m_f$ , es necesario explicar las consecuencias de que  $m_a$  sea mayor que 1. El resultado de este incremento se le conoce como sobremodulación donde se ve como la amplitud de la señal sinusoidal supera el valor de pico de la señal triangular. La región que encierra se ve en la figura 2.7. La sobremodulación es un estado acotado hasta que al aumentar lo suficiente  $m_a$  pasa al siguiente estado llamado onda cuadrada.

La primera consecuencia inmediata de la sobremodulación es que genera que la tensión de salida contenga muchos más armónicos en las bandas laterales que en caso lineal. Además se aprecia como en la figura 2.6 la amplitud del primer armónico es mayor que en el caso lineal, y no crece linealmente con  $m_a$ .

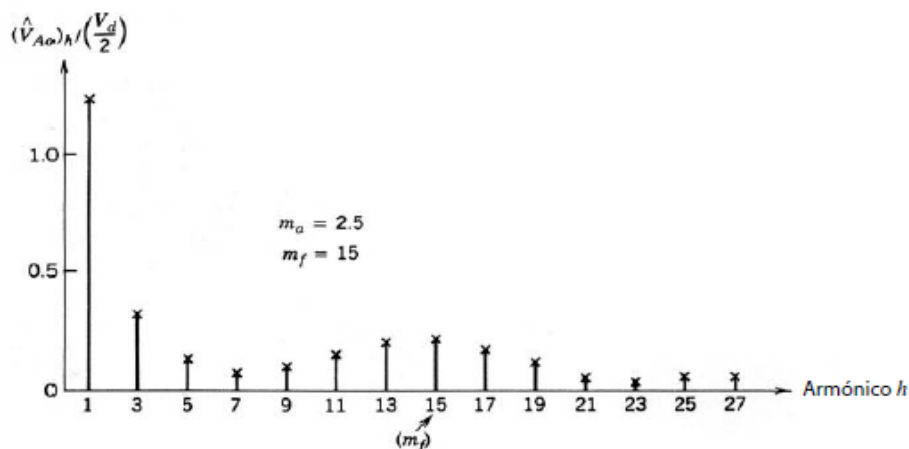


Figura 2.6 Armónicos debidos a una sobremodulación:  $m_a=2.5$  y  $m_f=15$  en configuración semipunte [1].

La región de sobremodulación es evitada en fuentes de alimentación ininterrumpidas para minimizar la distorsión de la tensión de salida. Sin embargo en drivers de motor de inducción típicamente se emplea.

Por tanto para valores suficientemente grandes de  $m_a$  la forma de onda del voltaje del inversor pasa a ser desde una onda modulada por el modo conmutado hasta una onda cuadrada presentando unos valores de pico de  $(V_{Ao})_1$  dentro del siguiente intervalo.

$$\frac{V_d}{2} < (\hat{V}_{Ao})_1 < \frac{4}{\pi} \frac{V_d}{2} \quad < 2.12 >$$

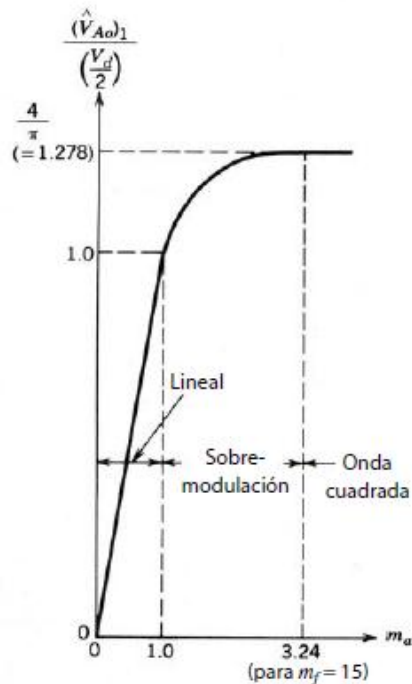


Figura 2.7 Control de la tensión variando  $m_a$  para  $m_f=15$  y en configuración semipunte [1].

El límite máximo del intervalo anterior viene determinado por la región de onda cuadrada. Esta región se caracteriza por que cada interruptor del inversor está en “on” durante medio ciclo de  $f_1$ . Esto provoca una tensión como se muestra en la figura 2.8a. Aplicando un análisis de Fourier se llega a la conclusión de que los valores de pico de frecuencia fundamental y de los armónicos en la salida del inversor pueden ser obtenidos para una entrada determinada  $V_d$  como

$$(\hat{V}_{Ao})_1 = \frac{4}{\pi} \frac{V_d}{2} = 1.273 \left( \frac{V_d}{2} \right) \quad < 2.13 >$$

y que por lo tanto

$$(\hat{V}_{Ao})_h = \frac{(\hat{V}_{Ao})_1}{h} \quad < 2.14 >$$

donde  $h$  es el orden armónico y solo toma valores impares como se aprecia en la figura 2.8b. Es importante puntualizar que la conmutación con onda cuadrada es un caso especial de PWM donde  $m_a$  se hace tan grande que la tensión de control solo corta a la onda triangular en los

pasos por cero siendo por tanto, la tensión de salida independiente del valor de  $m_a$  en la región de onda cuadrada. En este modo solo se puede configurar la frecuencia fundamental de salida que se quiere obtener.

Una de las ventajas del funcionamiento con onda cuadrada es que cada interruptor del inversor cambia su estado dos veces por ciclo minimizando las pérdidas por conmutación. Este hecho es importante para niveles de potencia muy elevado. Una desventaja es que en esta conmutación el inversor no es capaz de regular la magnitud de la tensión de salida obligando a que si queremos ajustar la tensión de salida tengamos que cambiar  $V_d$ .

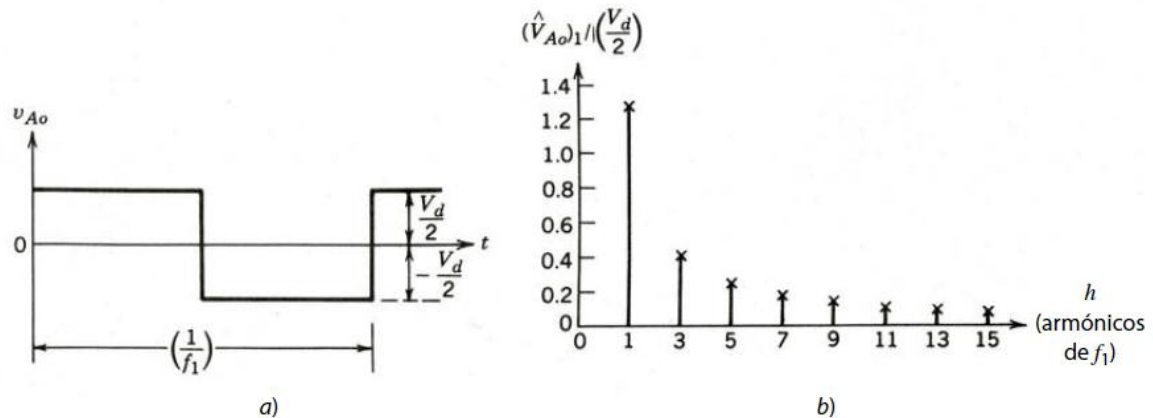


Figura 2.8 a) Tensión de salida  $v_{Ao}$ . b) Armónicos característicos en onda cuadrada en configuración semipunte [1].

Estudio de configuración en puente completo:

**2.1.3. PWM Bipolar.**

En el siguiente apartado y de aquí a delante, se tendrá en cuenta la configuración mostrada en la figura 2.2 de inversor puente completo para explicar los siguientes modos.

La esencia del funcionamiento de esta configuración es el funcionamiento en diagonal, es decir que los interruptores  $TA+$  y  $TB-$  se abren y cierran a la par y contrarios a los interruptores  $TB+$  y  $TA-$ . Es decir, los interruptores en diagonales opuestas ( $TA+$ ,  $TB-$ ) y ( $TA-$ ,  $TB+$ ) de las dos ramas de la figura 2.2 se conmutan como par 1 y par 2 respectivamente obteniendo un tipo de PWM donde la tensión de salida de la rama A es idéntica a la salida del inversor básico semipunte con el que se ha explicado las bases teóricas. Esta tensión de salida viene determinada por la comparación de  $v_{control}$  y  $v_{tri}$  como se ve en la figura 2.3a y figura 2.3c. La salida de la rama B del inversor es negativo con respecto a la salida de la rama A [9]. Por tanto:

$$v_{Bo}(t) = -v_{Ao}(t) \quad < 2.15 >$$

y

$$v_o(t) = v_{Ao}(t) - v_{Bo}(t) = 2v_{Ao}(t) \quad < 2.16 >$$

El análisis realizado para el estudio de los valores de  $V_{Ao}$  para el inversor básico de una rama se puede aplicar por completo a este tipo de modo de funcionamiento PWM Bipolar. Por lo tanto



el pico de la frecuencia fundamental de la tensión de salida puede hallarse de las ecuaciones 2.7, 2.12 y 2.16 como

$$\hat{V}_{o1} = m_a V_d \quad (m_a \leq 1.0) \quad \text{Zona lineal} \quad < 2.17 >$$

y

$$V_d < \hat{V}_{o1} < \frac{4}{\pi} V_d \quad (m_a \geq 1.0) \quad \text{Zona sobremodulación} \quad < 2.18 >$$

Si nos fijamos en la figura 2.3c, se ve como la tensión de salida  $v_o$  conmuta entre  $-V_d$  y  $+V_d$  sin componente continua. Esta es la principal razón por la cual este tipo de conmutación de llama PWM bipolar.

Cuando  $m_a$  aumenta lo suficiente como para que la señal PWM se convierta en una onda cuadrada la tensión de pico del primer armónico de la salida no supera el valor mostrado a continuación:

$$\hat{V}_{o1} = \frac{4}{\pi} V_d \quad \text{Zona onda cuadrada} \quad < 2.19 >$$

#### 2.1.4. PWM Unipolar.

En la conmutación PWM por voltaje unipolar, los interruptores en las dos ramas del inversor del puente completo de la figura 2.2 no se conmutan a la vez como pasaba en el método PWM bipolar. En este método las ramas A y B del inversor de puente completo se controlan por separado mediante la comparación entre  $v_{tri}$  con  $v_{control}$  y  $-v_{control}$ , respectivamente. En la figura 2.9a la comparación de  $v_{control}$  con la forma de onda triangular provoca las siguientes señales lógicas para controlar los interruptores de la rama A:

$$\begin{aligned} v_{control} > v_{tri}, & \quad T_{A+} \text{ está encendido y } v_{AN} = V_d \\ v_{control} < v_{tri}, & \quad T_{A-} \text{ está encendido y } v_{AN} = 0 \end{aligned} \quad < 2.20 >$$

El voltaje de salida de la rama A del inversor respecto del bus N de CC negativa se muestra en la figura 2.9b. En la rama B se compara con  $-v_{control}$  con la misma forma de onda triangular, obteniendo lo siguiente:

$$\begin{aligned} (-v_{control}) > v_{tri}, & \quad T_{B+} \text{ está encendido y } v_{BN} = V_d \\ (-v_{control}) < v_{tri}, & \quad T_{B-} \text{ está encendido y } v_{BN} = 0 \end{aligned} \quad < 2.21 >$$

Gracias a los diodos de realimentación en conexión antiparalelo con los interruptores, los voltajes  $v_{AN}$  y  $v_{BN}$  son independientes del sentido de la corriente de salida  $i_o$ .

Las formas de onda de la figura 2.9 muestran que hay cuatro combinaciones de estados activos de interruptores con sus cuatro niveles de voltaje:

$$\begin{aligned} 1. T_{A+}, T_{B-} \text{ enc: } & v_{AN} = V_d \quad v_{BN} = 0; \quad v_o = V_d \\ 2. T_{A-}, T_{B+} \text{ enc: } & v_{AN} = 0, \quad v_{BN} = V_d; \quad v_o = -V_d \\ 3. T_{A+}, T_{B+} \text{ enc: } & v_{AN} = V_d, \quad v_{BN} = V_d; \quad v_o = 0 \\ 4. T_{A-}, T_{B-} \text{ enc: } & v_{AN} = 0, \quad v_{BN} = 0; \quad v_o = 0 \end{aligned} \quad < 2.22 >$$

Se aprecia como cuando ambos interruptores superiores están encendidos, el voltaje de salida es cero. Además vemos como la corriente de salida circula en un lazo a través de  $TA+$  y  $DB+$ , o  $DA+$  y  $TB+$ , según el sentido de la corriente de salida  $i_o$ . Durante este intervalo la corriente de entrada  $i_d$  es cero. Este efecto es el mismo para el caso en que los interruptores inferiores están encendidos [9].

El motivo por el cual se llame PWM unipolar es porque el valor de la tensión de salida  $v_o$  se encuentra comprendido siempre entre  $\pm V_d$  y  $0V$  como se aprecia en la figura 2.9d.

En este modo de conmutación la evolución de la tensión promedio en función de  $m_a$ , a bajas frecuencias, a la salida es idéntica que al caso de PWM para salida bipolar siendo igual por lo tanto que la figura 2.7 siguiendo las ecuaciones 2.17 y 2.18.

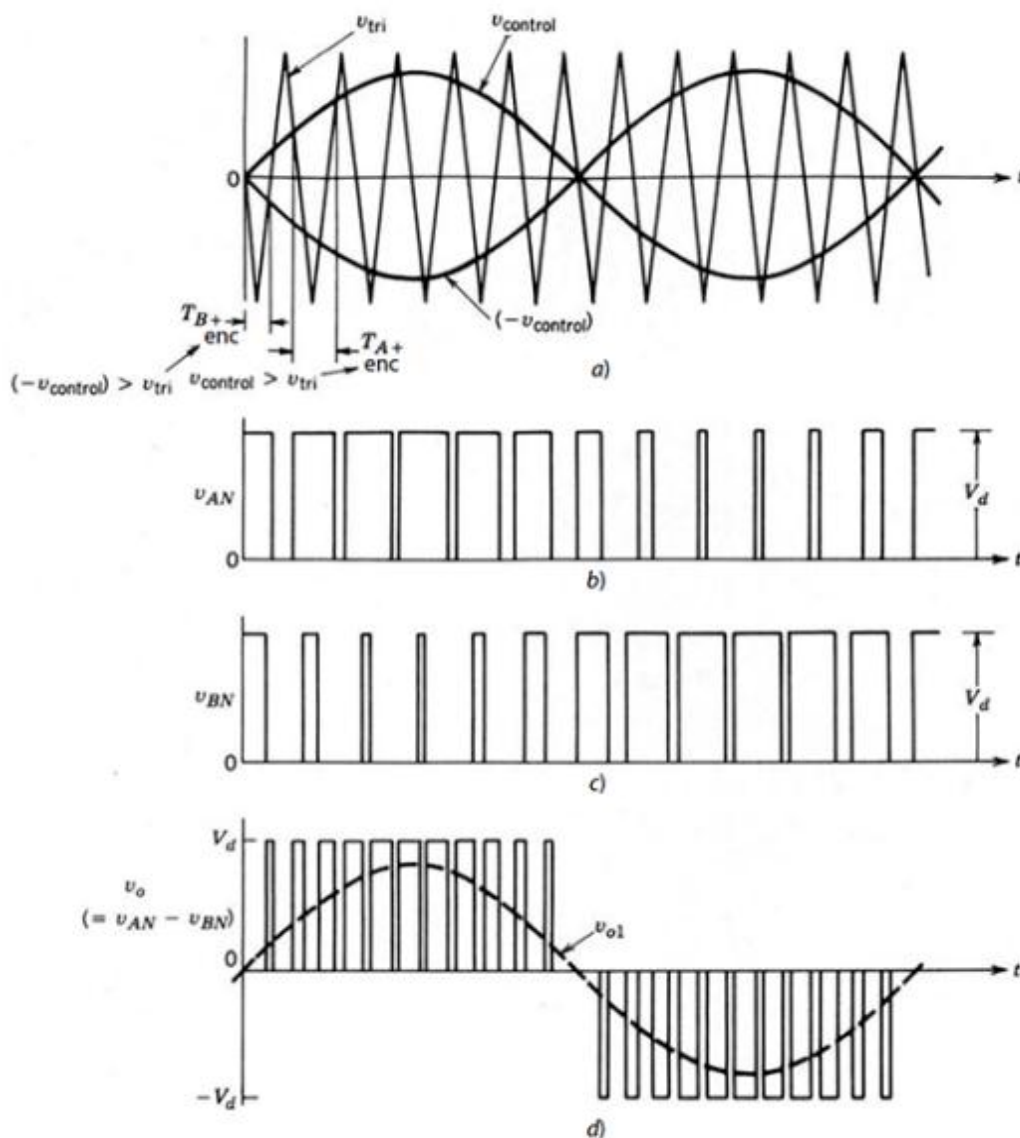


Figura 2.9 PWM con conmutación por voltaje unipolar monofásico: a) Señales de control y señal triangular; b) Tensión de excitación  $TA+$ ; c) Tensión de excitación  $TB+$ ; d) Tensión de salida unipolar [1].

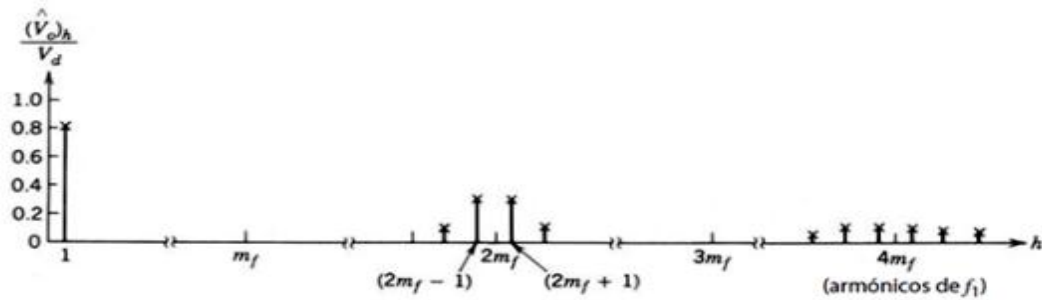


Figura 2.10 Respuesta armónica PWM con conmutación por voltaje unipolar monofásico [1].

El esquema de PWM unipolar permite doblar la frecuencia de conmutación comparada con el esquema de conmutación con tensión bipolar. Además los saltos de tensión en cada conmutación son reducidos a  $V_d$  en comparación con los  $2V_d$  del esquema anterior.

La ventaja de doblar la frecuencia de conmutación se ve reflejada en la figura 2.10 donde aparece el espectro de armónicos de la tensión de salida  $v_o$  y se ve que los armónicos más bajos aparecen como bandas laterales del doble de frecuencia de conmutación, alejando así los armónicos secundarios del armónico fundamental. En este modo es interesante escoger un factor de modulación de frecuencia  $m_f$  par, ya que de este modo las formas de onda del primer armónico de tensión  $v_{AN}$  y  $v_{BN}$  tienen la misma fase dando como resultado la supresión de los armónicos a la frecuencia de conmutación en la tensión de salida y sus múltiplos impares  $v_o = v_{AN} - v_{BN}$ . Además las bandas laterales de la frecuencia de conmutación desaparecen y se cancelan los otros armónicos dominantes al doble de frecuencia que la frecuencia de conmutación, aunque no lo hacen sus bandas laterales.

El resto de consideraciones acerca de valores pequeños de  $m_f$  que necesitan una PWM síncrona y valores grandes de  $m_f$  donde puede ser PWM asíncrona, se tratan igual que en el caso de con salida bipolar explicado implícitamente en la base teórica.

### 2.1.5. Cancelación de tensión.

El siguiente tipo de control es aplicado solo en circuitos inversores en puente completo de una fase y se basa en la combinación de conmutación con onda cuadrada y PWM con tensión unipolar. La esencia de este método es trabajar con  $v_{AN}$  y  $v_{BN}$  en forma de ondas cuadradas con un ciclo de trabajo de 0.5 desplazadas  $\alpha$  grados provocando una cancelación de tensión y obteniendo el aspecto de la onda de tensión de salida  $v_o$  que se ve en la figura 2.11b. Esta cancelación de tensión es debida a que ambos interruptores superiores o ambos interruptores inferiores estén encendidos.

Es más fácil deducir las componentes de frecuencia fundamental y armónica del voltaje de salida en términos de  $\beta = 90^\circ - 0.5\alpha$  como se ve en la figura 2.11b:

$$\begin{aligned}
 (\hat{V}_o)_h &= \frac{2}{\pi} \int_{-\pi/2}^{\pi/2} v_o \cos(h\theta) d\theta = \frac{2}{\pi} \int_{\beta}^{\pi-\beta} V_d \cos(h\theta) d\theta \\
 (\hat{V}_o)_h &= \frac{4}{\pi h} V_d \sin(h\beta) \qquad < 2.23 >
 \end{aligned}$$

donde  $\beta = 90^\circ - 0.5\alpha$  y  $h$  es un entero impar [1].

La figura 2.11c muestra la variación en función de  $\alpha$  de la componente fundamental y de los armónicos. Éstos últimos se normalizan respecto de la componente de frecuencia fundamental para operación de ondas cuadradas ( $\alpha = 0$ ). La distorsión armónica total también se traza en función de  $\alpha$ . Debido a la gran distorsión, las curvas se muestran como líneas interrumpidas para valores grandes de  $\alpha$ .

Además se aprecia como la distorsión armónica total se dispara para valores de  $\alpha$  por encima de los  $90^\circ$ , esto es, para valores de  $\beta$  por debajo de  $45^\circ$ .

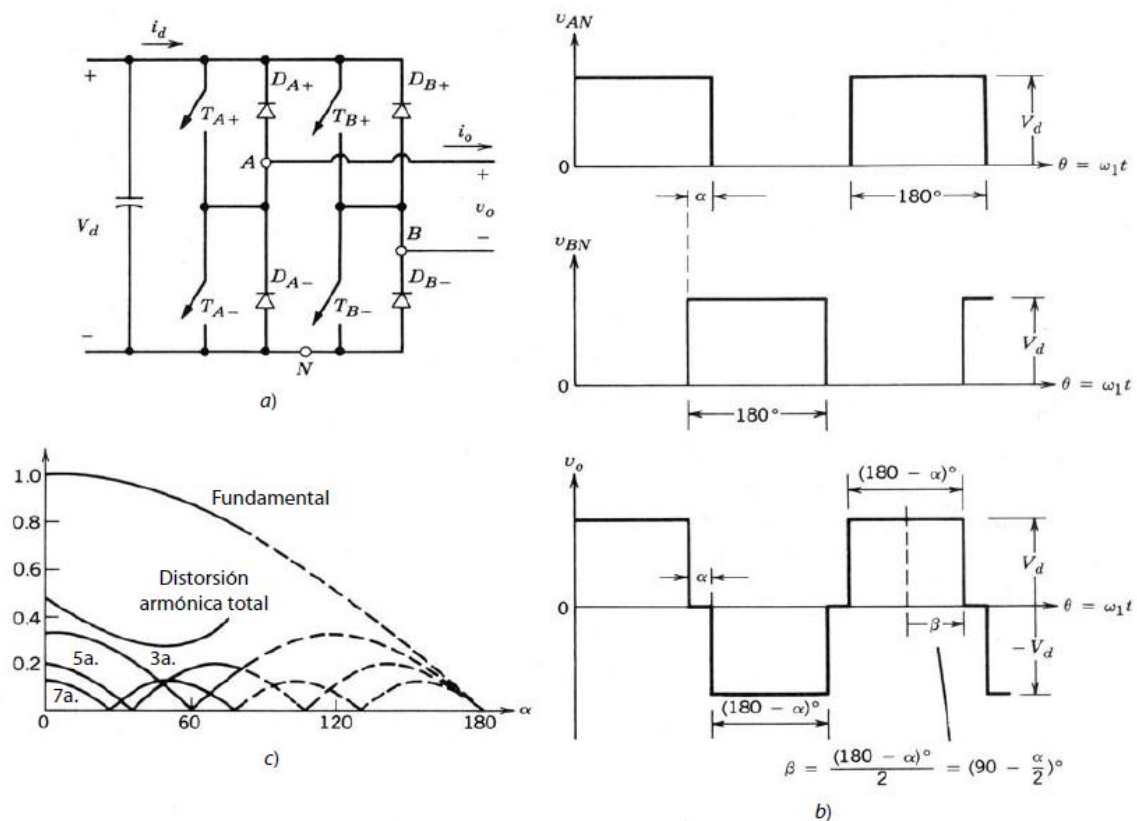


Figura 2.11 Control de un inversor de puente completo mediante cancelación de tensión: a) circuito de potencia; b) formas de onda; c) salida de voltaje normalizado respecto al armónico fundamental y distorsión armónica total como función de  $\alpha$  [1].

## 2.2. Trifásico basado en PWM. Algoritmos de PWM continuos.

Los inversores trifásicos son usados en aplicaciones como fuentes de alimentación ininterrumpida de alterna o motores de alterna donde se requiere un inversor trifásico para alimentar cargas trifásicas. La manera más razonable de alimentar una carga trifásica es utilizando un inversor trifásico como el que se muestra en la figura 2.12, donde se aplican los mismos conceptos que para el inversor monofásico, teniendo en cuenta que a este último se le añade una rama más, rama C. Por tanto, la salida de cada rama, por ejemplo  $v_{AN}$ , depende solo de  $V_d$  y del estado del interruptor ya que la tensión de salida es independiente de la corriente en la carga de salida puesto que algunos de los interruptores de la rama está siempre en "on" para cada instante. Comentar que en esta sección se vuelven a ignorar los tiempos muertos necesarios para circuitos prácticos asumiendo que los interruptores o IGBTs son ideales.

El nombre de algoritmos de PWM continuos (CPWM - *Continuous PWM*) viene del tipo de señales utilizadas en este trabajo para el control del inversor trifásico. Se caracterizan porque en cada ciclo  $T_s$  las señales moduladoras y portadoras se intersecan por lo menos una vez, provocando la conmutación. Son parte de esta clasificación la PWM sinusoidal (SPWM), los algoritmos con inyección de secuencia cero como son inyección de tercer armónico (THIPWM - *Third Harmonic Injection PWM*), capaces de aumentar la tensión trifásica de salida de un inversor hasta el 15%, con amplitud  $1/4$  y  $1/6$  y el algoritmo PWM de vectores espaciales basado en portadora (CB-SVPWM - *Carrier Based Space Vector Pulse Width Modulation*). La modulación SPWM al no emplear señales de secuencia cero se considera el algoritmo más simple.

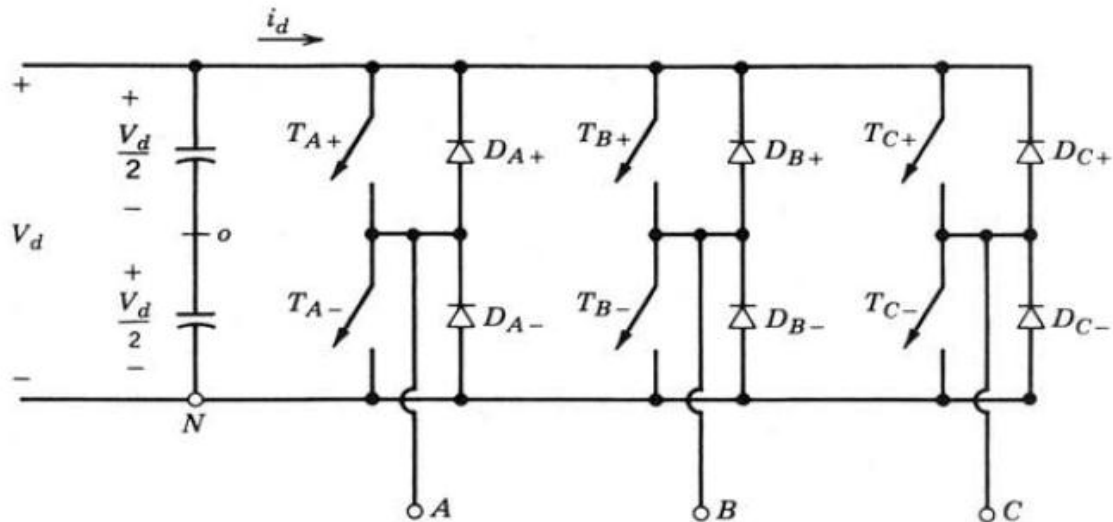


Figura 2.12 Esquema de inversor trifásico [1].

### 2.2.1. SPWM trifásica clásica.

Al igual que en el caso monofásico el objetivo de la modulación SPWM es la de controlar la tensión de salida trifásica en amplitud y frecuencia con una tensión de entrada aproximadamente constante  $V_d$ . Con el objetivo de obtener voltajes de salida trifásicos se compara la misma forma de onda de voltaje triangular con tres señales de control sinusoidales desfasadas  $120^\circ$ , como se muestra en la figura 2.13a obteniendo la correspondiente tensión  $v_{AN}$ ,  $v_{BN}$  y  $v_{CN}$  por cada rama A, B y C respectivamente, y de estas últimas su correspondiente tensiones línea  $v_{LL}$ , que realmente son las que se estudiarán.

Para resumir las consideraciones sobre la modulación PWM podemos encontrar tres puntos:

1. Para valores bajos de  $m_f$ , con el objetivo de eliminar armónicos pares, se tendría que usar una PWM síncrona y un valor entero impar de factor de modulación de frecuencia  $m_f$ . Además  $m_f$  debería ser múltiplo de 3 para cancelar los armónicos dominantes de la tensión de línea a línea.
2. Para valores grandes de  $m_f$  se debería aplicar los comentarios sobre PWM en inversores monofásicos vistos en el apartado 2.1.2.
3. Para el caso de sobremodulación ( $m_o > 1.0$ ) se deberían observar las condiciones correspondientes a un  $m_f$  independientemente de su valor.

Siguiendo el esquema monofásico la elección de  $m_o$  puede suponer que la modulación sea lineal  $m_o \leq 1.0$  o no lineal  $m_o > 1.0$ .

Para el caso de modulación lineal la componente de la frecuencia fundamental en la tensión de salida tendrá un valor de pico en una de las ramas del inversor de:

$$(\hat{V}_{AN})_1 = m_a \frac{V_d}{2} \quad m_a \leq 1.0 \quad < 2.24 >$$

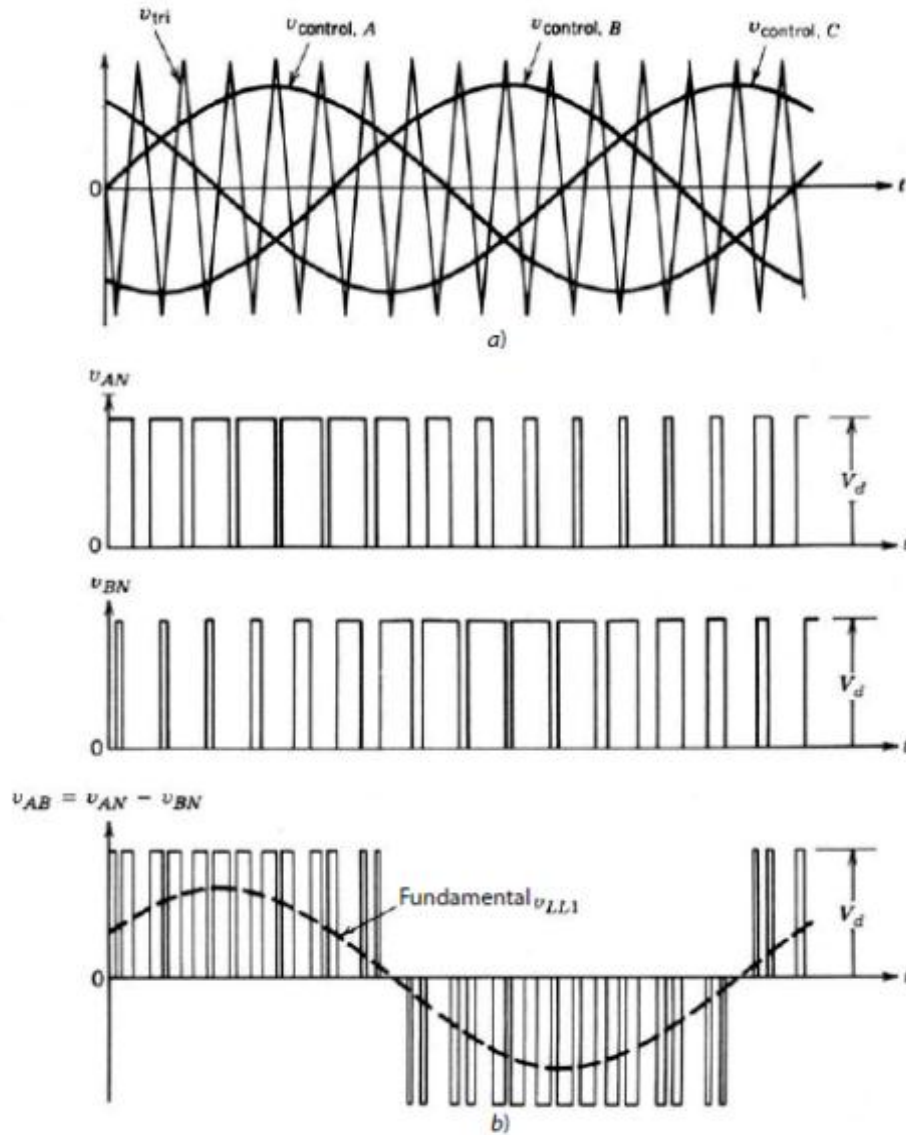


Figura 2.13 Modulación PWM trifásica: a) Señales de control y señal triangular; b) Tensión de excitación TA+, TB+ y tensión de salida línea a línea [1].

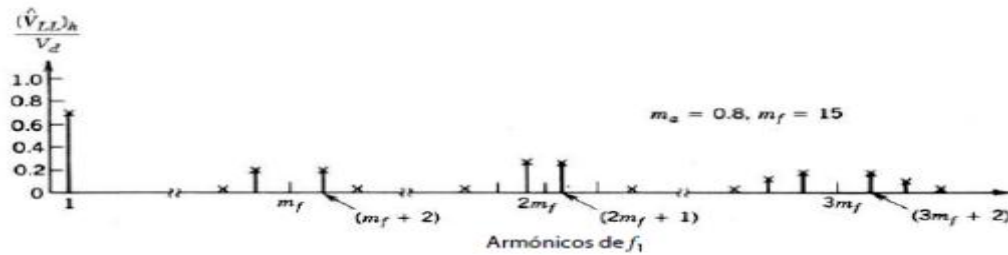


Figura 2.14 Respuesta armónica PWM con conmutación por voltaje unipolar monofásico [1].

Siendo la tensión eficaz de línea a la frecuencia fundamental:

$$V_{LL1\ rms} = \frac{\sqrt{3}}{\sqrt{2}} (\hat{V}_{AN})_1 = \frac{\sqrt{3}}{2\sqrt{2}} m_a V_d \cong 0.612 m_a V_d \quad (m_a \leq 1.0) \quad < 2.25 >$$

Los armónicos de las tensiones de salida se pueden calcular de forma similar a la tabla 2.1 y se muestran en la tabla 2.2.

$m_a$	0.2	0.4	0.6	0.8	1.0
$h$					
1	0.122	0.245	0.367	0.490	0.612
$m_f \pm 2$	0.010	0.037	0.080	0.135	0.195
$m_f \pm 4$				0.005	0.011
$2m_f \pm 1$	0.116	0.200	0.227	0.192	0.111
$2m_f \pm 5$				0.008	0.020
$3m_f \pm 2$	0.027	0.085	0.124	0.108	0.038
$3m_f \pm 4$		0.007	0.029	0.064	0.096
$4m_f \pm 1$	0.100	0.096	0.005	0.064	0.042
$4m_f \pm 5$			0.021	0.051	0.073
$4m_f \pm 7$				0.010	0.030

Nota:  $(V_{LL})_h / V_d$  están tabulados como función de  $m_a$  donde  $(V_{LL})_h$  son los valores rms de los voltajes armónicos.

Tabla 2.2 Armónicos generalizados de  $v_{LL}$  para un  $m_f$  grande e impar múltiplo de 3 [1].

Cuando el coeficiente de modulación de amplitud es mayor que uno la relación  $m_a$  y tensión de salida  $V_{LL1}(rms)/V_d$  sale de la zona lineal y al igual que en el caso monofásico la magnitud de voltaje de frecuencia fundamental no aumenta en forma proporcional con  $m_a$ . Esto se muestra en la figura 2.16 donde el valor rms de la componente fundamental de la tensión de línea  $V_{LL1}$  es representada en función de  $m_a$ . Cuando  $m_a$  alcanza un valor lo suficientemente grande el control por PWM degenera en la forma de onda de un inversor con onda cuadrada donde cada señal de control de interruptor está a "on" durante 180° manteniendo un ciclo de trabajo del 50% y obligando a que la señal de salida solo pueda ser modificada en frecuencia [9].

El valor máximo de la tensión línea a línea eficaz en onda cuadrada para el inversor trifásico se expresa en la siguiente ecuación:

$$V_{LL1\ rms} = \frac{\sqrt{3}}{\sqrt{2}} \frac{4}{\pi} \frac{V_d}{2} = \frac{\sqrt{6}}{\pi} V_d \cong 0.78 V_d \quad < 2.26 >$$

La forma de onda de la tensión de línea a la salida no depende de la carga y contiene armónicos ( $6n \pm 1$ ;  $n=1,2,\dots$ ), cuyas amplitudes disminuyen de forma inversamente proporcional como se ve en la figura 2.15c.

$$V_{LLh} = \frac{0.78}{h} V_d \quad h = 6n \pm 1 \quad (n = 1,2,3, \dots) \quad < 2.27 >$$

Se aprecia como la tensión máxima de salida que se puede obtener en comparación con el modo monofásico es bastante inferior.

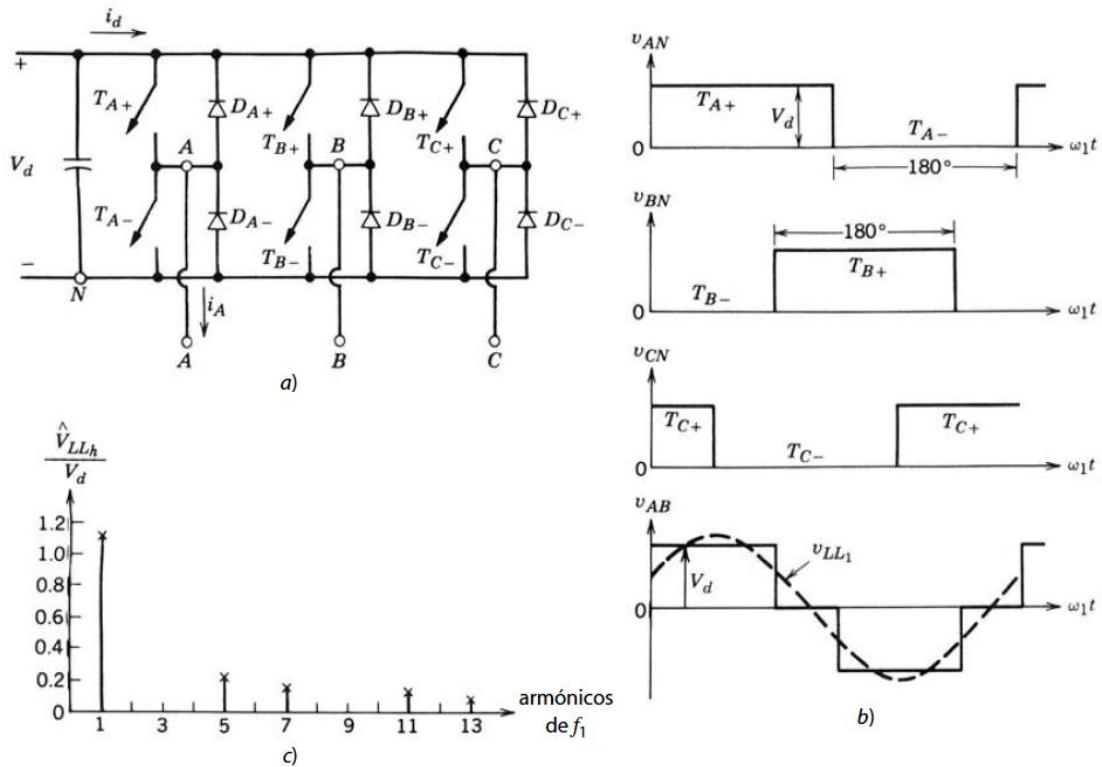


Figura 2.15 Inversor trifásico: a) esquema general; b) relación de ondas cuadradas; c) espectro de armónicos [1].



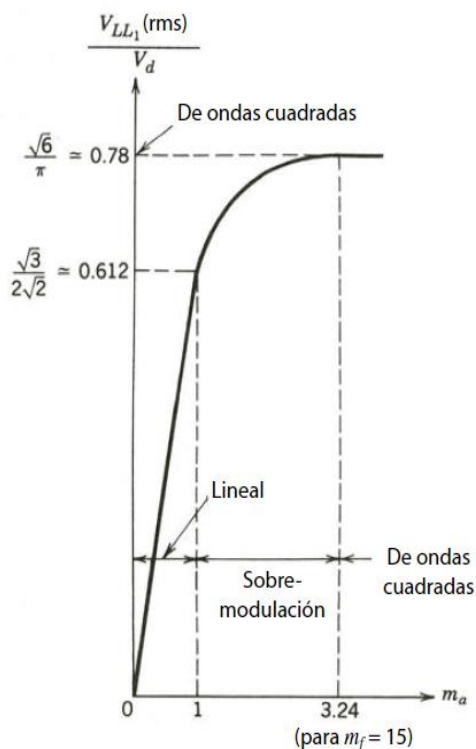


Figura 2.16 Inversor trifásico; Relación entre  $V_{LL1}$  (rms) y el índice de modulación de  $m_a$  [1].

### 2.2.2. PWM con secuencia cero.

En aplicaciones balanceadas de accionamientos de motores trifásicos AC, el neutro de la carga  $n$  está aislado respecto al punto medio  $N$  del bus DC de la figura 2.17.

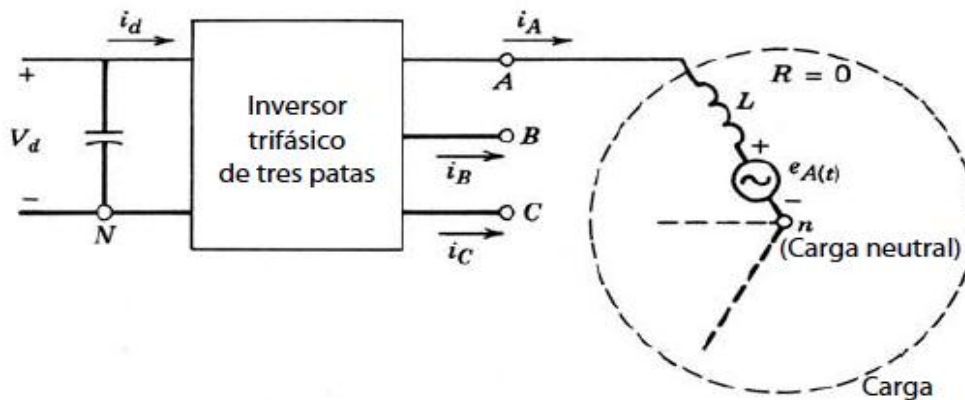


Figura 2.17 Esquema de inversor trifásico con carga basada en motor [1].

Por lo tanto, es posible introducir cualquier señal entre estos dos puntos sin afectar necesariamente a los voltajes y las corrientes línea a línea de la salida del inversor. No obstante, desde el punto de vista del inversor, la presencia de esta señal sumada modifica las características de la modulación, siendo éstas, el rango de modulación lineal, como se aprecia en la figura 2.19, las pérdidas por conmutación y el espectro del tren de pulsos modulados. A esta señal añadida se le conoce como *señal de secuencia cero* (ZSS) [10].

La siguiente figura, figura 2.18, muestra el esquema del proceso de inyección donde el bloque Generador ZSS se encarga de generar la señal de secuencia cero a partir de las tres señales de control o señales moduladoras fundamentales.

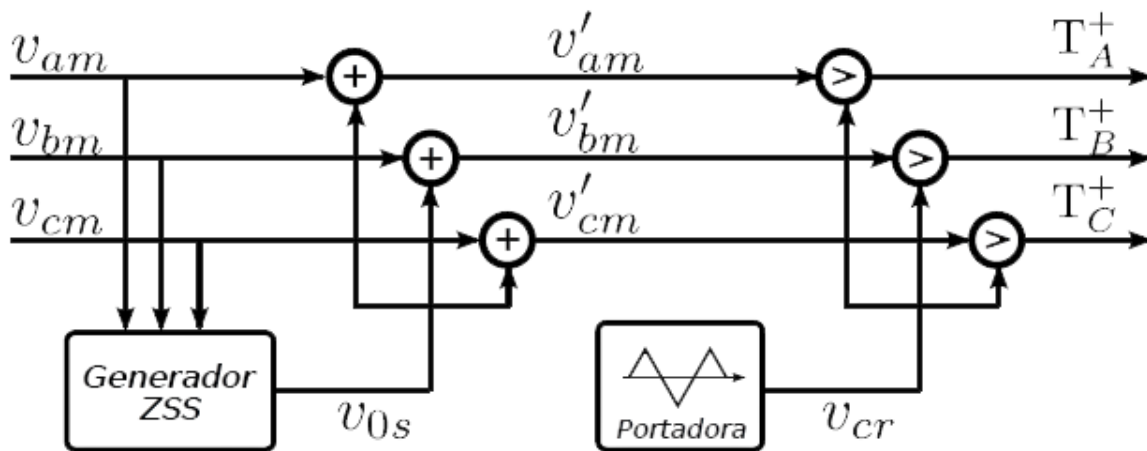


Figura 2.18 Esquema de inyección de secuencia cero [9].

Del esquema anterior se deducen las nuevas señales de control que se comparan con la señal triangular para hallar las señales moduladoras de accionamiento de los interruptores donde:

- $v_{am}(t), v_{bm}(t)$  y  $v_{cm}(t)$  son las señales de control de la modulación SPWM desfasadas  $\pm 120^\circ$  con respecto a la primera.
- $v_{0s}(t)$  es la señal secuencia cero, señal generada a partir de las señales de control por las diferentes estrategias escogidas.
- $v'_{am}(t), v'_{bm}(t)$  y  $v'_{cm}(t)$  son las señales que se comparan con la señal triangular para hallar  $TA+$  o  $v_{AN}$ ,  $TB+$  o  $v_{BN}$  y  $TC+$  o  $v_{CN}$  respectivamente, así como sus negadas.
- $v_{cr}$  es la señal triangular definida anteriormente por  $v_{tri}$  y  $m_f$ .

Como antes se ha indicado, una de las consecuencias que tiene usar la inyección de secuencia cero es que la zona lineal de la curva de la tensión de línea a línea en función de  $m_a$  se extiende, aumentando la capacidad de controlar mejor la señal. Este efecto se ve en la figura 2.19 como ejemplo de inyección de secuencia cero mediante inyección de tercer armónico con amplitud  $1/6$ .

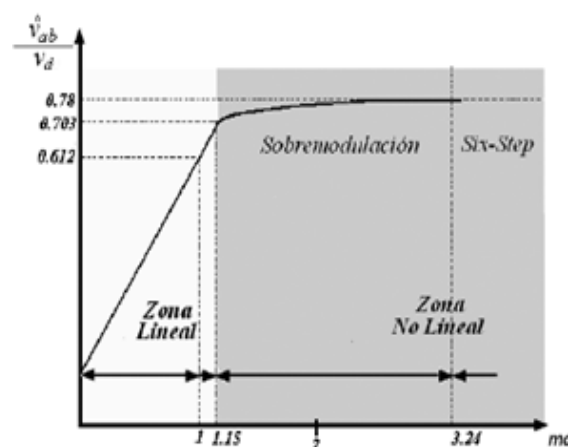


Figura 2.19 Curva de algoritmos PWM de rango lineal máximo para THIPWM1/6 [11].

### 2.2.3. PWM con inyección de tercer armónico amplitud 1/6 (THIPWM 1/6).

El siguiente algoritmo se basa en inyectar una señal de secuencia cero con una amplitud de 1/6 de la señal fundamental y el triple de la frecuencia fundamental ( $3\omega_1$ ).

Este algoritmo se ilustra en la figura 2.20 y se expresa con la ecuación 2.28.

$$v_{os} = \frac{A}{4} \sin(3\omega_1 t) \quad < 2.28 >$$

Como se aprecia en la figura 2.20 la señal de fase  $v'_{am}$  es una señal sinusoidal compuesta, resultado de la suma de dos señales sinusoidales. Se aprecia además que en los rangos donde la señal fundamental  $v_{am}$  alcanza sus amplitudes máximas [ $60^\circ \leq \omega t \leq 120^\circ$ ] y [ $240^\circ \leq \omega t \leq 300^\circ$ ] la amplitud de la nueva señal  $v'_{am}$  se reduce. Esta reducción es compensada en los primeros y últimos  $60^\circ$  de cada medio periodo de señal fundamental y es lo que permite el uso de mayores índices de modulación de amplitud  $m_a$ .

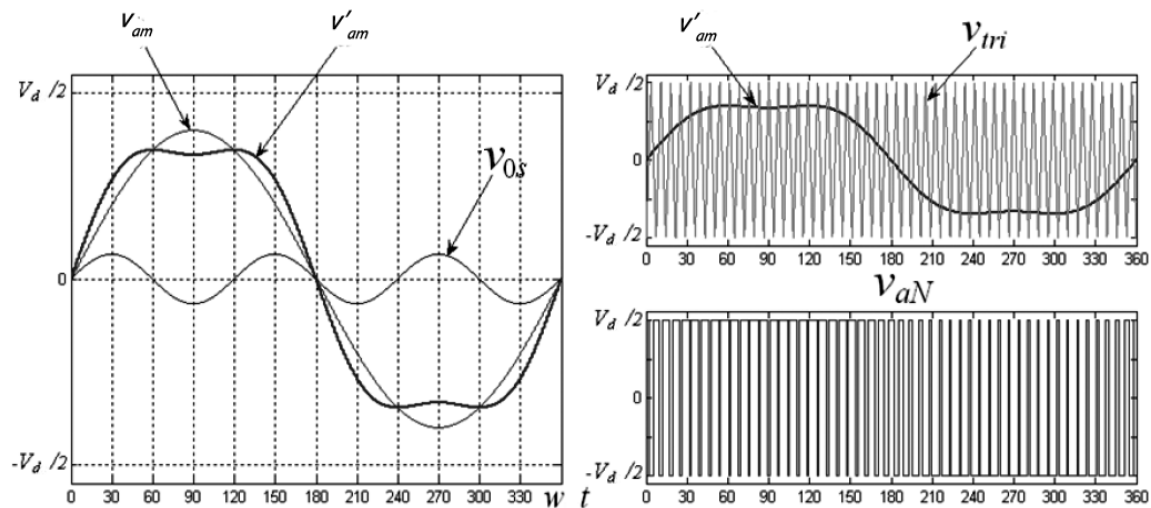


Figura 2.20 Señales de inyección de tercer armónico con amplitud 1/6 [10].

### 2.2.4. PWM con inyección de tercer armónico amplitud 1/4 (THIPWM 1/4).

Una opción diferente a la anterior es la de cambiar la amplitud de la señal  $v'_{am}$  1/6 por 1/4 siguiendo la siguiente ecuación, ecuación 2.29, y obteniendo las señales de control de la Figura 2.21.

$$v_{os}(t) = \frac{A}{6} \sin(3\omega_1 t) \quad < 2.29 >$$

Con esta variación se consigue un rango lineal menor al presentado por THIPWM 1/6 ( $m_{a\ linear\ max}=1.117$ ), pero a cambio de obtiene una mejor en el espectro armónico.

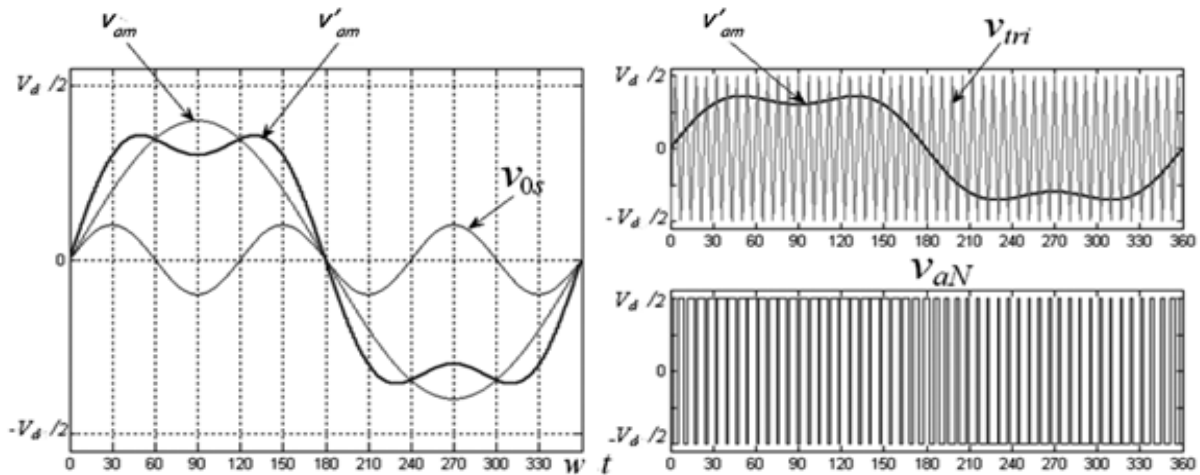


Figura 2.21 Señales de inyección de tercer armónico con amplitud 1/4 [10].

### 2.2.5. PWM con vectores espaciales basados en portadora (CB-SBPWM).

En último algoritmo presentado se emplea la siguiente expresión:

$$v_{0s}(t) = -\frac{1}{2} [\max(v_{am}, v_{bm}, v_{cm}) + \min(v_{am}, v_{bm}, v_{cm})] \quad < 2.30 >$$

Y su forma de onda se muestra en la figura 2.22, donde se aprecia el carácter triangular que tiene la señal de secuencia cero, de frecuencia  $3\omega_i$ , y de amplitud 1/4 de la fundamental.

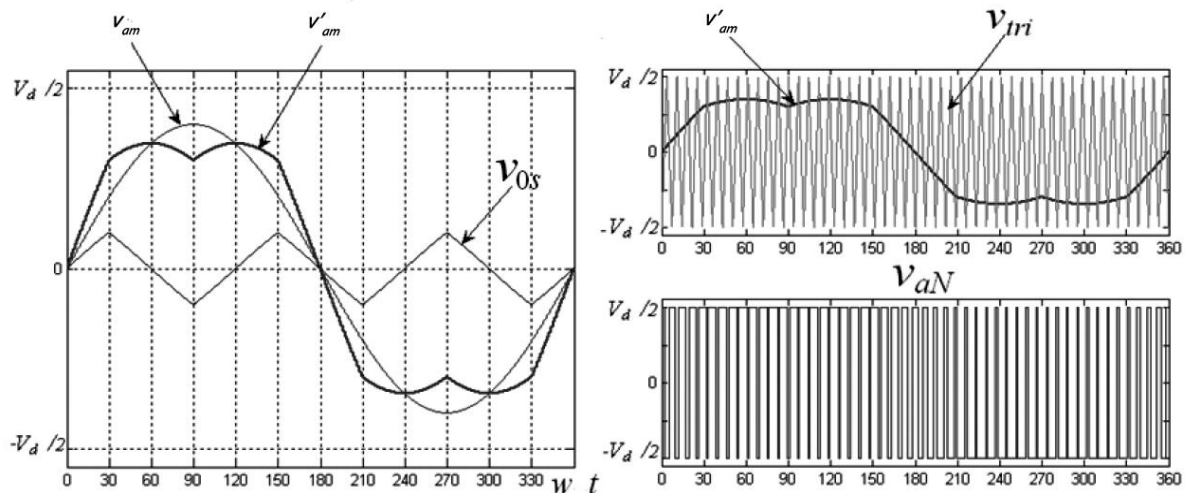


Figura 2.22 Señales de PWM con vectores espaciales basada en portadora [10].

### 2.2.6. Algunas consideraciones.

En el uso de los diferentes algoritmos que se van a describir a continuación de este bloque se deben tener algunas consideraciones [10]:

1. El valor máximo del índice de modulación en la zona lineal varía en un rango de hasta el 15%, de acuerdo al algoritmo PWM por lo tanto su eficiencia en el proceso de conversión puede ser mejorada con la selección del algoritmo PWM según se muestra en la tabla 2.3.
2. Entre los algoritmos descritos, el SPWM es el de menor eficiencia debido a su limitado rango de modulación lineal.

3. Los algoritmos THIPWM tienen un buen desempeño armónico, en especial el THIPWM1/4 que teóricamente supera a SPWM y SVPWM. No obstante, dicha ventaja es sustituida en la práctica por su dificultad de implementación y porque THIPWM1/4 no alcanza el máximo rango de operación lineal haciendo que solo perdure en términos académicos y no en términos industriales (tabla 2.3).
4. El algoritmo CB-SVPWM permite la máxima utilización del bus DC y en baja modulación presenta un buen desempeño armónico.
5. Las pérdidas por conmutación de los moduladores continuos son iguales en los 4 moduladores descritos e independientes del factor de potencia de la carga.

<b>Algoritmo</b>	<b>Tensión Máxima</b> <b>(<math>v_{ab}</math>)</b>	<b><math>M</math></b>
SPWM	$0.612V_d$	1
THIPWM1/4	$0.682V_d$	1.117
THIPWM1/6	$0.703V_d$	1.15
CB-SVPWM	$0.703V_d$	1.15

Tabla 2.3 Índice máximo de modulación en la zona lineal para los diferentes algoritmos usados como secuencia cero [10].

### 2.3. Efecto de los tiempos muertos.

En los análisis anteriores, como ya se ha comentado, se supuso que los interruptores del inversor, tanto monofásico como trifásico, eran ideales, permitiendo que los estados de los dos interruptores de una misma rama cambiasen simultáneamente de encendido a apagado y viceversa. En la práctica estos interruptores tienen tiempos transitorios que pueden crear cortocircuitos en cada conmutación generando un mal funcionamiento de las ramas del inversor. Para analizar este hecho se va a suponer  $v_{control}$  constante en comparación con  $v_{tri}$ , ya que gracias a  $m_f$ ,  $v_{tri}$  cambia mucho más rápido que  $v_{control}$ . En la figura 2.23b se muestra esta conmutación ideal de los interruptores de la rama A ( $TA+$  y  $TA-$ ).

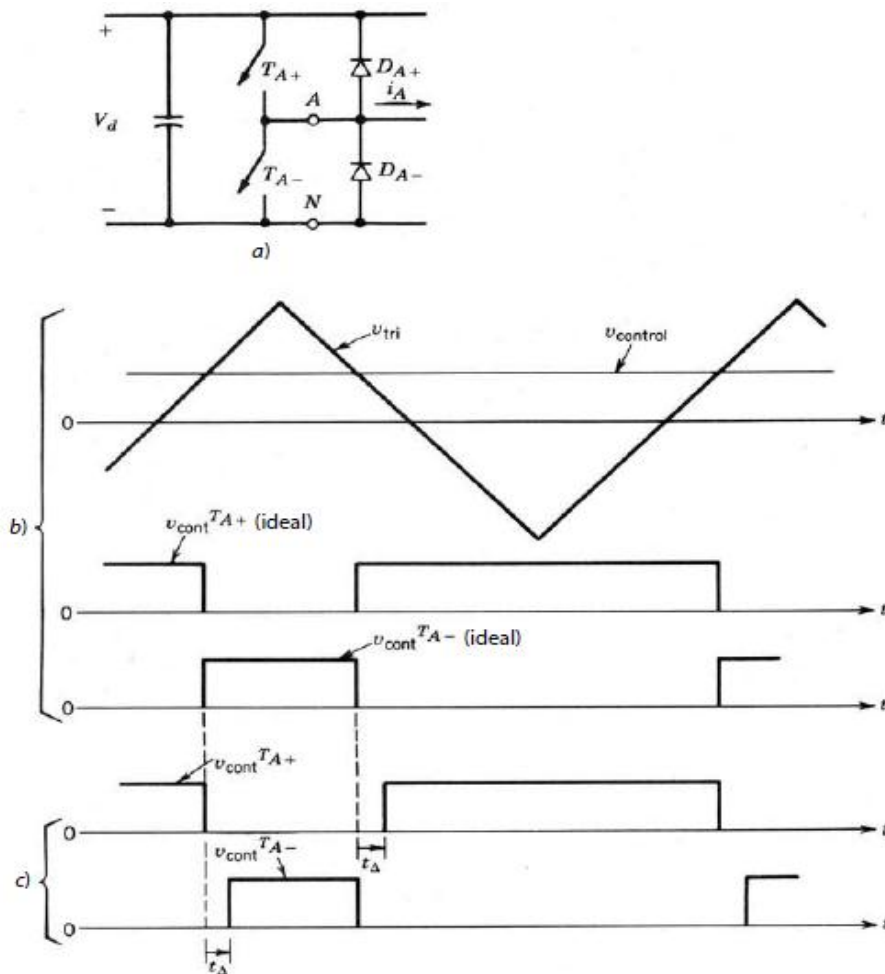


Figura 2.23 Señales de tiempos muertos: a) Rama A del inversor; b) Conmutación ideal de la rama A; c) Señales de la rama A con tiempos muertos [1].

La solución a este problema es retrasar el paso a “on” cualquier de los dos interruptores de la misma rama un tiempo llamado tiempo muerto  $t_{\Delta}$  (*blanking time*) que asegure y garantice que cuando se excite a “on” el interruptor (de arriba o de abajo) su contraparte esté completamente a “off”. Este efecto se ve en la figura 2.23c. Este tiempo muerto se elige de forma que sea de unos cuantos microsegundos para dispositivos rápidos como los MOSFETs, mientras que será mayor para dispositivos con conmutación más lenta.

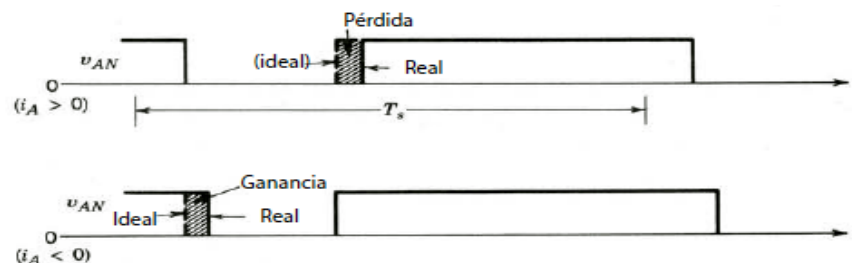


Figura 2.24 Pérdida y ganancia de tensión como consecuencia de tiempos muertos [1].

Como consecuencia de usar tiempos muertos, cuando ambos interruptores están en modo “off”,  $v_{AN}$  depende del sentido de  $i_a$  en dicho intervalo, como muestra la figura 2.24 para  $i_a > 0$  y para  $i_a < 0$ . Las formas de onda ideales son representadas con trazo sombreado. Si comparamos las

formas de ondas ideales, que van sin tiempo muerto, con la forma de onda real, la diferencia de tensión es:

$$v_e = (v_{AN})_{ideal} - (v_{AN})_{real}$$

Promediando  $v_e$  a lo largo de un periodo de conmutación podemos obtener el cambio de la tensión de salida por efecto de  $t_\Delta$ :

$$\Delta V_{AN} \begin{cases} +\frac{t_\Delta}{T_s} V_d & i_a > 0 \\ -\frac{t_\Delta}{T_s} V_d & i_a < 0 \end{cases} \quad < 2.31 >$$

Aplicando el mismo análisis a la rama B del inversor monofásico de la Figura 2.25a y teniendo en cuenta  $i_o = -i_b$ , se obtiene que:

$$\Delta V_{BN} \begin{cases} -\frac{t_\Delta}{T_s} V_d & i_a > 0 \\ +\frac{t_\Delta}{T_s} V_d & i_a < 0 \end{cases} \quad < 2.32 >$$

Teniendo en cuenta que  $v_o = v_{AN} - v_{BN}$  e  $i_o = i_a$ , el valor medio instantáneo de la diferencia de tensión es:

$$\Delta V_o \begin{cases} \Delta V_{AN} - \Delta V_{BN} = +\frac{2t_\Delta}{T_s} V_d & i_o > 0 \\ -\frac{2t_\Delta}{T_s} V_d & i_o < 0 \end{cases} \quad < 2.33 >$$

En la figura 2.25b se muestra el valor medio instantáneo de  $V_o$  en función de  $v_{control}$  con tiempo muerto y sin tiempo muerto. Por último, teniendo en cuenta que  $v_{control}$  es sinusoidal en un inversor monofásico PWM en puente completo como el de la figura 2.25a, el valor de la tensión de salida se representa en la figura 2.26, donde se compara la señal de salida del inversor  $v_o(t)$  real, con tiempos muertos, y la ideal. La distorsión de  $v_o(t)$  en los pasos por cero provoca un aumento en los armónicos de bajo nivel tanto en el modo monofásico como en el trifásico.

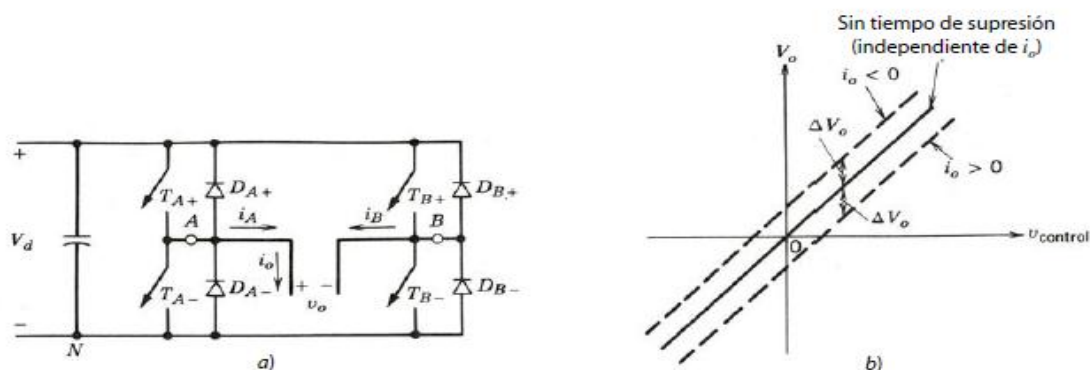


Figura 2.25 Efecto de  $t_\Delta$  sobre  $V_o$ , donde  $\Delta V_o$  se define como la caída de voltaje en caso de ser positivo: a) Inversor puente completo; b) Valor medio instantáneo de  $V_o$  en función de  $v_{control}$  con tiempo muerto y sin tiempo muerto [1].

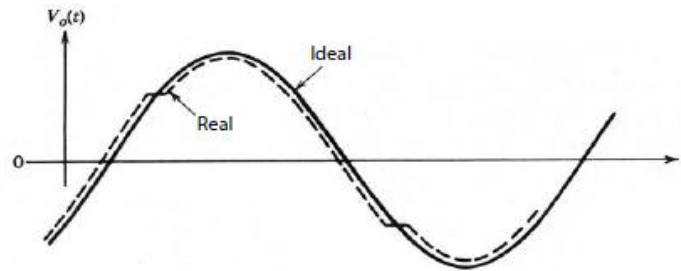


Figura 2.26 Efecto de  $t_{\Delta}$  sobre la salida sinusoidal [1].

#### 2.4. Comentarios sobre el control de velocidad voltaje/frecuencia del motor de inducción trifásico.

Para controlar la velocidad de un motor de inducción, existen solo dos técnicas, una de las cuales consiste en variar la velocidad síncrona (velocidad de los campos magnéticos de rotor y del estator) puesto que la velocidad del rotor siempre permanece cerca de  $n_{sinc}$ . La otra técnica consiste en variar el deslizamiento del motor para una carga dada [19].

La velocidad síncrona de un motor de inducción está dada por:

$$n_{sinc} = \frac{120 * f_L}{P} \quad < 2.34 >$$

donde  $f_L$  es la frecuencia de línea y  $P$  es el número de polos.

Por tanto existen solo dos técnicas para cambiar la velocidad síncrona. Estas son:

- Cambiando la frecuencia de la señal de alimentación o frecuencia de línea.
- Cambiando el número de polos de la máquina.

Dejando como única opción el cambio de frecuencia de línea ya que no se va a tener acceso a la estructura interna del motor de inducción.

Cuando se opera a velocidades inferiores a la velocidad base del motor, siendo esta la velocidad síncrona en condiciones nominales, es necesario reducir el voltaje aplicado a los terminales del estator para obtener una operación adecuada. El voltaje aplicado a los terminales se deberá reducir linealmente con la frecuencia de línea. Este proceso se llama degradación (*derating*). Si esto no se hace, se saturará el acero del núcleo del motor de inducción y fluirán corrientes de magnetización excesivas por la máquina [19]. Para comprender mejor esto, se recuerda que el flujo en el núcleo de un motor de inducción se puede encontrar aplicando la Ley de Faraday.

$$v_{inducido}(t) = -N \frac{d\phi}{dt} \quad < 2.35 >$$

Si se aplica un voltaje  $v_{inducido}(t) = V_M * \text{sen}(\omega t)$  al núcleo, el flujo  $\phi$  resultante es:

$$\phi(t) = \frac{1}{N} \int v(t) dt = -\frac{V_m}{\omega N} * \cos(\omega t) \quad < 2.36 >$$

Nótese que la frecuencia eléctrica aparece en el denominador de esta expresión. Esto hace que si la frecuencia aplicada al estator disminuye un 15%, mientras que la magnitud del voltaje



aplicado al estator permanece constante, el flujo del núcleo del motor se incrementará cerca del 15% y con ello la corriente de magnetización provocando un flujo excesivo de la misma en el motor [19].

Por este motivo, si se quiere controlar la velocidad del motor, es necesario que se cambie el voltaje aplicado linealmente con la frecuencia para conseguir que el flujo sea aproximadamente constante y no se dañe así el motor. Para ello se deberá cambiar simultáneamente en el sistema el índice de modulación de amplitud  $m_a$  y la frecuencia moduladora  $f_1$ .

## Capítulo 3. Implementación hardware de estrategias de modulación PWM para inversores.

### 3.1. Especificaciones del sistema.

Una vez explicado todo el fundamento teórico de este trabajo se pasará a exponer las especificaciones del sistema, tanto de la tarjeta FPGA, con la cual se ha trabajado, como con el cubo de potencia Semiteach-IGBT, el circuito de adaptación que comunica la tarjeta con el cubo de potencia y los DAC's que proporcionan las señales de control de una forma analógica.

#### 3.1.1. Tarjeta Digilent Nexus2 Spartan3E-XC3S1200E FG320-4.

Para la realización de este trabajo se ha utilizado la tarjeta Nexys 2 de Digilent basada en una FPGA (*Field Programmable Gate Array*) Spartan3E-XC3S1200E FG320-4 de Xilinx Spartan3E [20]. Una FPGA es un dispositivo semiconductor que contiene bloques de lógica cuya interconexión y funcionalidad son programables. Su lógica puede representar desde funciones sencillas como las llevadas a cabo por una puerta lógica hasta sistemas complejos combinatoriales. La elección de utilizar Xilinx se justifica en que es uno de los mayores fabricantes de FPGA's del mercado, ofreciendo multitud de opciones para el usuario, entre los que destacan los kits de evaluación para estudiantes con diseños, ejemplos de referencia y las herramientas de software necesarias para realizar diseños con FPGA's. Esta tarjeta permite realizar los diseños a un bajo coste siendo perfecta para entornos educativos, el principal entorno de este proyecto.

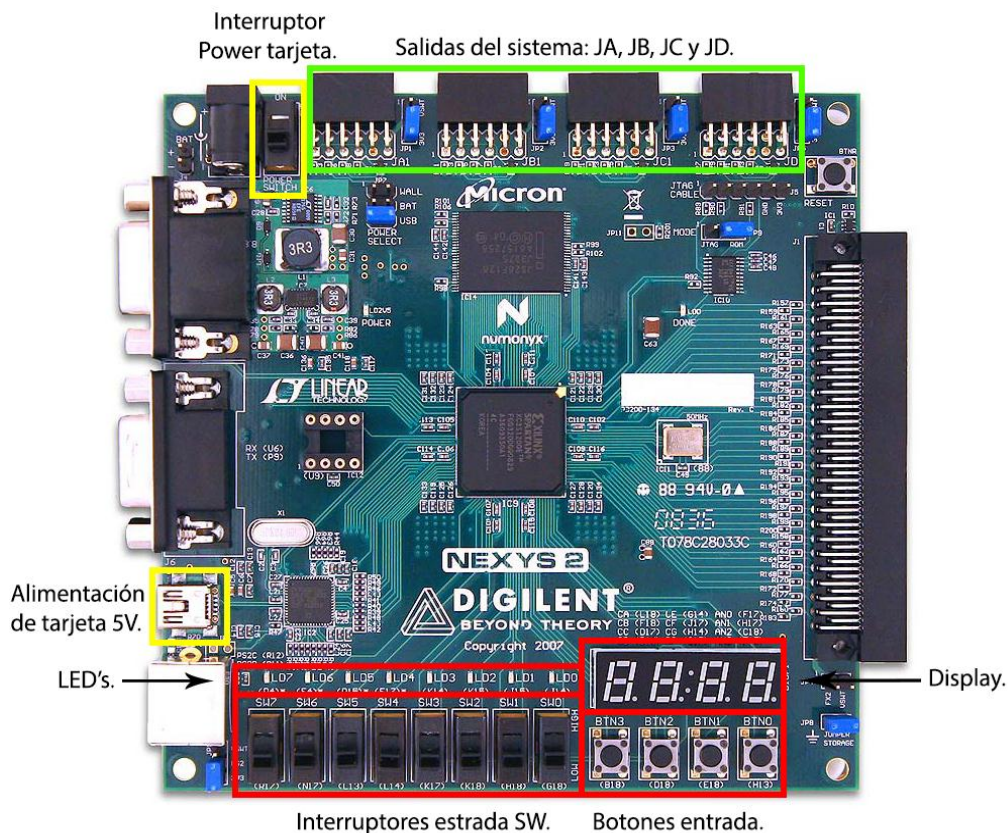


Figura 3.1 Tarjeta Digilent Nexus2 Spartan3E- XC3S1200E FG320-4.

Las características principales de la tarjeta de la figura 3.1 usadas para este trabajo se muestran a continuación:

- 1,200,000 puertas lógicas incorporadas en la FPGA.
- Alimentación USB 5VDC 500mA (facilitando la alimentación con baterías).
- 16Mbytes de RAM y 16Mbytes de ROM.
- Gran eficiencia energética en la alimentación del sistema.
- Interruptor de alimentación.
- Oscilador de 50 MHz más un socket para un segundo oscilador.
- 60 I/O's ruteadas a conectores de expansión fiables.
- 8 LEDs, Display de 4 dígitos y 7 segmentos, 4 botones/pulsadores y 8 interruptores.
- Botón RESET para borrado completo del programa.
- Tensión de salida digital de los conectores PMOD JA, JB, JC, JD de 3.3V.

Los pines utilizados en la implementación hardware de esta tarjeta son los mostrados en la figura 3.2 la cual muestra de una forma esquemática las entradas y salidas relacionadas con la figura 3.1, menos la relación de las salidas del sistema PMOD, que se muestran en la figura 3.3 y en la tabla 3.1.

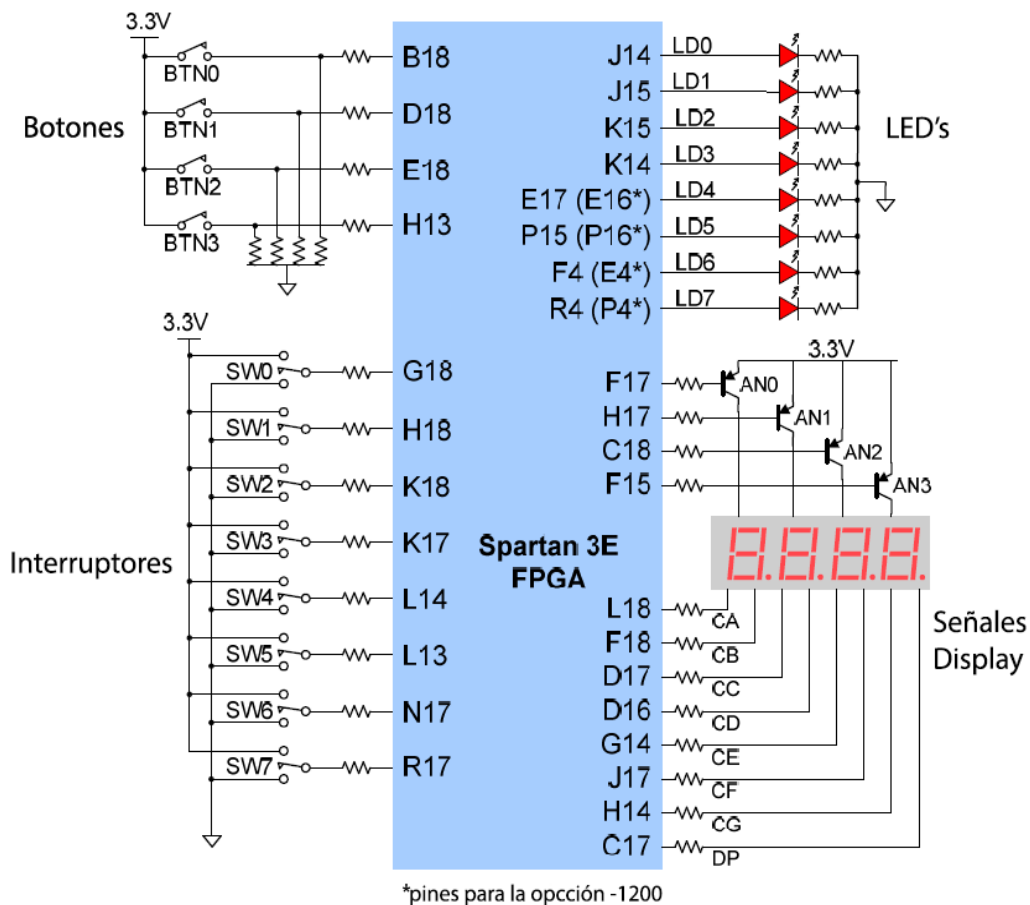


Figura 3.2 Esquema de pines de entrada y salida de la tarjeta utilizada [20].

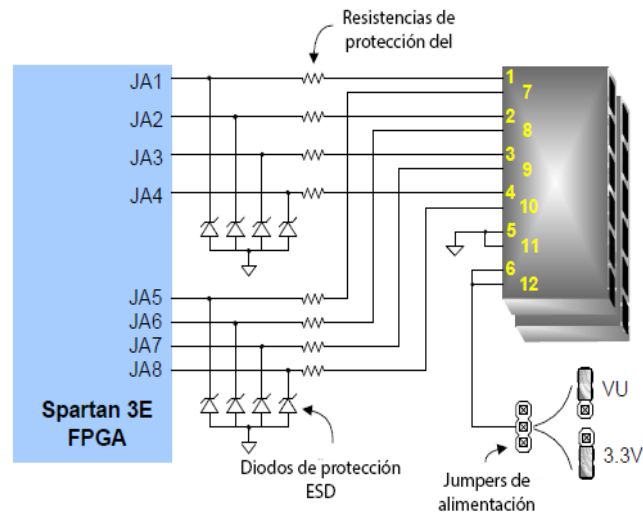


Figura 3.3 Esquema de conexión del conector PMOD JA [20].

Asignación de pines para los conectores PMOD							
Pmod JA		Pmod JB		Pmod JC		Pmod JD	
JA1: L15	JA7: K13	JB1: M13	JB7: P17	JC1: G15	JC7: H15	JD1: J13	JD7: K14
JA2: K12	JA8: L16	JB2: R18	JB8: R16	JC2: J16	JC8: F14	JD2: M18	JD8: K15
JA3: L17	JA9: M14	JB3: R15	JB9: T18	JC3: G13	JC9: G16	JD3: N18	JD9: J15
JA4: M15	JA10: M16	JB4: T17	JB10: U18	JC4: H16	JC10: J12	JD4: P18	JD10: J14

Tabla 3.1 Asignación de pines para conectores PMOD [20].

Más adelante, en el apartado 3.2 Diseño y Módulos del sistema, se mostrará en las tablas 3.5 y 3.6 la relación de los pines de entrada y salida con las señales asignadas a cada uno.

### 3.1.2. Cubo de potencia Semiteach-IGBT.

El sistema utilizado para simular el funcionamiento del inversor monofásico y trifásico es el cubo de potencia Semiteach-IGBT, un sistema diseñado para aplicaciones docentes de una manera segura, sin acceso a los componentes electrónicos de potencia y con conectores de seguridad de tipo banana y de tipo BNC que aseguran una conexión fiable. Este cubo se puede apreciar en la figura 3.4 donde además se numera las entradas y salidas de los conectores para posteriormente, en la tabla 3.2, indicar su función y características.

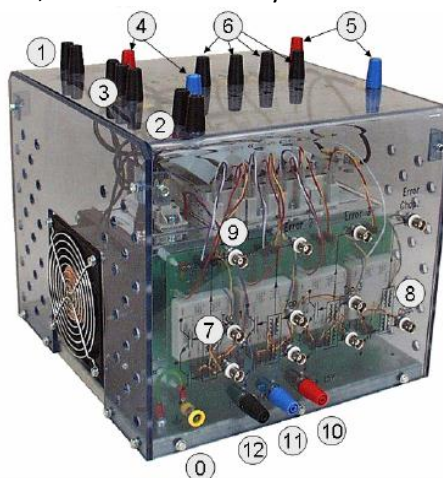


Figura 3.4 Cubo de potencia Semiteach-IGBT [3].

Nº	Tipo	Función	Nivel de Voltaje	Máximo nivel de corriente
0	Tierra del panel	Conexión tierra	0	30A
1	Conector Banana 4mm	Fuente de alimentación del ventilador	230V/50Hz	1A
2	Conector Banana 4mm	Termal trip	15V	5A
3	Conector Banana 4mm	Entrada rectificador	230/ 400V	30A
4	Conector Banana 4mm	Salida DC rectificador	600VDC (rojo positivo, azul negativo)	30A
5	Conector Banana 4mm	Entradas DC del inversor IGBT	600VDC (rojo positivo, azul negativo)	30A
6	Conector Banana 4mm	Inversor IGBT AC + salidas choppers	400 VAC / 600 VDC	30A
7	Coaxial aislado BNC	Entrada PWM inversor	C-MOS lógico 0/15V, 0V= IGBT abierto, 15V=IGBT cerrado	1A
8	Coaxial aislado BNC	Entrada PWM chopper	C-MOS lógico 0/15V, 0V= IGBT abierto, 15V=IGBT cerrado	1A
9	Coaxial aislado BNC	Error de salida	C-MOS lógico 0/15V	1A
10	Conector Banana 4mm	15V Alimentación del driver	15V	5A
11	Conector Banana 4mm	0V Alimentación del driver	15V	5A
12	Conector Banana 4mm	Sensor de temperatura	0-5V	1A

Tabla 3.2 Conexiones del cubo de potencia Semiteach-IGBT [3].

En la anterior tabla se han puesto todas las conexiones para dar una descripción completa del cubo, pero en este trabajo no se van a usar todas ellas. Las conexiones que se usan son las correspondientes al número 1, 5, 6, 7, 10 y 11.

El cubo de potencia Semiteach-IGBT incluye un rectificador de diodos de 3 fases SKD51/14 y 4 rectificadores SKM50GB123D formado por 2 IGBT's cada uno. Añade la utilidad en el cuarto componente de estos últimos de chopper de frenado. Para controlar los accionamientos de los IGBT utiliza cuatro drivers de medio puente SKHI22AR. Además también incluye un sistema de refrigeración forzada que se puede alimentar independientemente, así como protecciones de

temperatura y sensores de temperatura de relé lineal, todo ello en un revestimiento de metraquilato compacto y transparente [3].

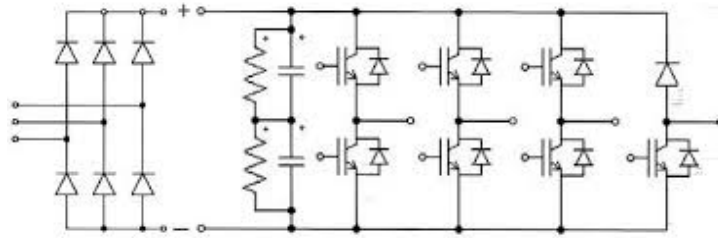


Figura 3.5 Esquema interno de cubo de potencia Semteach-IGBT[3].

A pesar de que el producto final es de carácter educativo, por lo tanto está diseñado y pensado para soportar señales que el usuario pueda introducir mal, y que todas las puertas de entrada están aisladas se deben cumplir los requisitos de la tabla 3.2 para su correcto funcionamiento. Como resumen de estos requisitos, las características más críticas a tener en cuenta son [3]:

- Corriente máxima del cubo: 30A.
- Tensión de excitación del IGBT: 15V.
- Tensión de alimentación del driver: 15V.
- Tensión de entrada máxima no superable: 750VDC.
- Tiempo medio transitorio del IGBT ON -> OFF: 3 $\mu$ s.
- Banco de condensadores. Capacidad equivalente de 1100  $\mu$ F y 800V.

Es importante comentar las medidas de seguridad<sup>4</sup> que se deben utilizar, como apagar la alimentación para cambiar las conexiones o revisar las conexiones para evitar fallos internos del sistema. Es por ello que se recomienda la supervisión de un especialista mientras se esté utilizando este sistema.

### 3.1.3. Tarjeta de adaptación.

La tarjeta de adaptación, o circuito de adaptación como también se ha llamado en este trabajo, es la tarjeta diseñada en el Trabajo de Fin de Grado paralelo de "Configuración y prueba de convertidores DC/DC para prácticas de laboratorio" [4]. Esta placa se muestra en la figura 3.6 donde además se indican con números la relación entre las entradas y las salidas de los pines.

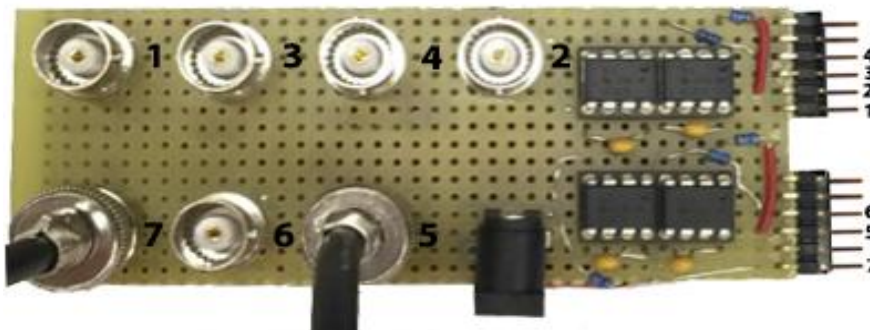


Figura 3.6 Circuito de adaptación y relación de entradas y salidas.

<sup>4</sup> Las medidas de seguridad se especificarán en el manual de usuario.

El objetivo de esta tarjeta es el de amplificar la señales digitales que salen de la tarjeta FPGA a 3.3V de nivel alto a 15V para poder excitar correctamente los IGBT's del cubo de potencia Semiteach-IGBT. Además sirve como elemento capaz de aislar la tarjeta FPGA de la parte de potencia. La relación de las señales PWM con los números de color rojo, es decir las salidas del circuito de adaptación se muestran en la siguiente tabla.

SALIDA	SEÑAL PWM
1	TA+
2	TA-
3	TB+
4	TB-
5	TC+
6	TC-

Tabla 3.3 Relación de señales PWM con las salidas del circuito de adaptación.

Con respecto de las características principales de esta tarjeta, se pueden resumir en los siguientes puntos [4]:

- Tensión máxima de alimentación 20VDC.
- Formado por 2 chips HCPL-2231.
- Bajo consumo de corriente (1.6ma a 1.8mA)

#### 3.1.4. Convertidor DAC Digilent PmodDA2.

El DAC escogido para mostrar las señales de control y la señal triangular de una forma analógica es Digilent PmodDA2 [12] compuesto por dos convertidores D/A DAC121S101 de Texas Instruments de 12 bits.



Figura 3.7 DAC Digilent PmodDA2 [12].

Entre sus características principales se encuentran [12]:

- Convertidor de 2 canales de 12 bits de precisión.
- Muy bajo consumo.
- Pequeño tamaño y facilidad de conexión con la tarjeta FPGA utilizada.
- Posibilidad de tener dos canales que convierten simultáneamente.
- Voltajes de entrada y salida: 0V/3.3V.
- Tensión de alimentación: 3.3V.

El diagrama de bloques y las conexiones que muestra la distribución interna y la descripción de las señales que se muestran en la figura 3.9 y en la tabla 3.3.

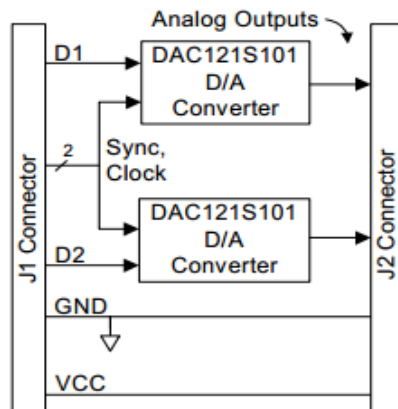


Figura 3.8 Diagrama de bloques interno del DAC Digilent PmodDA2 [12].

Entrada Digital - J1		Salida Analógica - J2	
1	SYNC (común)	1	VOUTA
2	DINA	2	N/C
3	DINB	3	VOUTB
4	SCLK (común)	4	N/C
5	GND	5	GND
6	VCC	6	VCC

Tabla 3.4 Descripción de las señales de entrada y salida del DAC Digilent PmodDA2 [12].

### 3.1.5. Cargas utilizadas. Fuente de alimentación.

Las cargas utilizadas para la comprobación del funcionamiento del inversor en monofásico y trifásico son de dos tipos, la primera una bombilla de baja potencia y la segunda un sistema motor-generador trifásico.

La bombilla utilizada se muestra en la figura 3.9 y para su alimentación se puede utilizar cualquier fuente de alimentación que pueda llegar a los 24V. Sobre la excitación del motor comentar que para la alimentación del inversor ha sido necesario utilizar una fuente de alimentación capaz de entregar hasta 35 V y 45 A, en concreto la fuente de alimentación Delta Elektronika SM 35-45 [21] mostrada en la figura 3.10.



Figura 3.9 Bombilla de baja potencia utilizada como carga.





Figura 3.10 Fuente de alimentación Delta Elektronika SM 35-45 [21].

El sistema motor-generator escogido es el mostrado en la figura 3.11. Este está incluye un motor de inducción configurado en triángulo  $\Delta$  siendo su tensión línea a línea eficaz de 22V como muestra la figura 3.12



Figura 3.11 Sistema motor-generator ASTI BECA 1.

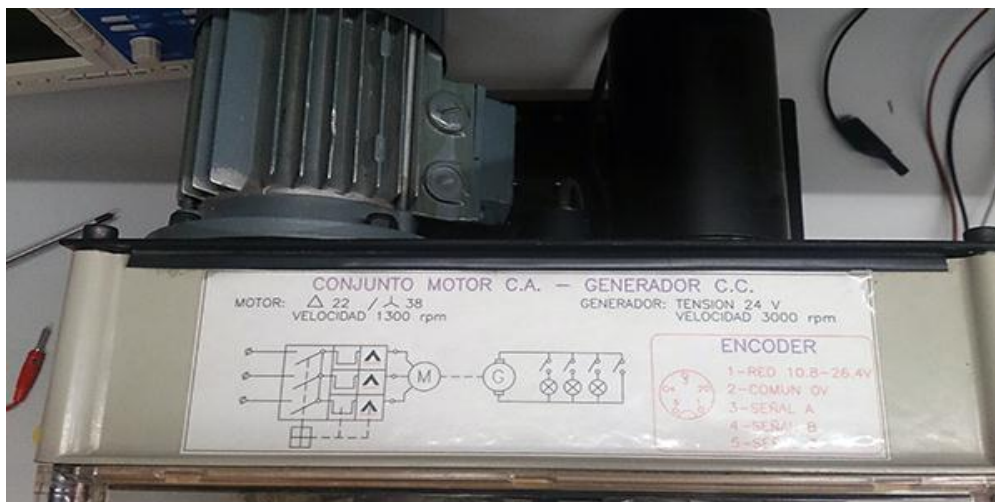


Figura 3.12 Características de sistema motor-generator ASTI BECA 1.

Este sistema conjunto motor-generator incluye 3 bombillas que se pueden encender independientemente mediante el accionamiento de los interruptores mostrados en la figura 3.11.

### 3.1.6. Visión general del diseño hardware.

A continuación, en la figura 3.13, se muestra un esquema general de las conexiones utilizadas en la práctica, teniendo en cuenta los conectores especificados del cubo de potencia Semiteach-IGBT y las salidas de la tarjeta FPGA. En esta figura se añade los tres tipos de cargas que se van a utilizar en las pruebas y la fuente de alimentación que alimenta el cubo de potencia, así como los 2 DAC's para sacar una salida analógica de las señales de control, tanto para el caso monofásico como para el trifásico, y de la señal triangular. Estas señales se pueden analizar mediante un osciloscopio.

Como se aprecia en la figura 3.13, la tarjeta FPGA se alimenta a 5VDC y es capaz de sacar seis señales de control de los interruptores del inversor (IGBT), y cuatro señales que son enviadas a dos DAC's Digilent PmodDA2. Gracias a estos DAC's se obtienen las tres señales de control y la señal triangular con la cual, dependiendo del modo monofásico o trifásico, se comparan para crear la modulación PWM.

Las 6 señales digitales,  $TA+$ ,  $TA-$ ,  $TB+$ ,  $TB-$ ,  $TC+$ , y  $TC-$  a través del circuito de adaptación son amplificadas a 15VDC y aisladas del cubo de potencia Semiteach-IGBT. Para que esta tarjeta externa funcione es necesario alimentarla a 15VDC. Estas señales se inyectan en los drivers que controlan el cierre y apertura de los IGBT's del inversor (conectores número 7).

La alimentación DC escogida del cubo de potencia Semiteach-IGBT es de 24VDC, aunque se puede modificar, como en el caso de la excitación del motor, y se conecta mediante los conectores número 5 (rojo y azul).

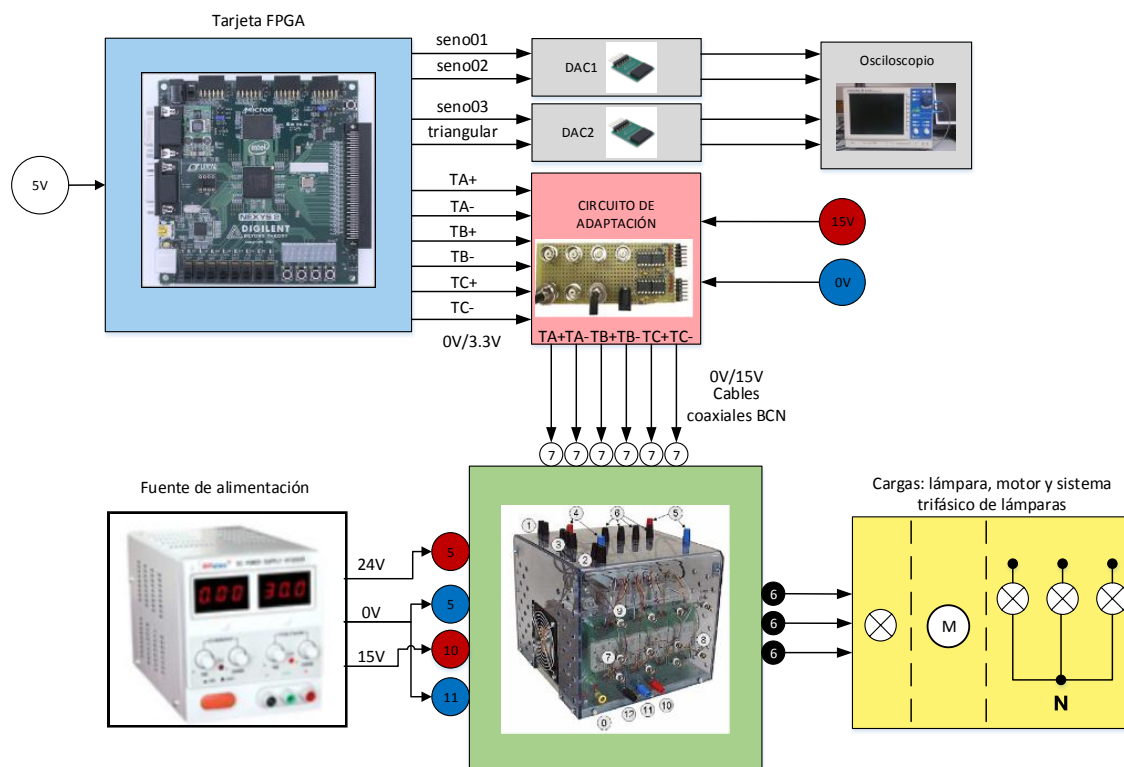


Figura 3.13 Esquema general del sistema de potencia.

El cubo de potencia saca mediante los tres conectores número 6 la señal de tensión que alimenta una bombilla (caso monofásico) o las tres señales que alimentan al motor trifásico o al sistema de bombillas trifásicas (caso trifásico). Además, si se quiere analizar cualquier error en la conmutación es capaz de sacar una señal de error por cada rama del inversor con los conectores número 9.

Todas las señales de salida y entrada relevantes serán analizadas en el capítulo 4 Resultados. Comprobaciones.

### 3.2. Diseño y Módulos del sistema.

En este apartado se procederá a explicar, de una manera simple y basándose en módulos y diagramas de bloques, el diseño implementado en lenguaje VHDL que se ha llevado a cabo en este trabajo. Para su realización se ha trabajado con programas como ISE Project Navigator (implementación VHDL), Matlab (diseño) y ModelSim (simulación).

#### 3.2.1. Módulo de mayor jerarquía.

El módulo de mayor jerarquía del diseño se muestra en la figura 3.14 en la cual se aprecian la señales de entrada y salida del diseño, así como cinco bloques de los cuales cuatro se han definido como módulos principales, Módulo Display, Módulo configuración, Módulo generación de señales y Módulo DAC's y el restante, que se compone de un DCM. El bloque DCM genera la señal *CLOCK* con la cual se trabaja en los cuatro módulos anteriores. Entre las señales de entrada se encuentran:

- *clock0*, reloj master de 50 MHz que proporciona la tarjeta FPGA.
- *reset*, señal conectada con el botón BTN0.
- *SW(7:0)*, señales procedentes de los 8 interruptores.
- *sumar*, señal conectada con el botón 3 BTN3.
- *restar*, señal conectada con el botón 2 BTN2.
- *opción*, señal conectada con el botón 1 BTN1.

Las señales *reset* y *CLOCK* (señal procedente de la salida del DCM) se utilizan en todos los módulos y procesos forzando a que el sistema sea síncrono y se pueda resetear todo el programa simultáneamente.

Entra las señales de salida se encuentran:

- *AN(3.0)*, señales de control de los 4 Display's.
- *CN(7:0)*, señales de datos, controlan los 8 segmentos de cada Display.
- *DIO(7:0)*, señales de control de los 8 LED's situados encima de los interruptores.
- *TA+*, *TA-*, *TB+*, *TB-*, *TC+*, *TC-*, señales de salida de la modulación PWM.
- *nSYNC\_1*, señal de sincronización del DAC1.
- *D1\_1*, *D2\_1*, datos de entrada al DAC1.
- *CLK\_OUT1*, señal de reloj del DAC1.
- *nSYNC\_2*, señal de sincronización del DAC2.
- *D1\_2*, *D2\_2*, datos de entrada al DAC2.
- *CLK\_OUT2*, señal de reloj del DAC2.

Todas las señales de salida que se comunican con el DAC son generadas por un driver que proporciona el fabricante Digilent [13].

Es necesario adelantar que en este sistema se utilizarán de una manera general seis señales a las cuales se las ha denominado como señales críticas que modifican el valor de las tensiones de salida. Estas señales limitan la configuración del sistema y como se explicará más adelante se pueden configurar por combinaciones de los ocho interruptores y de los cuatro botones que proporciona la tarjeta FPGA. Las señales críticas con sus valores posibles se muestran a continuación:

- $0.0625 \leq m_a \leq 15.9375$ , simula el comportamiento de la relación de modulación de amplitud  $m_a$ .
- $1 \leq m_f \leq 255$ , simula el comportamiento del índice de modulación de frecuencia  $m_f$ .
- $3 \text{ Hz} \leq f_1 \leq 100 \text{ Hz}$ , simula el comportamiento de la frecuencia fundamental  $f_1$ .
- $0^\circ \leq \text{grados} \leq 160^\circ$ , simula los grados de desfase entre las señales PWM para el método de cancelación de tensión.
- $100 \text{ ns} \leq t_m \leq 6 \mu\text{s}$ , simula el tiempo muerto de las señales PWM.
- $0 \leq \text{motor} \leq 16$ , contador que provoca dieciséis variaciones de  $m_a$  y  $f_1$  simultáneas haciendo que  $m_a$  se mueva entre 0.0625 y 1 y que  $f_1$  se mueva entre 3 Hz y 50 Hz o entre 6 Hz y 100 Hz según la configuración escogida.

En el apartado 3.2.2 Módulo configuración se especificarán con más detalle los posibles valores de cada señal crítica así como sus posibles configuraciones.

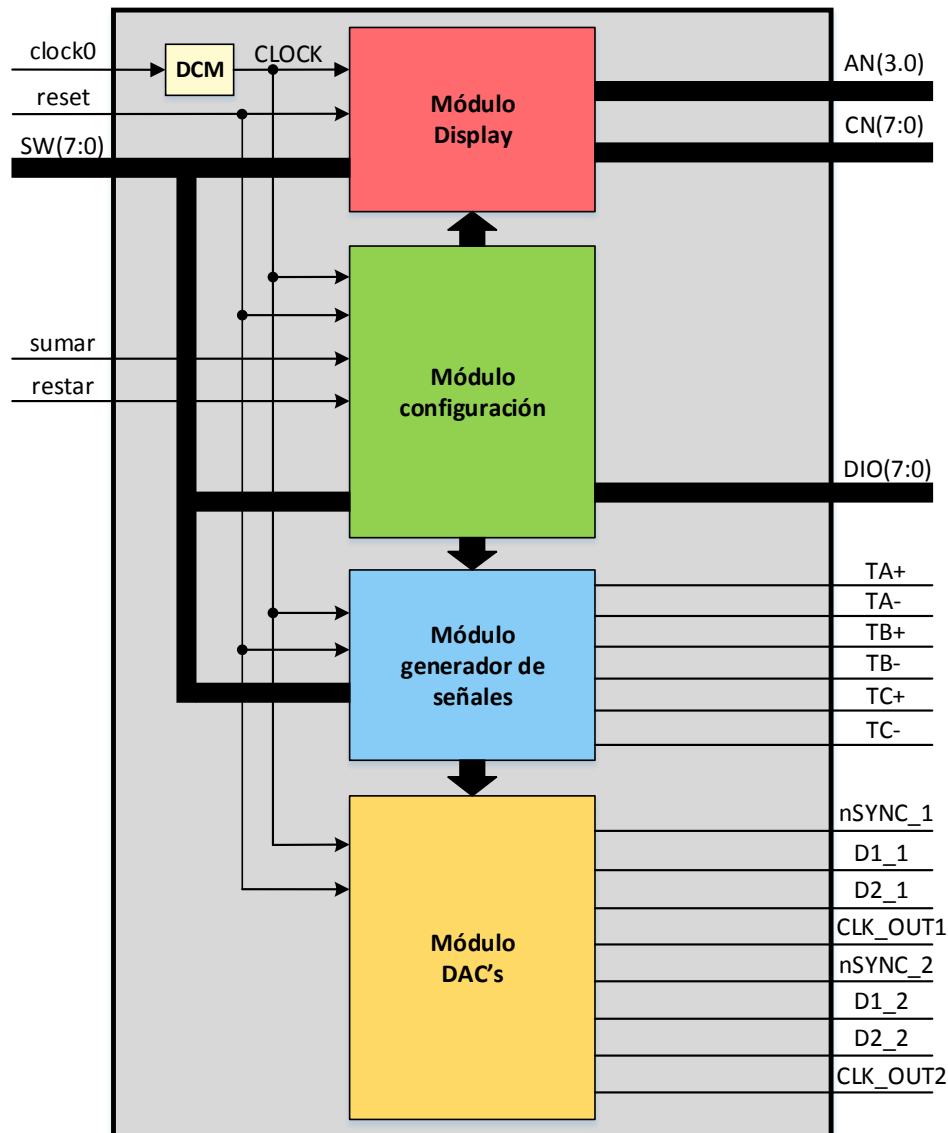


Figura 3.14 Módulo de mayor jerarquía.

Con el objetivo de simplificar la explicación se ha hecho hincapié en utilizar los mismos colores asociados a cada módulo de la figura 3.14 en los demás diagramas de bloques de cada módulo.

La relación de conexiones de pines de la tarjeta FPGA con las señales de entrada y salida se muestran en las dos siguientes tablas, tabla 3.5 y tabla 3.6.

Señales de entrada al sistema.	Asignación interna.
clock0	GCLK0: B8
reset	BTN0: B18
SW(0)	SW0: G18
SW(1)	SW1: H18
SW(2)	SW2: K18
SW(3)	SW3: K17
SW(4)	SW4: L14
SW(5)	SW5: L13
SW(6)	SW6: N17

SW(7)	SW7: R17
sumar	BTN2: E18
restar	BTN3: H13

Tabla 3.5 Asignación de pines para las señales de entrada del módulo de mayor jerarquía.

Señales de salida del sistema.	Asignación interna.
AN(0)	AN0: F17
AN(1)	AN1: H17
AN(2)	AN2: C18
AN(3)	AN3: F15
CN(0)	CA: L18
CN(1)	CB: F18
CN(2)	CC: D17
CN(3)	CD: D16
CN(4)	CE: G14
CN(5)	CF: J17
CN(6)	CG: H14
CN(7)	DP: C17
DIO(0)	LD0: J14
DIO(1)	LD1: J15
DIO(2)	LD2: K15
DIO(3)	LD3: K14
DIO(4)	LD4: E16
DIO(5)	LD5: P16
DIO(6)	LD6: E4
DIO(7)	LD7: P4
TA+	JB7: P17
TA-	JB8: R16
TB+	JB9: T18
TB-	JB10: U18
TC+	JA9: M14
TC-	JA10: M16
nSYNC_1	JC1: G15
D1_1	JC2: J16
D2_1	JC3: G13
CLK_OUT1	JC4: H16
nSYNC_2	JD1: J13
D1_2	JD2: M18
D2_2	JD3: N18
CLK_OUT2	JD4: P18

Tabla 3.6 Asignación de pines para las señales de salida del módulo de mayor jerarquía.

### 3.2.2. Módulo configuración.

El principal objetivo de este módulo es el de controlar las señales que modifican las señales críticas y enviar estas señales transformadas a los demás módulos para que puedan ser utilizadas por estos últimos. En este bloque se modificarán las seis señales críticas y se obtendrán otras seis que comunicarán con el Módulo Display y con el Módulo generador de señales. Las señales que se intercomunican entre los diferentes módulos están dentro de bloques en forma de rombos rellenos del color del módulo del cual proceden o del módulo que tienen como

destino. En este módulo todas estas señales parten a otros módulos. Las señales en azul, *Tiempos muertos*, *Grados*, *Contador seno*, *Contador triangular* y *ma final*, tienen como destino el Módulo generador de señales y la señal en rojo, *Dato Display*, tiene como destino el Módulo Display.

Para explicar el funcionamiento de este módulo se ha elaborado el diagrama que se muestra en la figura 3.15, el cual se procederá a explicar de izquierda a derecha. A la entrada de las señales *reset* y *CLOCK* se encuentra un bloque que simboliza que todos los procesos se encuentran internamente conectados a esas señales, siendo el sistema síncrono y pudiendo ser reseteado a la vez. Este último comentario se puede usar también para todos los módulos del sistema.

La función del bloque *Gestión de interruptores* es la de activar una señal, *int\_mot\_01* con *sumar* o *int\_mot\_02* con *restar*, que haga que se aumente o se disminuya solo una vez las señales críticas cuando las señales *sumar* o *restar* pasen a nivel alto. Además también genera otras señales internas que se activan cuando pasan a nivel bajo para usarla como final de carrera para la pulsación larga.

El hecho de haber escogido para el diseño los botones BTN2 (*sumar*) y BTN3 (*restar*) de la tarjeta FPGA provoca que exista un problema en el régimen transitorio de la activación de las dos señales pasando a nivel alto o bajo muchas más veces de las que se desea. Por este motivo se ha incorporado un semáforo que mediante un reloj, que se habilita con la primera activación de la señal (*sumar* o *restar*) registrada, espera 0.15 segundos, tiempo en el cual se desactiva la posibilidad modificar la señales críticas, para una vez pasado este tiempo poder volver a cambiar la señal crítica escogida de una manera correcta. Este proceso se indica en el diagrama como un reloj llamado *Reloj de cuenta lenta* y se muestra en la figura 3.16.

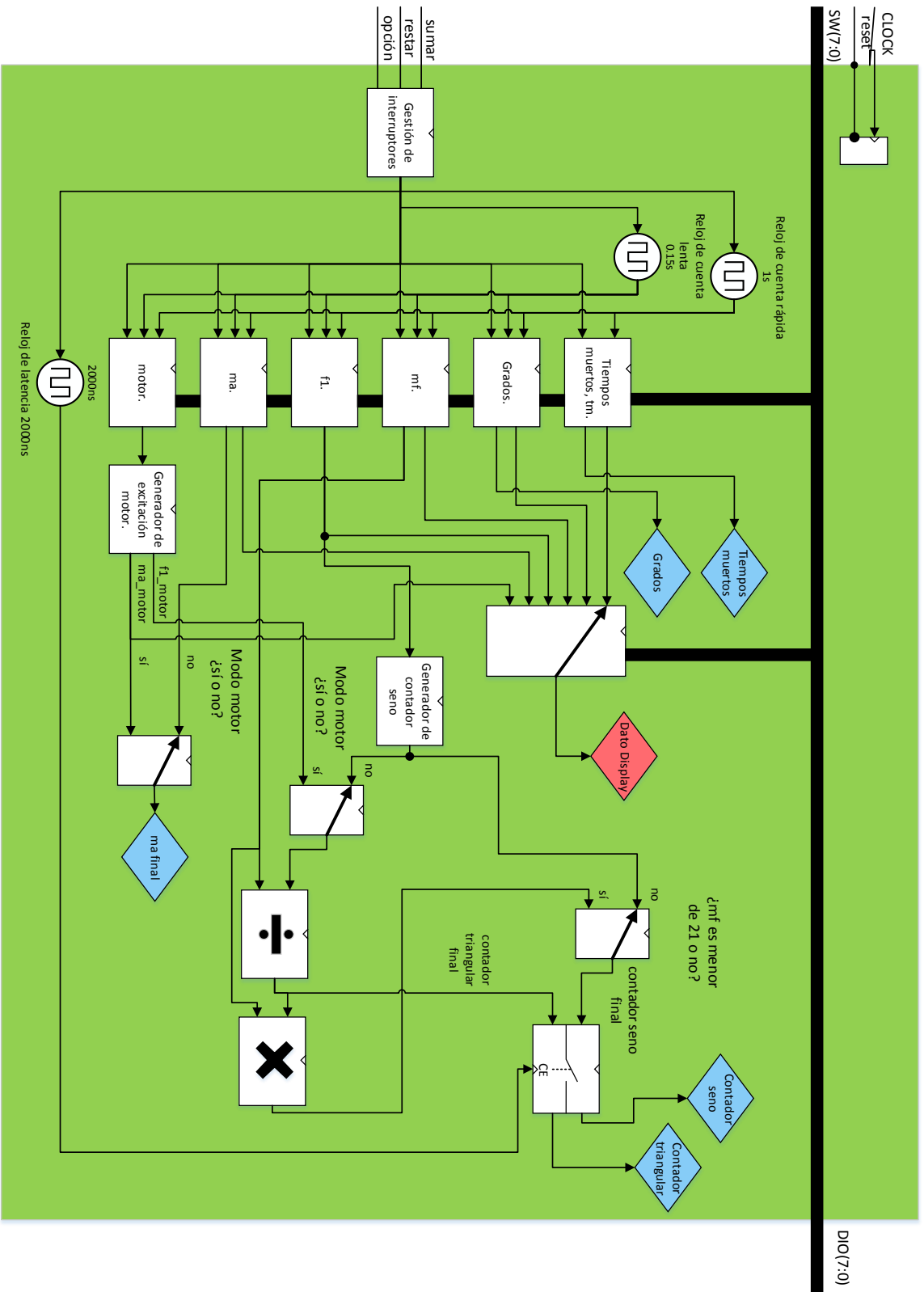


Figura 3.15 Diagrama de bloques de Módulo configuración.



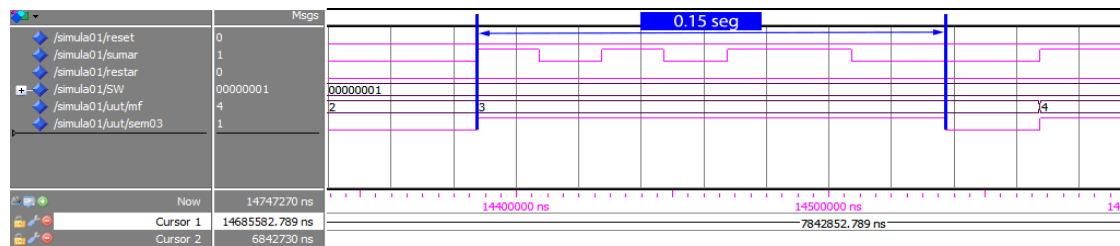


Figura 3.16 Simulación ModelSim: señales de activación y del cambio de señales de mf.

Para cambiar el valor de la señal escogida es necesario escoger primero la combinación específica de los interruptores SW(2:0) que habilita la posibilidad de cambiarla. En la tabla 3.7 se muestra las posibles configuraciones distintas para cambiar las señales críticas.

Nº	Configuración de interruptores SW2 SW1 SW0	Señal crítica escogida
1		mf
2		ma
3		f1
4		grados
5		Tiempos muertos, tm
6		motor (opción1)
7		motor (opción2)

Tabla 3.7 Configuración de interruptores SW(2:0) para modificar y visualizarlas distintas señales.

Una vez escogida la configuración se puede aumentar o disminuir las señales dentro de los límites de las mismas, que se muestran en la tabla 3.8, de dos maneras: de una unidad en una unidad pulsando solo una vez los botones BTN2 o BTN3 o en saltos de varias unidades (5 saltos por segundo) si se mantiene pulsado más de un segundo activando una señal, *sem01*, que

cambia el paso de salto de una unidad a varias unidades. Esta señal se desactiva con el paso a nivel bajo de cualquiera de los dos botones antes mencionados volviendo al paso de salto de una unidad. Este funcionamiento se representa como *Reloj de cuenta rápida* y se describe en la figura 3.17 donde el paso de salto rápido es de cinco unidades y cada 0.2 segundos.

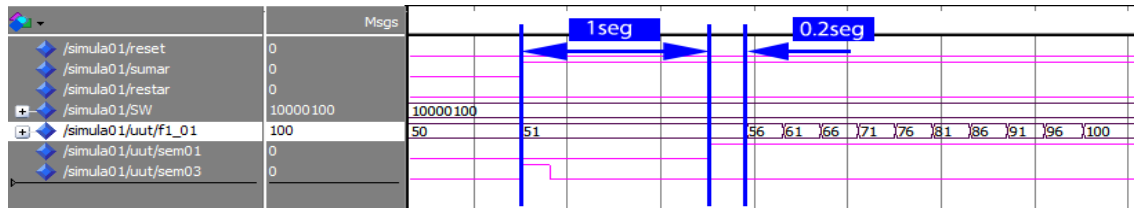


Figura 3.17 Simulación ModelSim: funcionamiento del aumento de paso de salto de f1.

Los bloques *tm*, *grados*, *mf*, *f1*, *ma* y *motor* se dedican simplemente a aumentar o disminuir las señales críticas correspondientes a cada bloque (con el mismo nombre) según se configure los interruptores SW(2:0) y cuando lo indiquen *int\_mot\_01* e *int\_mot\_02* procedentes del bloque *Gestión de interruptores*.

Señal crítica		Valores
Tiempos muertos, tm		100ns, 3us, 6us
grados		0° : 5° : 160°
mf		1 : 1 : 255
f1		20 : 1 : 100 (Hz)
ma		0.0625 : 0.0625 : 15.9375
motor (opción1) 0:1:15	f1_motor	6.25 : 6.25 : 100 (Hz)
	ma_motor	0.0625 : 0.0625 : 1
motor (opción2) 0:1:15	f1_motor	3.125 : 3.125 : 50 (Hz)
	ma_motor	0.0625 : 0.0625 : 1

Tabla 3.8 Límites y valores posibles de las señales críticas.

A partir de los valores de las señales *f1* y *f1\_motor* se generan una señal llamada *Contador seno* que es enviada al Módulo generador de señales y al *Divisor* para limitar y controlar la frecuencia de la señal fundamental mediante la señal *clock\_sen*. Este contador se calcula de la siguiente forma:

$$\text{contador} * 20 * 10^{-9} * \text{muestras} = \text{periodo de la señal} = \frac{1}{\text{frecuencia de la señal}}$$

por lo que,

$$\text{contador} = \frac{1}{20 * 10^{-9} * \text{muestras} * F1} \quad < 3.1 >$$

Donde *F1* puede ser la señal *f1\_motor* o la señal crítica *f1* dependiendo de la opción de motor escogida (configuración 3, 6 o 7 de SW(2:0)). Se adelanta que el número de muestras escogido es de 256, este detalle se comentará de una forma más específica en el apartado 3.2.3 Módulo generador de señales y en el apartado 3.3.

El bloque *Generador de contador seno* es el que se encarga entonces de obtener la señal *Contador seno* a partir de la frecuencia *f1* accediendo a la base de datos, *datos.vhd*, y devolviendo el valor del contador seno correspondiente a *f1*.

Las señales  $f1\_motor$  y  $ma\_motor$  son generadas por el bloque *Generador de excitación motor* que accede a la base de datos anterior y devuelve el valor correspondiente al puntero con el mismo valor que la señal crítica  $motor$  de los arrays  $valor\_motor\_conta\_f101()$  o  $valor\_motor\_conta\_f102()$  y  $valor\_motor\_ma01()$  de forma simultánea y solo cuando se escoge la configuración 6 o 7 de los interruptores SW(2:0) mostrada en la tabla 3.7. El valor que entrega es el de su contador seno equivalente que ya está calculado en de la base de datos de los arrays  $valor\_motor\_conta\_f101()$  o  $valor\_motor\_conta\_f102()$ .

Como se ha visto se han diseñado dos opciones para la excitación tipo rampa del motor. La primera de pendiente mínima llegando a los 100 Hz, frecuencia nominal del motor escogida para la carga trifásica, y la segunda de pendiente máxima llegando a los 50 Hz en 16 pasos ambas. En el apartado 2.3 se volverá a hablar del error que se ha asumido por la discretización de los valores de las frecuencias acercándolo al número entero más cercano. Las dos pendientes se pueden ver en la figura 3.18.

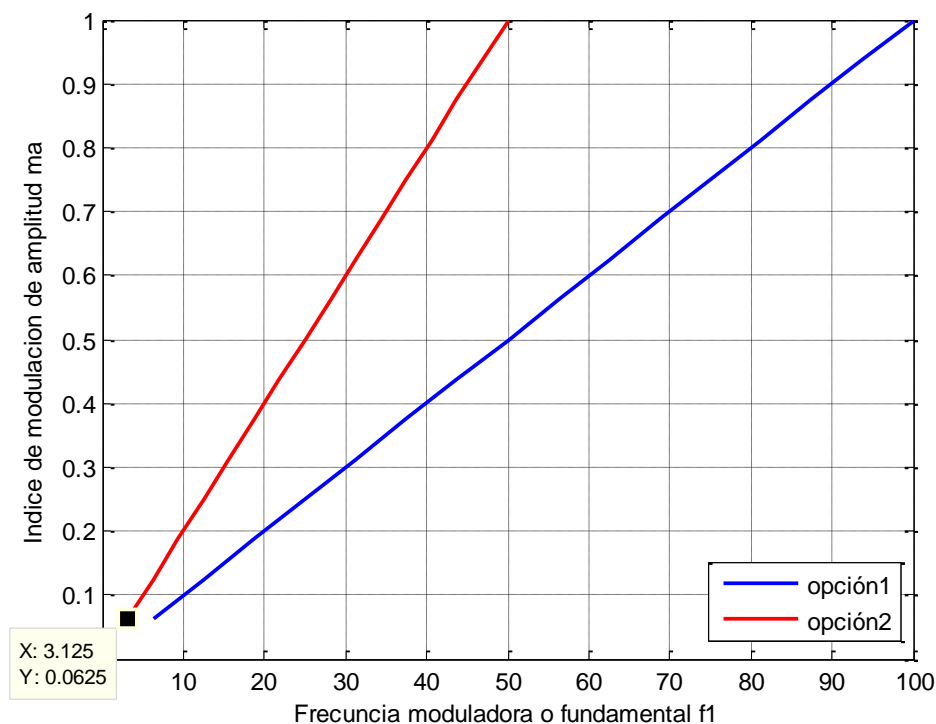


Figura 3.18 Grafico de las distintas opciones de excitación del motor.

Una vez configurado el valor de cada señal como se desea, éste, se redirige a un multiplexor que escoge y envía, según la configuración de SW(2:0) y a través de la señal *Dato Display*, el dato correspondiente al Módulo Display para posteriormente mostrarlo. A la vez, las señales  $tm$  (*tiempos muertos*) y  $grados$  son directamente enviadas al Módulo generador de señales. Las señales  $ma$ , junto a  $ma\_motor$ , y  $f1\_motor$ , junto a *Contador seno*, son enviadas a dos multiplexores que escogen el camino adecuado según este activada o desactivada la función de motor (configuración 6 o 7 de SW(2:0)). Escogido el índice de modulación de amplitud  $ma$  adecuado se procede a enviarlo al Modulo señales mediante la señal  $ma\_final$ .

El siguiente bloque a explicar es la división y multiplicación entre el contador seno, que como ya se ha dicho dependiendo de si está activado o no la opción de motor (configuración 6 o 7 de SW(2:0)) proviene de  $f1\_motor$  o  $f1$ , y  $m_f$  para obtener el contador triangular, síncrono o asíncrono, que se enviará al Modulo generador de señales para así poder controlar la frecuencia de la señal triangular mediante  $clock\_tri$  y  $clock\_sen$ . La justificación de hacer estas operaciones se muestra en la ecuación 3.2 y nace de la ecuación 2.2 del apartado 2.1.2 y de la ecuación 3.1 de este apartado.

$$m_f = \frac{f_s}{f_1} \rightarrow f_s = m_f * f_1 \rightarrow \frac{1}{\text{contador triangular}} = m_f * \frac{1}{\text{contador seno}} \rightarrow$$

$$\rightarrow \text{contador triangular} = \frac{\text{contador seno}}{m_f}$$

$$m_f * \text{contador triangular} = \text{contador seno (sistema síncrono)} < 3.2 >$$

Este divisor se ha implementado mediante el CORE LogiCORE IP Divider Generator v3.0 [14] que proporciona Xilinx y se ha configurado como muestra la tabla 3.9.

Configuración del divisor.	
Dividend and Quotient, M	17 bits
Divisor Width	16 bits
Remainder Type	Fractional
Fractional Width,, F	2 bits
Operand Sign	Unsigned
Clocks per Division	1
CE	'1'

Tabla 3.9 Configuración de LogiCORE IP Divider Generator v3.0.

Por otro lado el multiplicador se ha implementado usando un multiplicador de 18 bits disponible en la tarjeta FPGA MULT18X18S [15].

Si  $m_f$  es menor de 21 es necesario que el sistema sea síncrono. Cuando el contador seno es dividido por el valor de  $m_f$  se obtiene el contador triangular con decimales. Este valor se aproxima al número entero más cercano y se multiplica por  $m_f$  para obtener un contador que sea múltiplo entero del contador triangular y así obligar a que el sistema sea síncrono para valores menores de 21 de  $m_f$ . En la siguiente figura se muestra un ejemplo de este proceso.

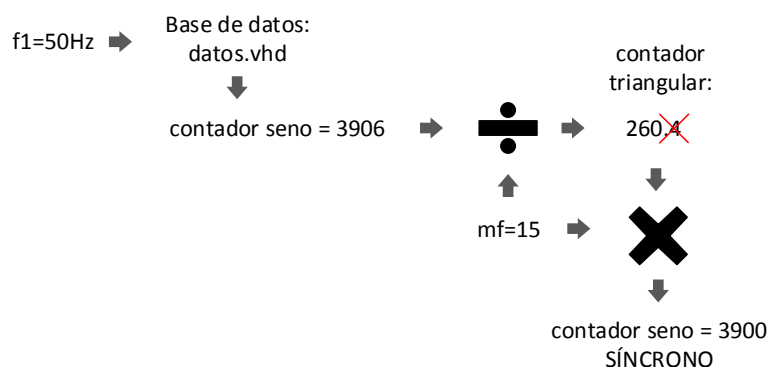


Figura 3.19 Esquema del proceso de obtención señal síncrona.

Si  $m_f$  es mayor o igual que 21 el contador escogido para el seno es el obtenido directamente de los arrays de la base de datos siendo el sistema asíncrono.

Cuando se cambia  $m_f$ ,  $f_1$  o  $f1\_motor$  se provoca que el contador triangular cambie como resultado de la división y la multiplicación en su caso, pero esta división y multiplicación tiene una latencia que en el peor de los casos y según las hojas de características[14] es de  $20 \text{ ns} * M + F + 5 = 480 \text{ ns} + 100 \text{ ns}$  (M es el tamaño en bits del dividendo y cociente y F es el tamaño en bits de la parte fraccional), por ello se ha creado un bloque llamado *Reloj de latencia* que se ocupa únicamente de actualizar el valor de la señal *Contador triangular* cuando se modifiquen  $m_f$ ,  $f_1$  o  $f1\_motor$  y solo después de 2000 ns, tiempo más que suficiente para que la actualización se haga de una manera correcta. Lo anterior explicado se muestra en la Figura 3.20 donde se aumenta la frecuencia  $f_1$  de 6 Hz a 9 Hz, *Contador seno* es *CONTA\_F1*, *CONTA\_S* es el resultado de la división y *CONTA\_S1* es la señal final equivalente al *Contador triangular*. *CONTA\_SEN\_F1* es la señal final del contador seno.

Por último, aclarar que el tamaño escogido de la parte fraccional de la división es de 2 bits para aproximar al número entero más cercano la salida del divisor, minimizando así las pérdidas.

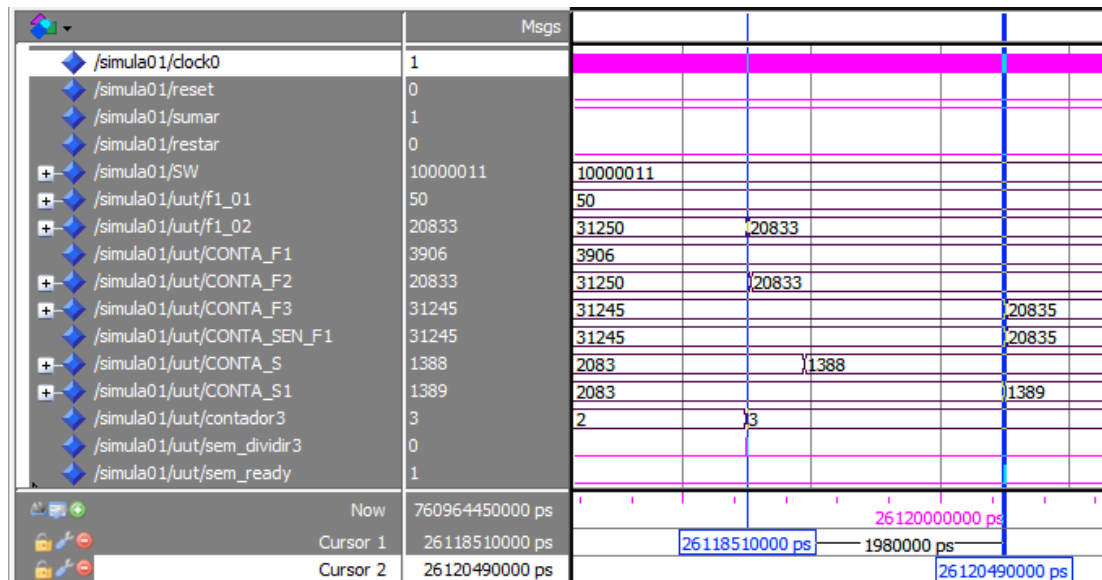


Figura 3.20 Simulación ModelSim: latencia y señales de actualización del divisor y multiplicación.

### 3.2.3. Módulo generador de señales.

El siguiente módulo a explicar es el Módulo generador de señales. Este módulo se encarga de generar las señales de control para todos los métodos disponibles así como la señal triangular. Una vez generadas estas señales se encarga de compararlas de una manera adecuada, retrasándolas o no según se escoja, y devolviendo finalmente las señales  $TA+$ ,  $TA-$ ,  $TB+$ ,  $TB-$ ,  $TC+$  y  $TC-$ , que activarán o desactivarán los IGBT's del cubo de potencia Semiteach-IGBT. Además envía las señales de control y la señal triangular al Módulo DAC's con el fin de ser convertidas y analizadas de una forma analógica.

Al igual que en el anterior módulo se ha creado un diagrama de bloques que explica el funcionamiento, véase la figura 3.21. Si se recorre el módulo de izquierda a derecha aparecen en primer lugar dos bloques, *Bloque generador de señal control* y *Bloque generador de señal triangular*. El bloque encargado de generar las señales de control accede a la bases de datos

antes utilizada, *datos.vhd*, y devuelve constantemente un periodo de la señal de control guardada en unos arrays. La frecuencia con la cual se adquieren estos datos la marcan el bloque llamado *Reloj de la señal seno* que utiliza la señal *Contador seno* proveniente del Módulo configuración para generar la señal *clock\_sen* encargada de aumentar el puntero que se utiliza para recorrer el array de la base de datos. El array escogido y por lo tanto la forma de onda de la señal de control moduladora lo define el método con el cual se quiera trabajar. Para escoger los diferentes métodos se utilizan los interruptores SW(6:3). En la tabla 3.10 se muestran las posibles configuraciones disponibles de estos interruptores para escoger el método que el usuario quiera.

Todas las señales de control escogidas parten de un *seno base modulador* cuya amplitud es de 64 bits y tiene 256 muestras o pasos, con lo que los arrays correspondientes son de 256 posiciones. La justificación de esta elección se basa en la optimización de los errores en la discretización de la onda. Esta optimización se detalla a fondo en el apartado 2.3. Para elaborar estos arrays se ha utilizado la aplicación Matlab, y se han importado los datos a ISE Project Navigator. Esta señal se aprecia en la figura 3.22.

En las Figuras 3.23, 3.24, 3.25 y 3.26 se muestran la forma de onda de las señales de control introducidas en la base de datos para ser leídas como array.

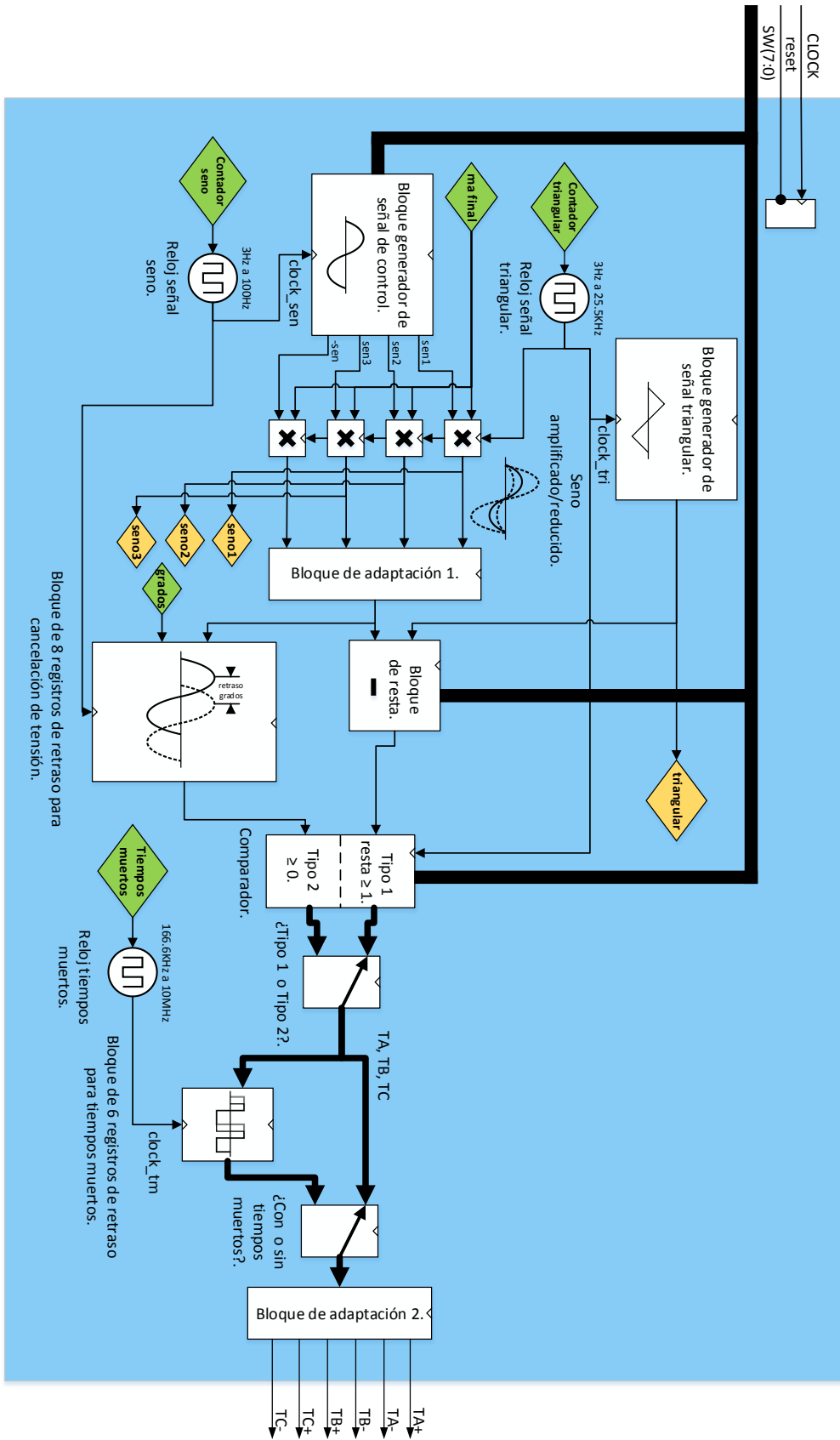


Figura 3.21 Diagrama de bloque del Módulo generador de señales.

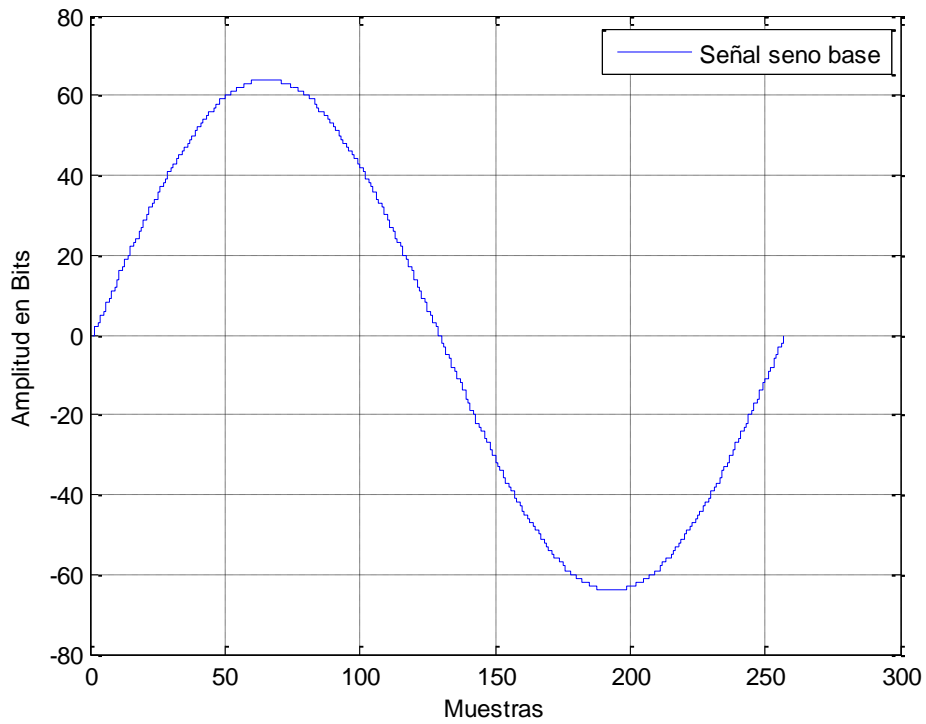


Figura 3.22 Descripción de la señal seno base utilizada como moduladora.

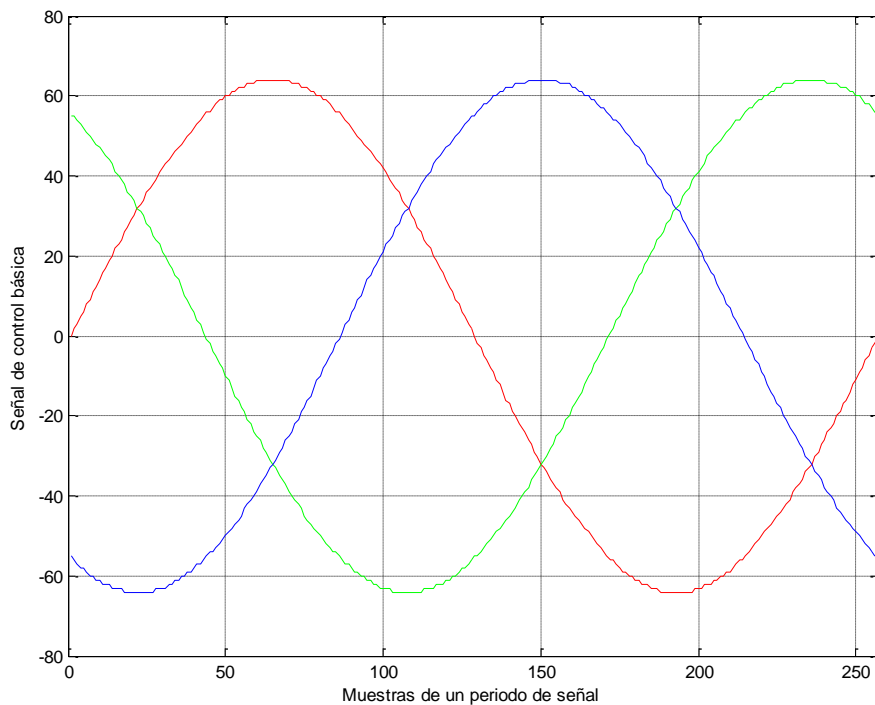


Figura 3.23 Descripción de las señales senos base utilizadas en modo trifásico como moduladoras.



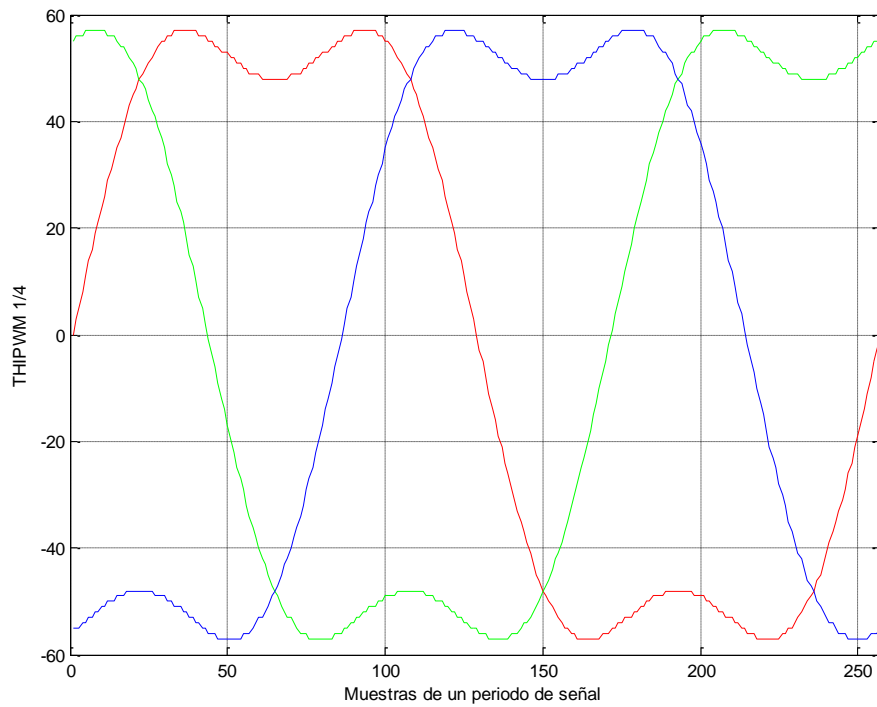


Figura 3.24 Descripción de las señales THIPWM 1/4 moduladoras utilizadas en modo trifásico.

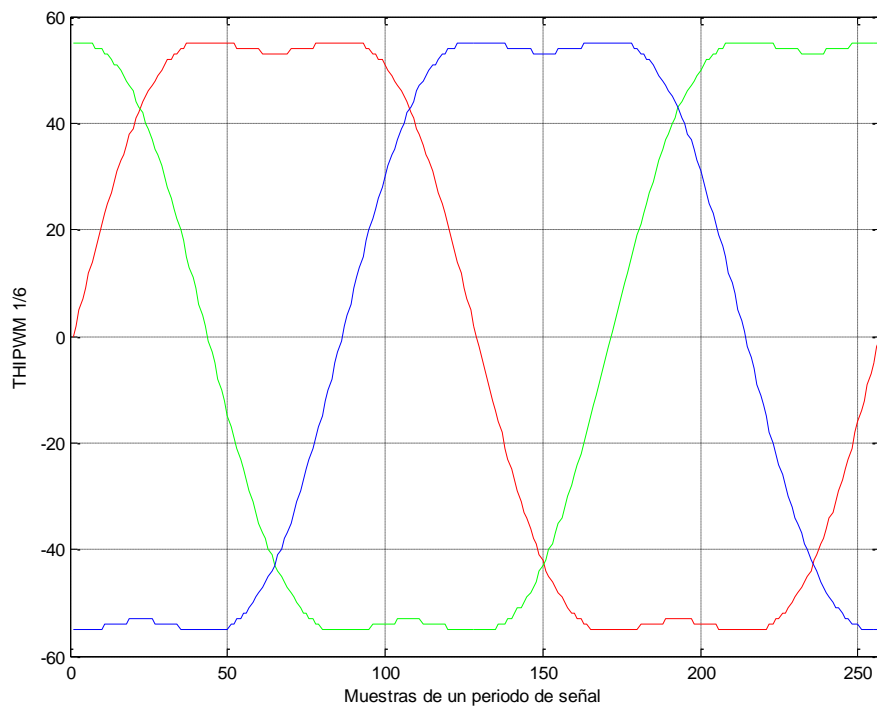


Figura 3.25 Descripción de la señales THIPWM 1/6 moduladoras utilizadas en modo trifásico.

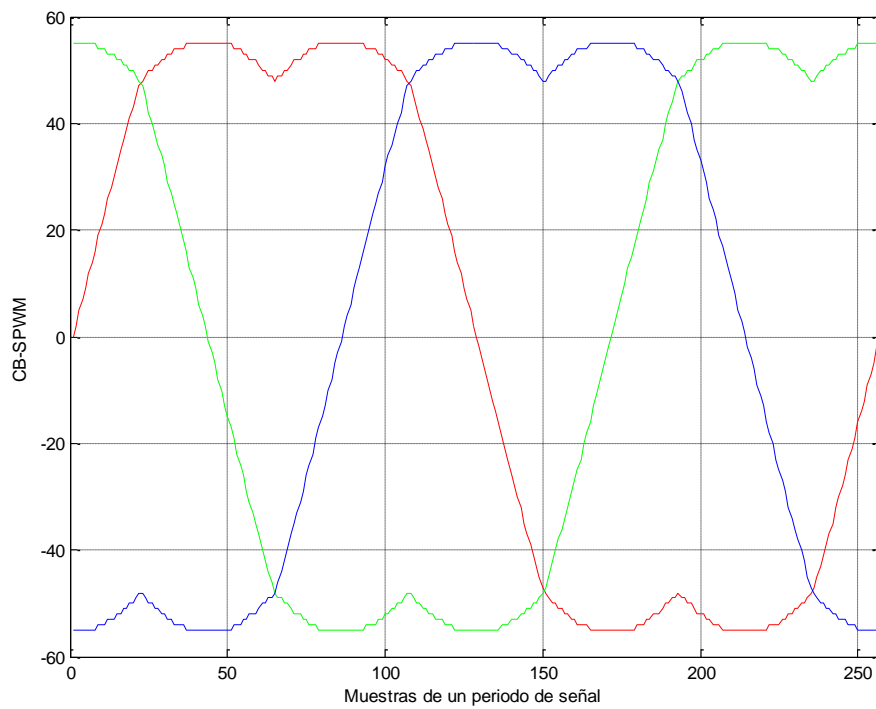


Figura 3.26 Descripción de la señales CB-SPWM moduladoras utilizadas en modo trifásico.

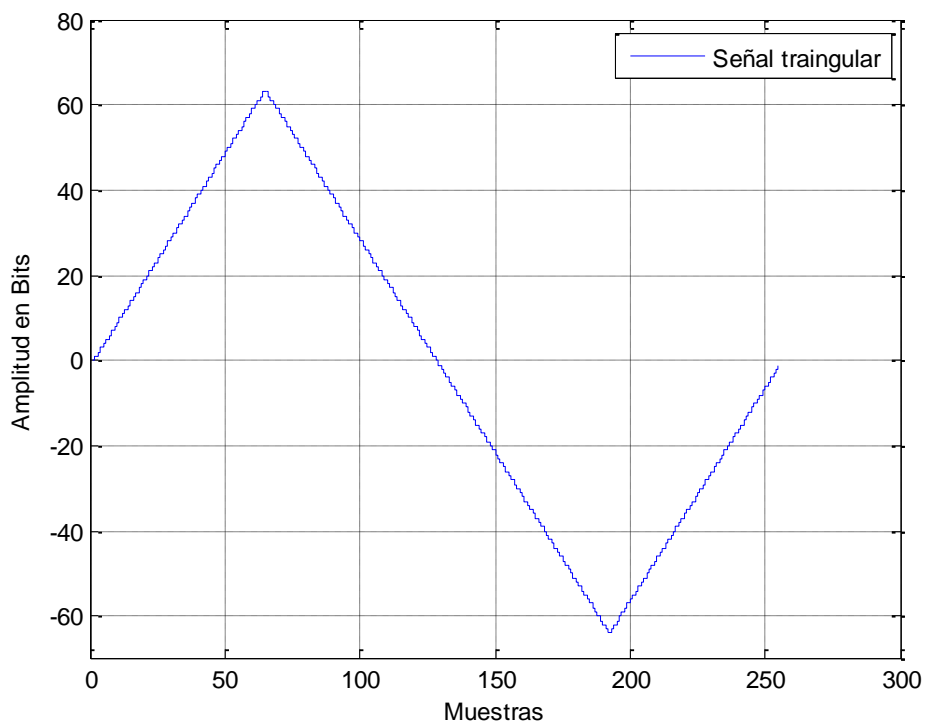
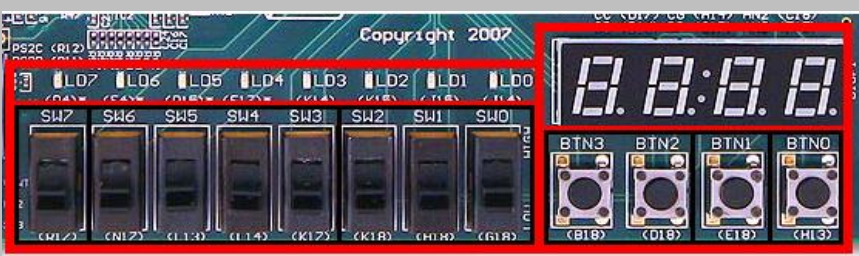


Figura 3.27 Descripción de la señal triangular base utilizada como portadora.

Por otro lado la señal triangular es generada por el bloque *Bloque generador de señal triangular* a partir de sumas y restas dependido del cuadrante como se indica en la figura 3.27. Al igual que

la señal de control su frecuencia es dirigida a través de la señal *clock\_tri* que nace de la señal *Contador triangular* proveniente del Módulo configuración.

En las figuras se muestran las demás señales configuradas en la base de datos para los distintos métodos escogidos.



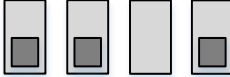
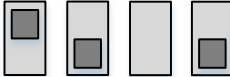
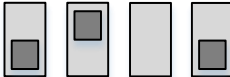
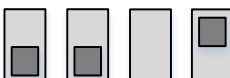
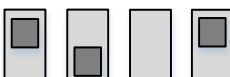
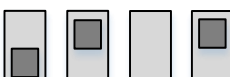
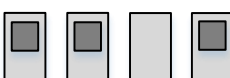
Nº	Configuración de interruptores SW6 SW5 SW4 SW3.	Método PWM escogido.
1		PWM Monofásico bipolar.
2		PWM Monofásico unipolar.
3		PWM Monofásico Cancelación de tensión.
4		PWM Trifásica Clásica.
5		THIPWM Opción 1/4.
6		THIPWM Opción 1/6.
7		CB-SVPWM.

Tabla 3.10 Configuración de los interruptores SW(6:3) para la elección del método PWM.

Una vez escogida la estrategia de modulación con las configuraciones de los interruptores SW(6:3) el *Bloque generador de señales de control* lleva las señales a 4 multiplicadores que van sincronizados con la señal del reloj triangular. Estos multiplican las señales de control por el valor de la señal *ma final* enviada desde el Módulo configuración para aumentar o disminuirlas en amplitud. En la multiplicación se tienen en cuenta los decimales reservando los 4 bits primeros de la señal de salida del multiplicador para los decimales y los 12 bits siguientes para la parte entera. Estos multiplicadores se han implementado usando los multiplicadores de 18 bits disponibles por la tarjeta FPGA MULT18X18S [15]. La latencia introducida por ellos es

despreciable ya que el intervalo en el cual se pueden cambiar las señales y por lo tanto las señales de control moduladoras es mucho mayor que su latencia.

El *Bloque de adaptación 1* se dedica a truncar esta parte decimal y quedarse con la parte entera. El error sumado por este desprecio de los decimales se asume y se estudia en el apartado de errores. En la figura 3.28 se explica la distribución de los bits del proceso de multiplicación y adaptación. En ella se aprecia cómo se adaptan las señales de entrada a 18 bits y luego se desprecian los últimos 24 bits de la salida del multiplicador ya que no aportan información. También se marca con una cruz roja los bits que se trunca en el bloque de adaptación 1 quedándose solo con la parte entera de la señal.

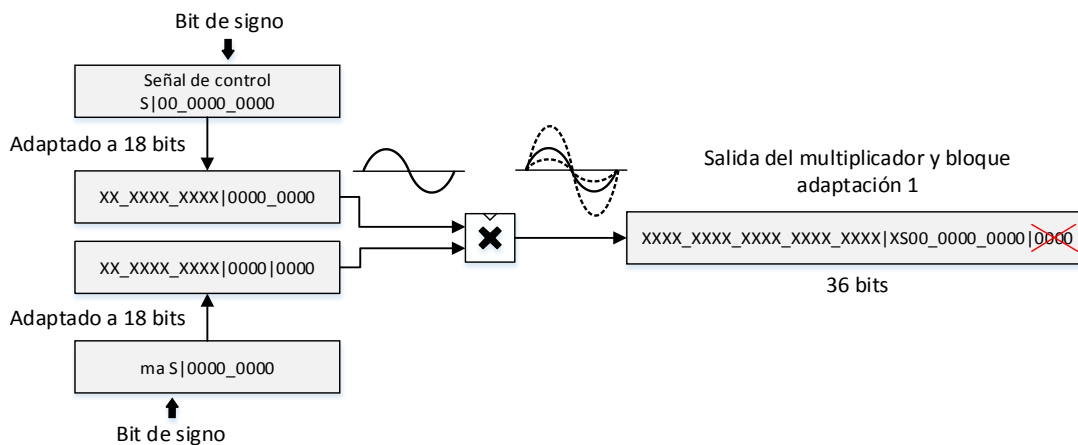


Figura 3.28 Gestión de bits de la entrada y salida del multiplicador.

La elección de haber cogido 4 bits para los decimales de *ma final* justifica que la resolución que se comentó en el Módulo configuración de esta señal crítica fuese de 0.0625.

Una vez que se tienen las señales de control y triangular base y adaptadas en amplitud y frecuencia el siguiente paso es el de compararlas para crear las señales PWM. Para esta comparación se ha utilizado el método comparación por histéresis por resta, ya que permite de una forma fácil darle un margen de error que evite las posibles conmutaciones parásitas que se puedan introducir cuando se aumenta la frecuencia de la onda portadora a través del índice de modulación de frecuencia  $m_f$ . El encargado de hacer esta resta y enviarle los resultados al comparador es el *Bloque de resta* situado a continuación del *Bloque de adaptación 1*. El margen que se ha utilizado en esta resta es de 1 unidad. A su vez y solo si se ha escogido la configuración del método de cancelación de tensión con los interruptores SW(6:3) se envían las señales de control del *Bloque de adaptación 1* al *Bloque de 8 registros de retraso*. Este bloque está compuesto como su nombre indica por 8 registros de desplazamiento de 16 bits implementados por el componente SRL16E disponibles en la Spartan3E [2]. La colocación de estos registros es en serie como se aprecia en la figura 3.29 y están gobernados por dos señales. La primera es la señal *clock\_sen* obligando a que cada vez que cambie la señal de control se actualice también su posición en los registros. Es necesario recordar que un ciclo de la señal *clock\_sen* es equivalente a una muestra.

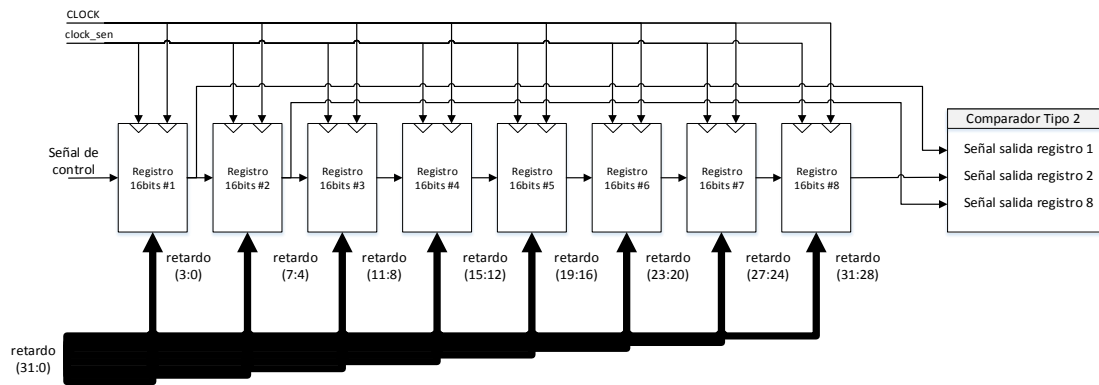


Figura 3.29 Distribución interna de los registros del Bloque de 8 registros.

La segunda es la señal llamada *retardo* de 32 bits que siguiendo la tabla 3.11 adapta de cuatro en cuatro sus bits a la señal *grados* enviada desde el Módulo configuración para retrasar la señal usando los registros correspondientes. Esta adaptación se realiza accediendo con la señal crítica *grados* a la base de datos, *datos.vhd*, y devolviendo la señal *resultado*. Para el cálculo de la señal *resultado* se ha tenido en cuenta que cada registro utilizado añade una latencia de un ciclo de señal de activación *clock\_sen*, y como el objetivo es llegar a 160° se ha escogido el límite de 180° (mitad del ciclo de la señal de control) para realizar la traslación del número de grados al número de muestras o ciclos de *clock\_sen* equivalente (se recuerda que el número de muestras escogidas para todo el periodo las señales de control es de 256 con lo que para la mitad del periodo serían 128 muestras) que se deberían retrasar.

La ecuación 3.3 y figura 2.30 resumen el cálculo del número de muestras equivalente y su efecto en el retraso.

$$muestras_{sin\ retraso} = \frac{grados * 128\ muestras}{180^\circ}$$

$$muestras_{con\ retraso} = muestras_{sin\ retraso} - n^o\ registros\ utilizados \quad < 3.3 >$$

A estas muestras equivalentes se les ha restado la latencia correspondiente al número de registros utilizados siendo:

- De los números 1 al 4 de la tabla 3.11 se ha restado 1 muestra al utilizar solo un registro.
- Números 5 y 6 se ha restado 2 muestras al utilizar 2 registros.
- De los números 7 al 30 se ha restado 8 muestras al utilizar 8 registros.

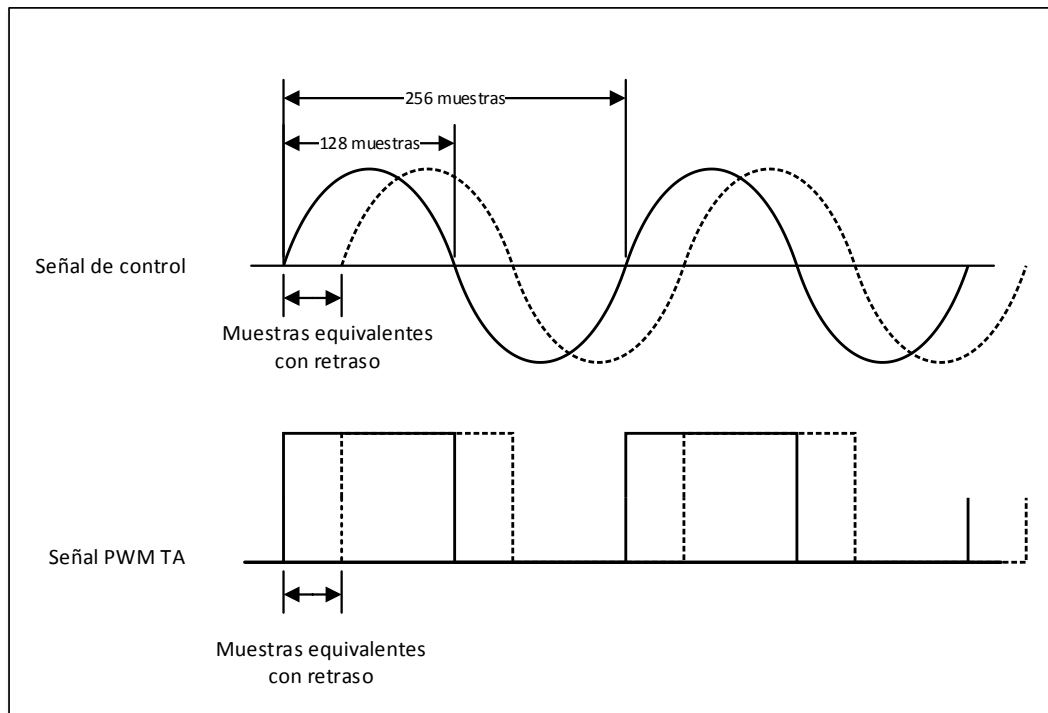


Figura 3.30 Retraso de la señal de control y consecuencia en la señal PWM.

Nº	grados	Número de muestras equivalente con retraso	A	B	C	D	E	F	G	H
0	0	0	0000	0000	0000	0000	0000	0000	0000	0000
1	5	1	0000	0000	0000	0000	0000	0000	0000	0001
2	10	6	0000	0000	0000	0000	0000	0000	0000	0110
3	15	10	0000	0000	0000	0000	0000	0000	0000	1010
4	20	13	0000	0000	0000	0000	0000	0000	0000	1101
5	25	17	0000	0000	0000	0000	0000	0000	0001	1111
6	30	19	0000	0000	0000	0000	0000	0000	0100	1111
7	35	17	0000	0000	0000	0000	0000	0000	0010	1111
8	40	20	0000	0000	0000	0000	0000	0000	0101	1111
9	45	24	0000	0000	0000	0000	0000	0000	1001	1111
10	50	28	0000	0000	0000	0000	0000	0000	1101	1111
11	55	31	0000	0000	0000	0000	0000	0001	1111	1111
12	60	35	0000	0000	0000	0000	0000	0101	1111	1111
13	65	38	0000	0000	0000	0000	0000	1000	1111	1111
14	70	42	0000	0000	0000	0000	0000	1100	1111	1111
15	75	45	0000	0000	0000	0000	0000	1111	1111	1111
16	80	49	0000	0000	0000	0000	0100	1111	1111	1111
17	85	52	0000	0000	0000	0000	0111	1111	1111	1111
18	90	56	0000	0000	0000	0000	1011	1111	1111	1111
19	95	60	0000	0000	0000	0000	1111	1111	1111	1111
20	100	63	0000	0000	0000	0011	1111	1111	1111	1111
21	105	67	0000	0000	0000	0111	1111	1111	1111	1111
22	110	70	0000	0000	0000	1010	1111	1111	1111	1111
23	115	74	0000	0000	0000	1110	1111	1111	1111	1111

24	120	77	0000	0000	0010	1111	1111	1111	1111	1111
25	125	81	0000	0000	0110	1111	1111	1111	1111	1111
26	130	84	0000	0000	1001	1111	1111	1111	1111	1111
27	135	88	0000	0000	1101	1111	1111	1111	1111	1111
28	140	92	0000	0010	1111	1111	1111	1111	1111	1111
29	150	98	0000	1000	1111	1111	1111	1111	1111	1111
30	160	106	0001	1111	1111	1111	1111	1111	1111	1111
A = Registro 16 bits #8						E = Registro 16 bits #4				
B = Registro 16 bits #7						F = Registro 16 bits #3				
C = Registro 16 bits #6						G = Registro 16 bits #2				
D = Registro 16 bits #5						H = Registro 16 bits #1				

Tabla 3.11 Adaptación de la señal *grados* a la señal *retrasos*.

El siguiente bloque más importante mostrado en el Diagrama de bloques de este módulo es el *Comparador* cuya función es la de realizar todas las comparaciones necesarias vistas en la parte de teoría para cada método de PWM. La señal que da la orden de comparar es *clock\_tri*, la señal que controla la frecuencia de la señal triangular, debido a que es la señal que más rápido cambia. Se puede dividir en dos partes, un comparador llamado de Tipo 1 que utiliza las señales provenientes del *Bloque de resta* para comparar las señales de control con la triangular y otro llamado de Tipo 2 que compara la señal de control proveniente del *Bloque de 8 registros de retraso* con el cero para minimizar los errores y así obtener una señal cuadrada mejorada. Solo se utiliza si está configurado para el método de cancelación de tensión. Como se aprecia en la figura 3.29 internamente al comparador Tipo 2 le llegan 3 señales, una proveniente del primer registro, otra del segundo y otra del último. El comparador elige la señal adecuada según sea el valor de la señal *grados* escogiendo así la señal retrasada finalmente para los grados seleccionados. Este bloque devuelve un bus de señales PWM, es decir ya saca las señales *TA+*, *TA-*, *TB+*, *TB-*, *TC+* y *TC-*, que pasarán por un último proceso de retraso para introducirles un tiempo muerto, para el método de PWM escogido con las configuraciones de los interruptores SW(6:3) mostradas en la tabla 3.10. En los apartados 3.3 y 3.4 se verán en detalle las señales PWM de salida de este comparador según el método PWM escogido.

Como último proceso, si se activa el interruptor SW(4) se activa la opción que le introduce un tiempo muerto a las señales PWM. Este tiempo muerto tiene tres opciones como indica la tabla 3.12. La forma de escoger la opción es usando la configuración 5 de la tabla 3.7 Configuración de interruptores SW(2:0) y pulsando el botón BTN3 aumentándola en una unidad su valor.

El bloque encargado de generar las señales PWM con este tiempo muerto es del *Bloque de 6 registros de retraso para tiempos* que se compone de 6 registros de desplazamiento de 16 bits SRL16E [2] (uno para cada señal PWM *TA+*, *TA-*, *TB+*, *TB-*, *TC+* y *TC-*) y tres subprocesos que comparan las señales PWM de las ramas TA, TB y TC que salen de los registros con las originales. En esta comparación solo se modifica la señal original cuando hay un pico de subida de la señal PWM. La configuración de estos registros de desplazamiento es distinta a la usada para cancelación de tensión ya que solo retrasan un ciclo de reloj de la señal *clock\_tm* que es la que varía en periodo adaptándose a la señal *Tiempos muertos* que proviene del Módulo configuración escogida por las opciones de la tabla 3.12.



Configuración de interruptores SW6 SW5 SW4 SW3	Opción escogida	Tiempo muerto escogido
	0	0s
	1	100ns
	2	3us
	3	6us

Tabla 3.12 Opciones de tiempo muerto.

En la figura 3.31 se muestra la distribución de estos 6 registros para los tiempos muertos.

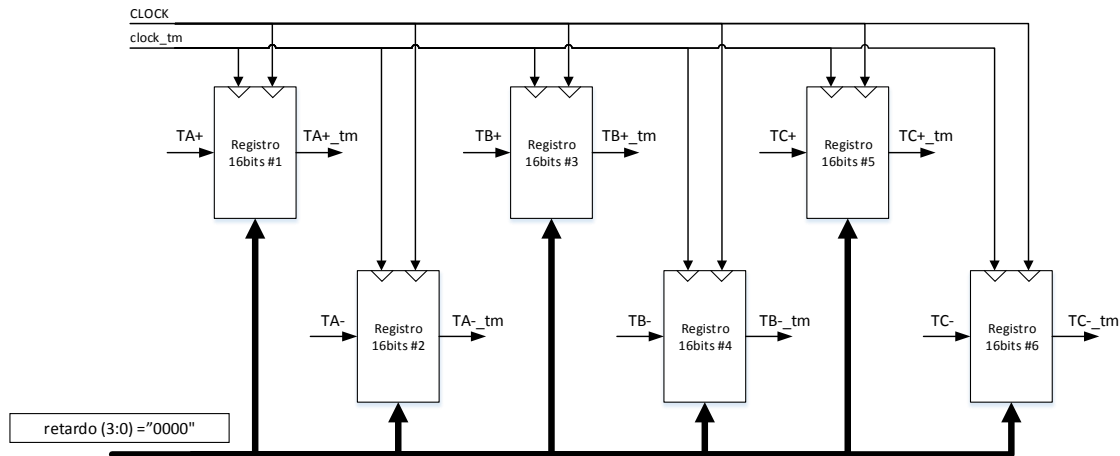


Figura 3.31 Distribución de registros de retardo para tiempos muertos.

Los multiplexores se encargan de escoger el camino de las señales PWM dependiendo si está activada o no la cancelación de tensión o si esta activada o no los tiempos muertos.

Para terminar el *Bloque de adaptación 2* separa las señales PWM para poder ser sacadas por los 6 pines distintos.

El interruptor restante SW(7) hace las de interruptor de encendido o apagado, es recomendable que cada vez que se cambie de método PWM se apague y se encienda para hacer una especie de reseteo de las señales.



### 3.2.4. Módulo DAC's.

El siguiente módulo es el encargado de sacar las señales digitales al convertidor DAC Digilent PmodDA2 [12] mediante un código driver que proporciona el propio fabricante Digilent. Este driver convierte las señales de entrada enviadas desde el Módulo generador de señales *seno1*, *seno2*, *seno3* y *señal triangular* de 12 bits a señales digitales moduladas bit a bit en serie comenzando por el bit de menor peso. Además entrega al DAC una señal de reloj de 25 MHz y una señal que sincroniza los datos de los chips.

Como la salida del DAC puede estar entre los 0V y 3.3 V y con el objetivo de que se vea todo el rango de la señal de una forma analógica se ha adaptado las señales de entrada al driver a todo el SPAN del DAC y así poder visualizarlas de una forma correcta. En la figura 3.32 se muestra la adaptación realizada para el caso en que la señal de control tenga la amplitud máxima, es decir que  $m_a$  sea 16. En este caso, usando la señal base mostrada en la figura 3.22, la amplitud de la señal sería 1024, con lo que para cubrir todo el SPAN del DAC como se ha dicho, se debería multiplicar por dos hasta los 2048 de amplitud y sumarle 2048 de offset consiguiendo una señal que vaya desde 0 a 4096 y por lo tanto cubra los 12 bits.

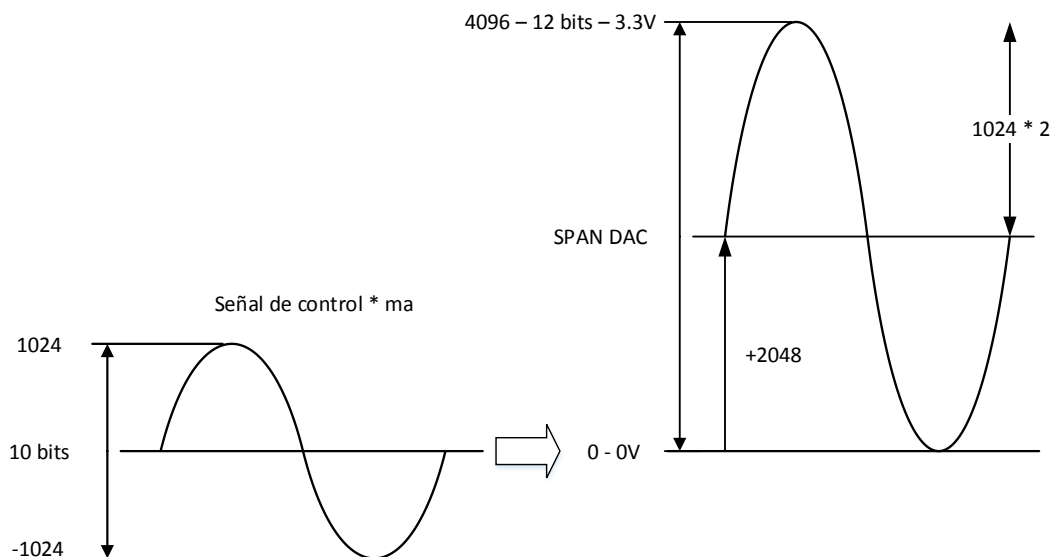


Figura 3.32 Adaptación de la señal de control a la entrada del driver DAC.

### 3.2.5. Módulo Display.

El cuarto módulo que se explicará es el Módulo Display encargado de, a partir de la señal *Dato Display* enviada desde el Módulo configuración, mostrar por los 4 Displays de la tarjeta FPGA el valor adecuado de la señal crítica escogida con los interruptores SW(2:0). Al igual que los anteriores módulos la señal *CLOCK* y *reset* es enviada a todos los procesos haciendo el sistema síncrono. Los procesos principales de este módulo se resumen en la figura 3.34 donde se aprecia los pasos que se siguen. En primer lugar se pasa la señal de entrada de binario a BCD. En este paso hay una sección especializada para la señal crítica *ma* ya que en la visualización de esta señal se tiene en cuenta el punto decimal. Una vez que se obtiene el dato en BCD se guarda en 4 señales, *unidades*, *decenas*, *centenas* y *millares* que van a parar, a través del bloque *BCD a Display*, a los Displays 0, 1, 2 y 3 respectivamente. También se entrega una señal que indica si se habilita el punto decimal o no. El bloque *BCD a Display* se encarga de activar a nivel bajo los

segmentos correspondientes al valor de las señales *unidades*, *decenas*, *centenas*, *millares* y *punto*. Los datos son sacados a través de la salida CN(0:7).

Por otra parte se ha creado una señal que se activa cada 200 Hz haciendo que cambie de un Display a otro mediante las señales AN(3:0) y colocando en el Display correspondiente el dato correcto mediante el multiplexor.

### 3.2.6 Bloque DCM.

Para terminar se hablará del bloque DCM colocado en la entrada del sistema de la señal *clock0*. Este bloque devuelve la señal *CLOCK* con la cual se trabaja en todos los módulos. El objetivo de este bloque es el de optimizar la señal de reloj que controla todo el sistema eliminando posibles latencias y mejorando el rendimiento del sistema. Para su implementación se ha utilizado uno de los ocho DCM's que proporciona la tarjeta FPGA [2][16]. El diagrama de bloques que implementa este DCM se muestra en la figura 3.33.

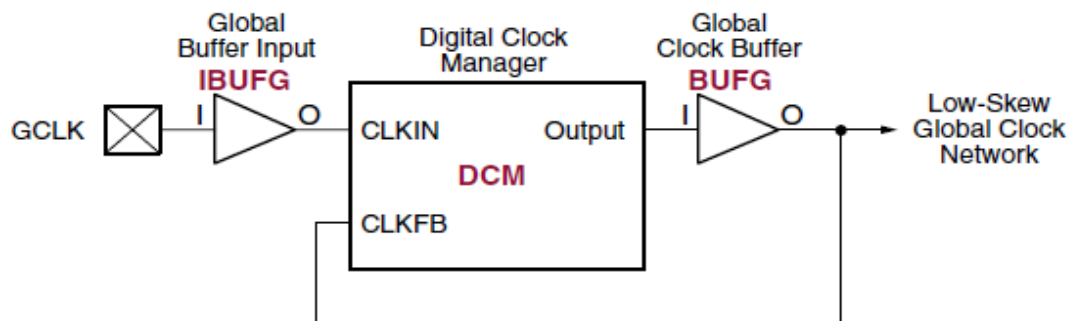


Figura 3.33 Distribución interna del DCM [14].

La entrada GCLK se ha conectado a la entrada de nuestro reloj *clock0* y la salida a la señal *CLOCK*.

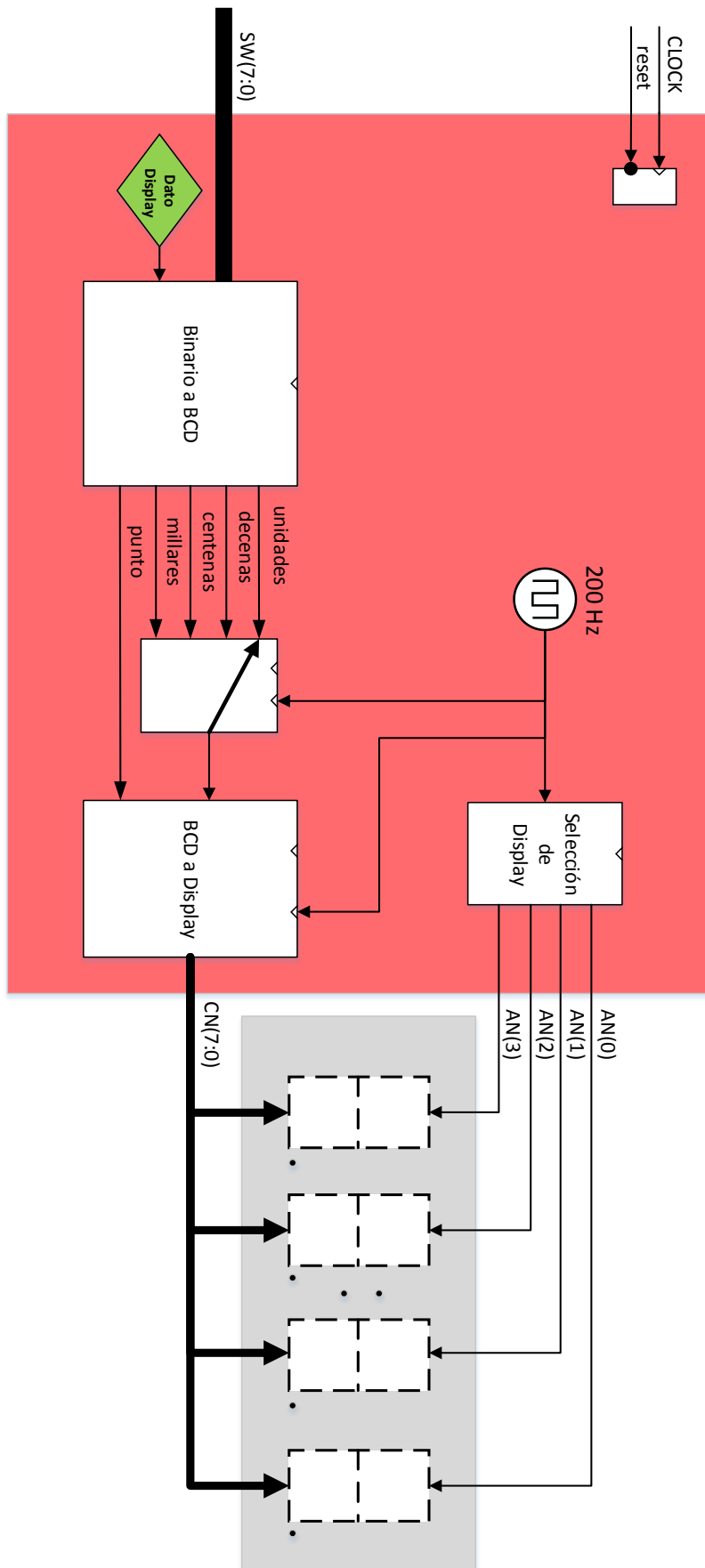


Figura 3.34 Diagrama de bloques del Módulo Display.

### 3.3. Estudio de errores asumidos.

En las secciones anteriores se ha hecho varias veces referencia a ciertos errores producidos por la discretización de los valores y por tanto de las señales. En este apartado se abordará las consecuencias de emplear coma fija en el diseño. Además se evaluarán otros errores asumidos.

#### 3.3.1. Frecuencia fundamental. Elección de número de muestras. Efecto de $m_f$ .

Para calcular los contadores que se introdujeron en la base de datos correspondientes a cada frecuencia, ecuación 3.1, y el error cometido en su aproximación al número entero más cercano, así como razonar la elección de 256 muestras de las señales de control guardadas en la misma base de datos, se han seguido las siguientes operaciones en Matlab:

```
q = quantizer('fixed', 'round', 'wrap', [18 0]);
f1=20:1:100;% solo interesa de 20 a 100
f2=3.125:3.125:50; %% max pendiente
f3=6.25:6.25:100;%% min pendiente
B=f1;% se selecciona la frecuencia a analizar
fs=B.*mf;

%VALORES INTRODUCIDOS DE F1 POR TABLA
contador_sen1=1./(B*20*10^(-9)*muestras);
contador_sen2=quantize(q,contador_sen1);

frecuencia_1_error_inicial=1./(contador_sen2*20*10^(-9)*muestras);
error_en_frecuencia_f1_asincrono=frecuencia_1_error_inicial-B;

%DIVISOR
contador_tri1=contador_sen2./mf;
contador_tri2=quantize(q,contador_tri1);

%MULTIPLICACION PARA SEÑALES SINCRONIZADAS
contador_sen_3=contador_tri2.*mf;
nueva_frecuencia_f1=1./(contador_sen_3*20*10^(-9)*muestras);
error_en_frecuencia_f1_sincrono=nueva_frecuencia_f1-B;

%ERROR EN FS
fs_error=1./(contador_tri2*20*10^(-9)*muestras);
error_en_fs=fs_error-fs;
error_en_fs_porcentaje=100*(error_en_fs./fs);

% ERROR DE MF
mf_error=fs_error./B
```

Código 3.1 Cálculo de errores introducidos por el número de muestras y  $m_f$  en Matlab.

Además el código calcula los errores generados en la frecuencia fundamental cuando se obliga a que el sistema sea síncrono para valores de  $m_f$  menores de 21. A continuación, en la figura 3.35, se muestran de forma de gráfica los resultados de los errores para distintos valores de las muestras de la señal seno base moduladora. El objetivo de esta primera imagen es la de analizar el efecto que tiene sobre los errores el valor del número de muestras. Para este primer estudio se ha escogido un  $m_f$  de 22, una  $f_1$  de 50 Hz y se ha ido variado el número de muestras de 500 (magenta) a 256 (negro) terminando en 100 (verde).

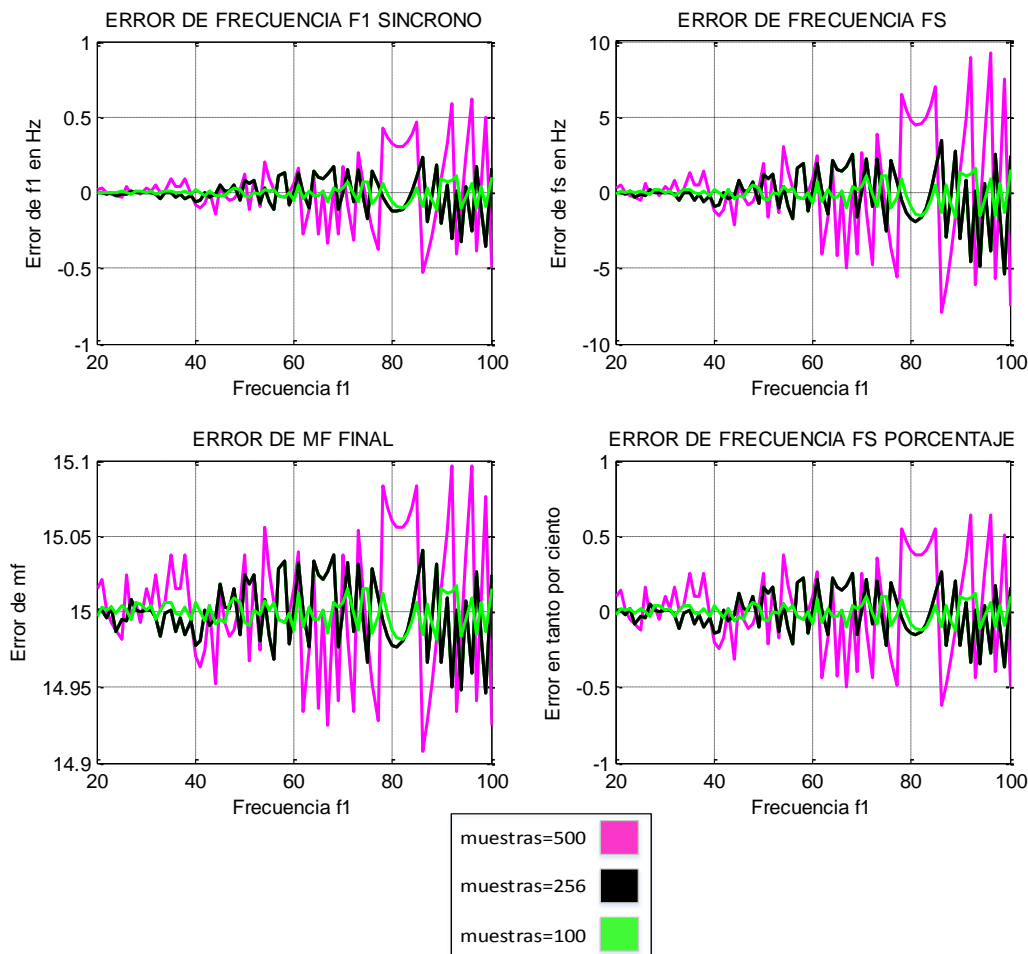


Figura 3.35 Estudio de la elección del muestreo de la señal seno base.

En las cuatro anteriores gráficas anteriores se hace una comparación de los errores que provoca, en la frecuencia fundamental y en la frecuencia de la onda triangular, el aumento del número de muestras de la señal seno base. Se justifica por tanto la elección de 256 muestras siendo un valor de muestras con un error aceptable.

Una vez escogido el número de pasos que tendrá la señal seno base, y por ende, las demás señales de control introducidas en los arrays de la base de datos, se pasará a estudiar la influencia del aumento del índice de modulación de frecuencia  $m_f$  en el error introducido en las frecuencias deseadas.

En la figura 3.36 se muestra el error máximo que se puede obtener al aumentar  $m_f$  haciendo un estudio para valores de  $m_f$  mayores de 21.

Se aprecia como a partir de un valor de  $m_f$  de una centena se dispara el error llegando a su máximo con un  $m_f$  de 255 de -5.41% de frecuencia  $f_s$  (frecuencia de la señal triangular). No obstante entre los valores de  $m_f$  de 22 hasta 50 se asegura un error menor del 1% de  $f_s$  en prácticamente todo el barrido de frecuencias.

En la figura 3.37 se ha escogido solo los tres primeros valores de  $m_f$  de la anterior imagen para ver su efecto en los valores pequeños de  $m_f$ .

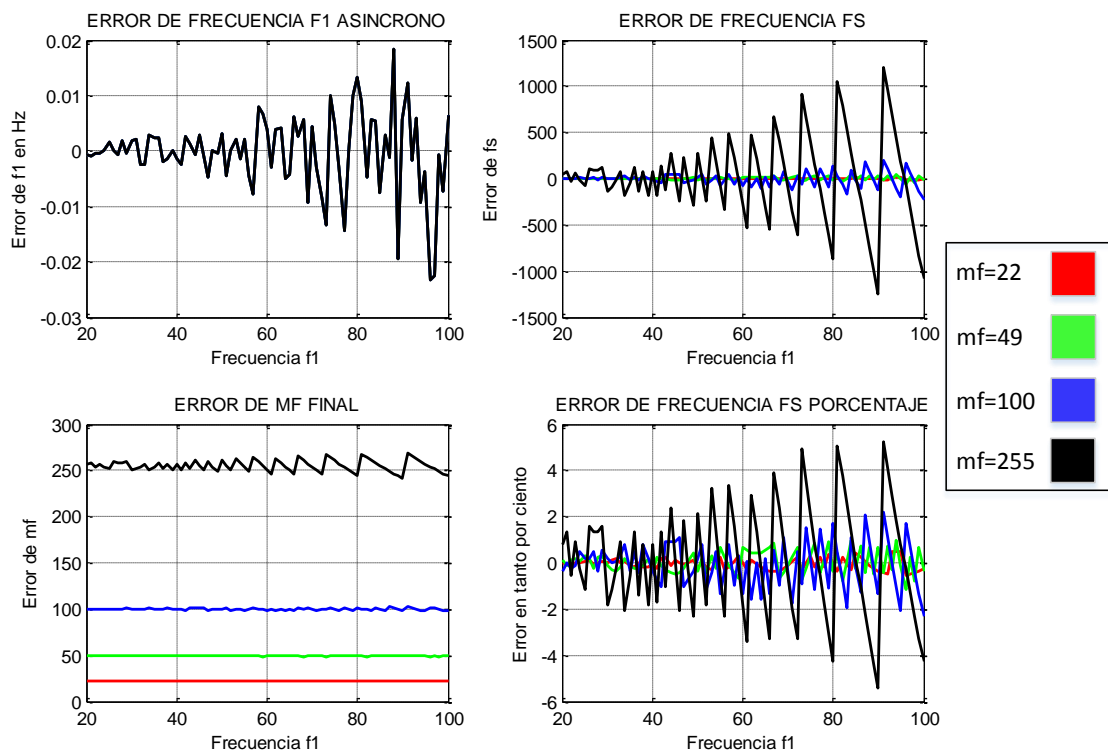


Figura 3.36 Estudio del error introducido por el aumento de  $m_f$  en modo a síncrono.

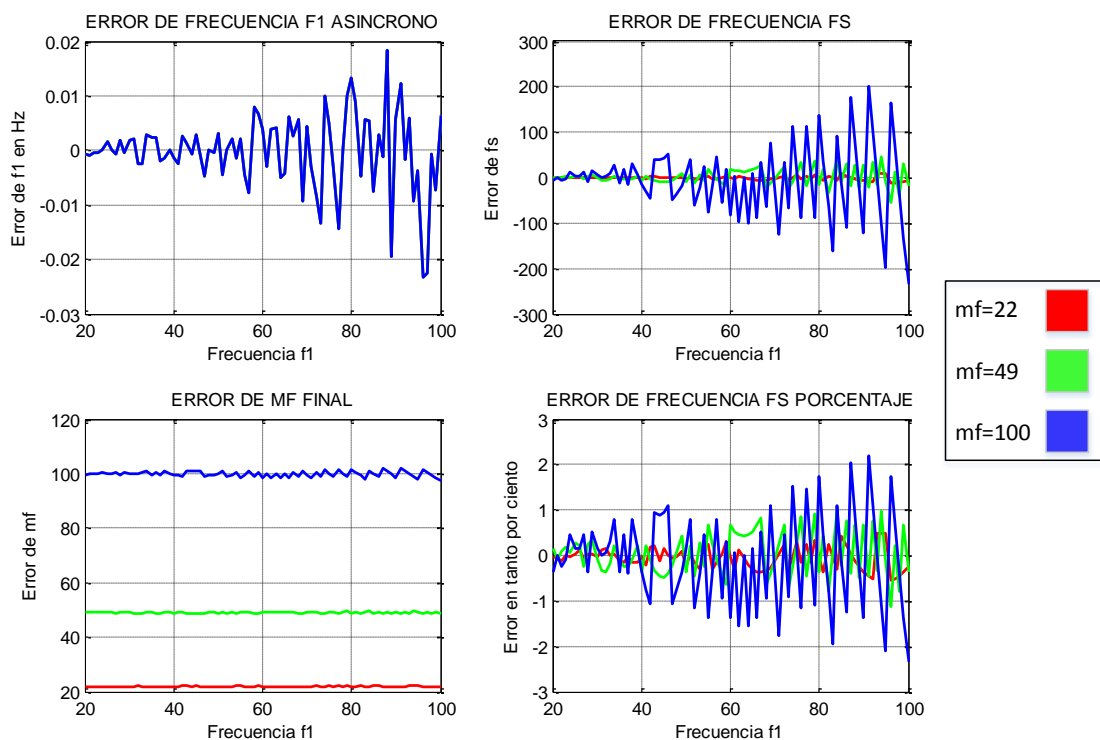


Figura 3.37 Estudio detallado del error introducido por el aumento de  $m_f$  en modo asíncrono.

La consecuencia directa de este error es que produce un desfase entre las señales de control y triangular haciendo que se desincronicen y sincronicen solas, de modo que no pase por cero cuando deberían pasar y apareciendo cambios inesperados en las señales PWM como se ve en las siguientes figuras 3.38 y 3.39.

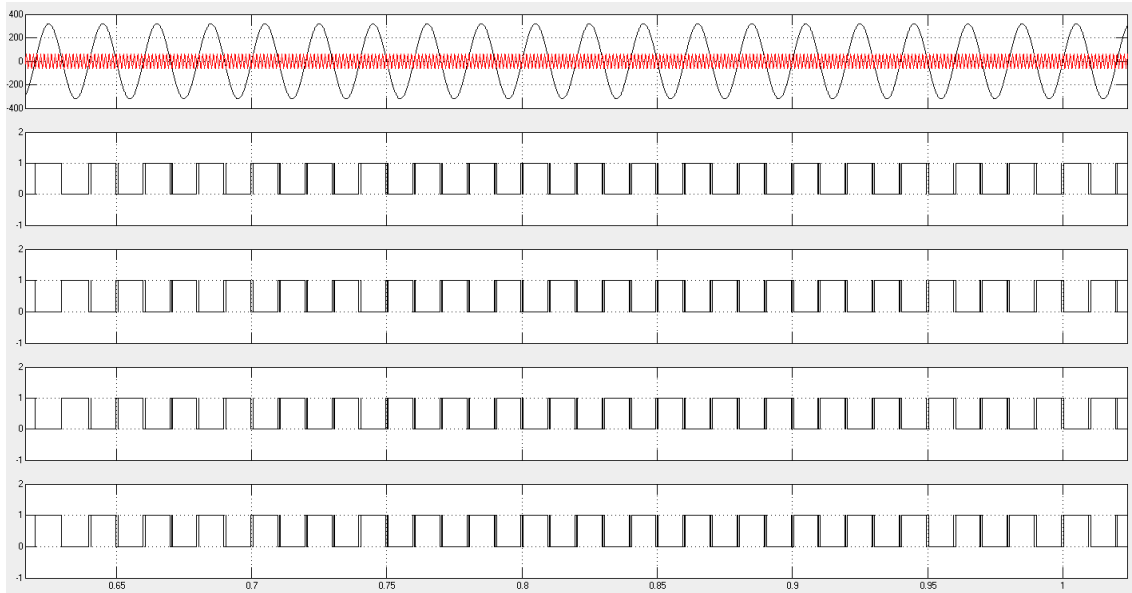


Figura 3.38 Desfase entre señal de control y triangular y efecto en señal PWM.

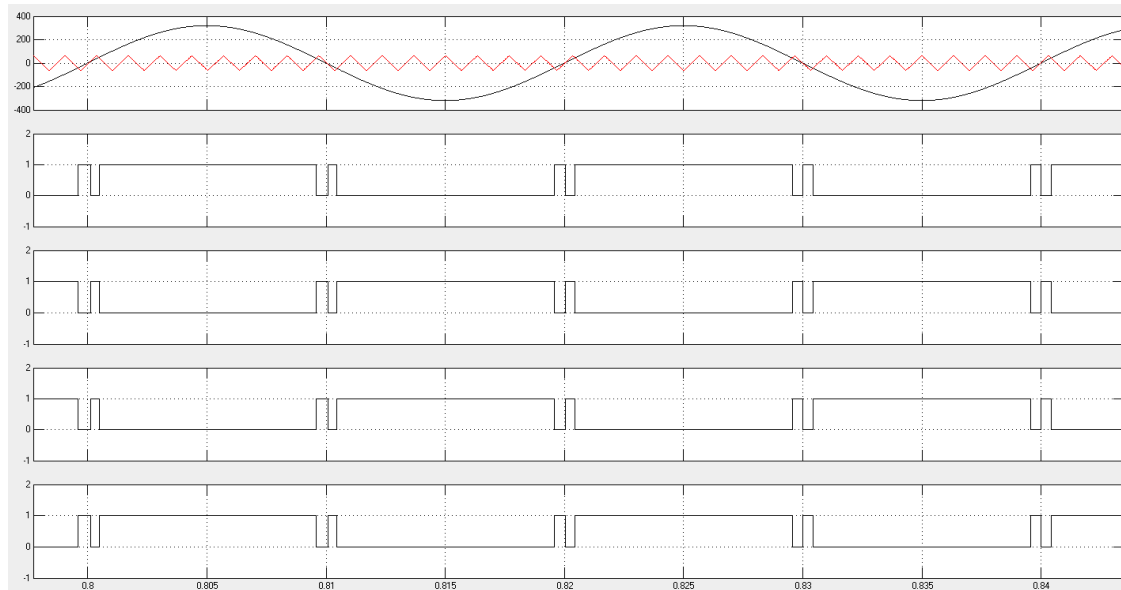


Figura 3.39 Desfase detallado entre señal de control y triangular y efecto en señal PWM.

Para resolver este problema hay que garantizar que la pendiente máxima de la señal de control seno sea mayor que la pendiente máxima la señal triangular.

$$\text{pendiente máxima de señal de control seno} = A_{sen} * w_1 = A_{sen} * \frac{2\pi}{T_1}$$

$$\text{pendiente máxima de señal triangular} = \frac{\Delta y}{\Delta x} = \frac{A_{tri}}{T_s/4}$$

$$A_{sen} * \frac{2\pi}{T_1} \geq \frac{A_{tri}}{T_s/4}, \text{ con } ma = \frac{A_{sen}}{A_{tri}} \text{ y } mf = \frac{T_1}{T_s} \text{ tenemos,}$$

$$ma * A_{tri} * \frac{2\pi}{mf * T_s} \geq \frac{A_{tri*4}}{T_s} \rightarrow ma \geq \frac{2 * mf}{\pi} \quad < 3.4 >$$

Por lo tanto para que este error no se produzca hay que introducir un  $m_o$  mayor que 0.6366 veces  $m_f$ . Cuanto mayor sea  $m_f$  mayor es el error introducido y por tanto mayor tendría que ser  $m_o$  para corregirlo totalmente.

Este efecto último no se tiene que tener en cuenta en el caso de que  $m_f$  sea menor o igual que 21 ya que las señales van a ser síncronas y no habrá desplazamientos entra la señal triangular portadora y la de control moduladora. A cambio de sincronizar las señales se aprecia como la precisión de la frecuencia fundamental  $f_1$  se empeora con un error en el peor de los casos (para  $m_f = 21$ ) de -0.4229 Hz para una  $f_1$  de 89 Hz. En la figura 3.40 se muestra el estudio para valores de  $m_f$  7 (magenta), 15 (negro) y 21 (verde).

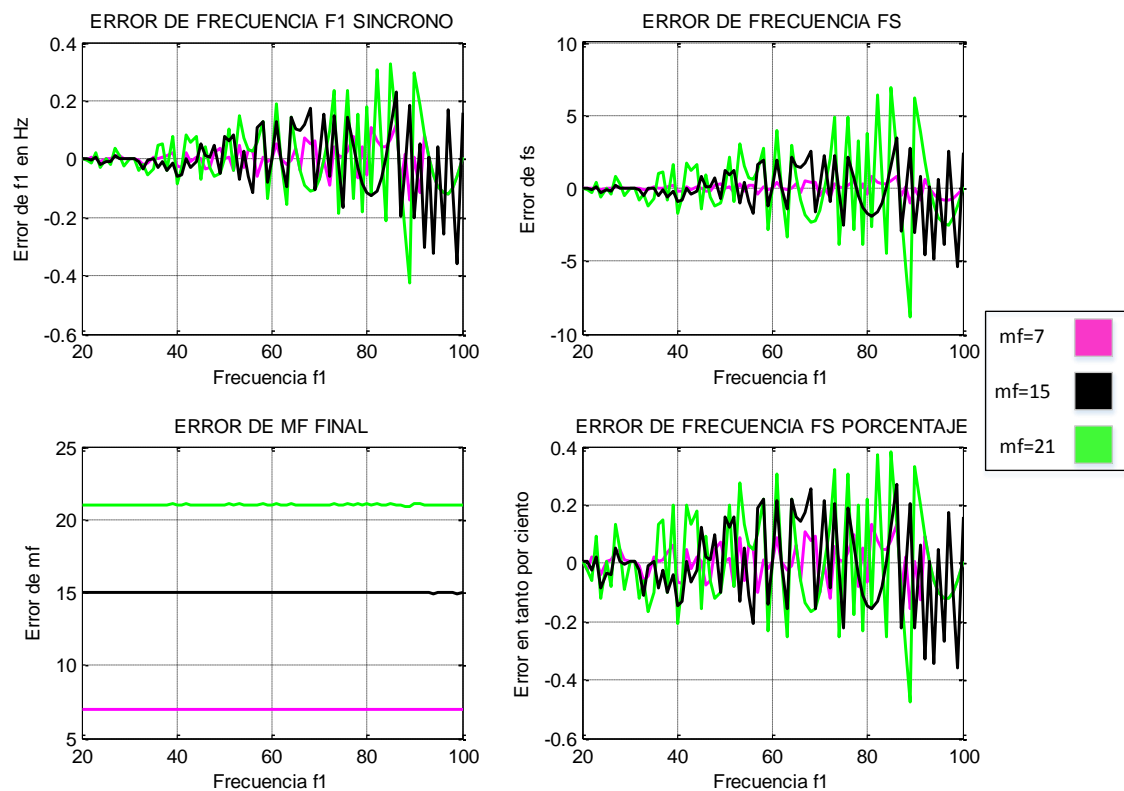


Figura 3.40 Estudio detallado del error introducido por el aumento de  $m_f$  en modo síncrono.

El estudio anterior de estos efectos solo se ha hecho de 20 Hz a 100 Hz de frecuencia fundamental  $f_1$  pero si se escoge la opción del motor las frecuencias varían de 3 Hz a 100 Hz por este motivo, en la figura 3.41, también se han estudiado estas dos opciones. En esta figura el verde se corresponde a un barrido de todas las frecuencias con  $mf=22$  de la opción 1 y el negro con la opción 2 del motor.



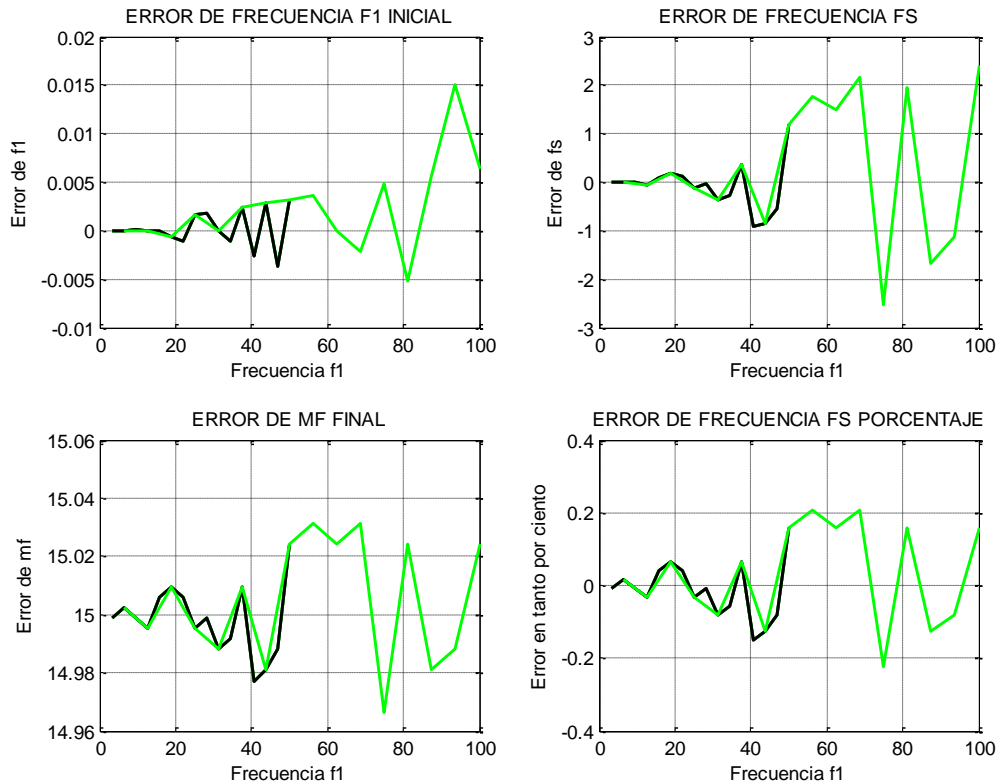


Figura 3.41 Estudio del error en las frecuencias para la opción del motor.

### 3.3.2. Datos de las señales de control incorporadas en la base de datos.

Todas las señales de control moduladoras han sido calculadas a partir de Matlab con el siguiente código. Con él se han aproximado las 4 tipos de señales, Seno base, THIPWM 1/4, THIPWM 1/6, y CB-SPWM al número entero más cercano siendo el error máximo cometido de 0.5 sobre la señal ideal.

```
f=50;
x=0:1/(f*256):1/f; % 256 muestras
q = quantizer('fixed', 'round', 'wrap', [8 0]);
z1=64*sin(2*pi*f*x+0); % Señal Seno base
y1=(64/4)*sin(3*2*pi*f*x+0); % THIPWM 1/4
u1=(64/6)*sin(3*2*pi*f*x+0); % THIPWM 1/6

z2=64*sin(2*pi*f*x-(2*pi)/3); % Señal Seno base - 120°
z3=64*sin(2*pi*f*x+(2*pi)/3); % Señal Seno base + 120°
%APROXIMACION DEL SENO BASE
Seno_base01=quantize(q,z1);
Seno_base02=quantize(q,z2);
Seno_base03=quantize(q,z3);
% CREACIÓN DE LAS ONDAS THIPWM 1/4, THIPWM 1/6 Y CB-SPWM
Vos1_14=z1+y1;
Vos2_14=z2+y1;
Vos3_14=z3+y1;

Vos1_16=z1+u1;
Vos2_16=z2+u1;
Vos3_16=z3+u1;
for i = 1:257
```

```
onda_CB(i) =(-  
1/2)*(max([z1(i),z2(i),z3(i)])+min([z1(i),z2(i),z3(i)]))  
end  
Vos1_CB=z1+onda_CB;  
Vos2_CB=z2+onda_CB;  
Vos3_CB=z3+onda_CB;  
  
% APROXIMACION DE THIPWM 1/4, THIPWM 1/6 Y CB-SPWM  
Seno_THIPWM_14_01=quantize(q,Vos1_14);  
Seno_THIPWM_14_02=quantize(q,Vos2_14);  
Seno_THIPWM_14_03=quantize(q,Vos3_14);  
  
Seno_THIPWM_16_01=quantize(q,Vos1_16);  
Seno_THIPWM_16_02=quantize(q,Vos2_16);  
Seno_THIPWM_16_03=quantize(q,Vos3_16);  
  
Seno_CBSPWM_01=quantize(q,Vos1_CB);  
Seno_CBSPWM_02=quantize(q,Vos2_CB);  
Seno_CBSPWM_03=quantize(q,Vos3_CB);
```

Código 3.2 Cálculo y aproximación de señales de control en Matlab.

### 3.3.3 Multiplicación de la señal de control por $m_a$ .

En el multiplicador que amplifica o disminuye la señal de control a partir del índice de amplitud  $m_a$  se comentó que se truncaba los 4 bits de la derecha despreciando los decimales en el resultado de esa operación y trabajando solo con la parte entera. Este desprecio conlleva un error que también se debe de estudiar y se simula en el siguiente código de Matlab.

```
f=50;  
ma=input('introducza ma:');  
muestras=0.000078125:1/(f*256):1/f;  
q1 = quantizer('fixed','round','wrap',[8 0]);  
q2 = quantizer('fixed','fix','wrap',[11 0]);  
z1=64*sin(2*pi*f*muestras+0);  
truncada=quantize(q1,z1);  
%MULTIPLICACIÓN  
multi=ma*truncada;  
%TRUNCAMIENTO DE DECIMALES  
multi_sin_decimales=quantize(q2,multi);  
error_en_multiplicacion=multi-multi_sin_decimales;
```

Código 3.3 Cálculo del error introducido por la multiplicación en Matlab.

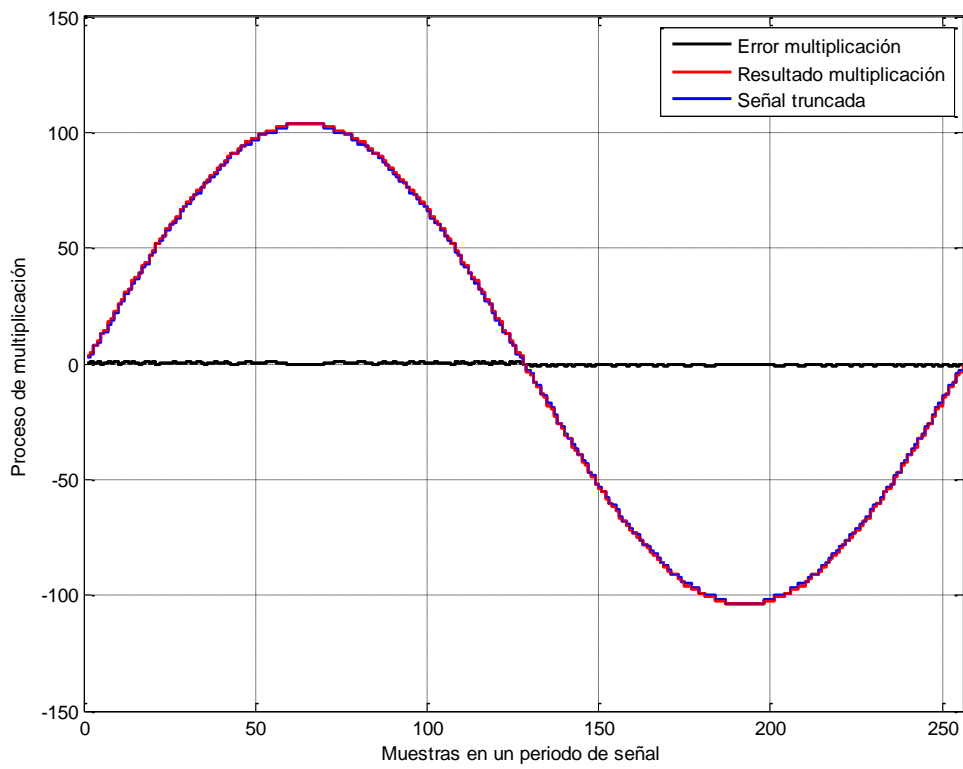


Figura 3.42 Estudio del error en el proceso de multiplicación para  $m_o=1.625$ .

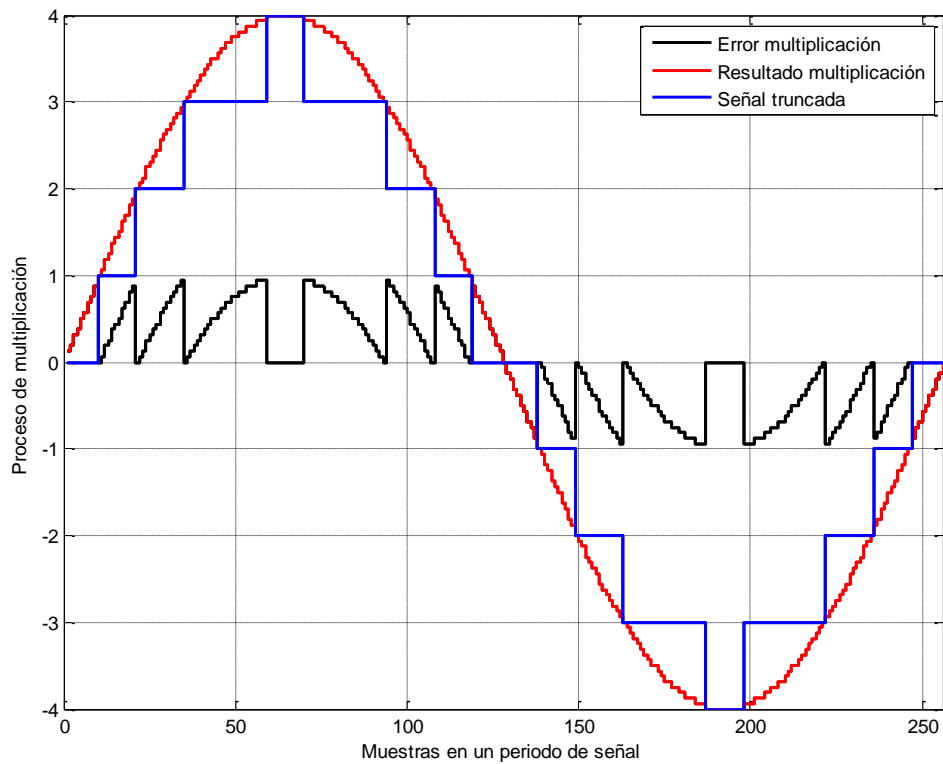


Figura 3.43 Estudio del error en el proceso de multiplicación para  $m_o=0.0625$ .

Los resultados se aprecian en la figura 3.42 donde se ha representado la señal que sale del proceso de multiplicación, la señal truncada y el error cometido en ese truncamiento. A priori no se detecta un gran error para valores de  $m_a$  mayores de la unidad, pero para valores menores se empieza a disparar siendo el caso de máximo error cuando  $m_a=0.0625$ . Este caso se representa en la figura 3.43. En cualquiera de los casos el error presentado no supera la unidad.

Teniendo en cuenta el error máximo en la multiplicación y el error máximo en la adaptación de la señal ideal a la base de datos se puede llegar a la conclusión que el error máximo cometido en el valor de la señal es la suma de los dos en el peor caso siendo esta de 1.5 unidades, por tanto la precisión del sistema en el valor de la señal moduladora es de 2 bits.

Se concluye que el error en  $f_1$  máximo se produce en el modo síncrono con una  $m_f$  de 21 siendo este de -0.4229 Hz para una  $f_1$  de 89 Hz y que el error en  $f_s$  máximo se produce para una  $m_f$  de 255 siendo este de -1.249 Hz para una  $f_1$  de 90 Hz. Como los valores típicos en la utilización del sistema de  $m_f$  variarán entre 1 y 100 los errores son asumibles. Incluso si se aumentara el valor de  $m_f$  se proporciona una solución, ecuación 3.4, para corregir gran parte del error en onda cuadrada.

## Capítulo 4. Resultados. Comprobaciones.

### 4.1. Resultados de simulaciones.

#### 4.1.1. Simulaciones de las señales de salida PWM.

En este apartado se procederá a aclarar y comprobar mediante las simulaciones hechas en ModelSim el funcionamiento de todos los métodos antes descritos. Los datos de las simulaciones son llevadas al entorno de Matlab para ser representadas. La velocidad de adquisición de los datos de las simulaciones es de 50 MHz.

Con el objetivo de demostrar el buen funcionamiento del sistema se estudiará la posibilidad de modificar la frecuencia  $f_1$ , el índice de modulación de frecuencia  $m_f$  y el índice de modulación de amplitud  $m_a$  para zona lineal, de sobremodulación y onda cuadrada en cada método.

En las simulaciones correspondientes a los apartados 4.1.1.4, 4.1.1.5 y 4.1.1.6 se va a hacer un barrido de  $m_a$  desde el valor 1.0625 hasta el 1.25 comprobando que las señales PWM son capaces de seguir en modo lineal más tiempo que con el método de PWM trifásica clásica comprobando así los datos de la tabla 2.3.

##### 4.1.1.1. Modulación bipolar.

En las figuras figura 4.1 y 4.2 se analiza como se comportan las moduladora y portadora, y por lo tanto las PWM, si se cambia el valor de  $f_1$  se 50Hz a 100Hz. Como se aprecia, para el mismo numero de muestras adquiridas, el número de ciclos de la señales se duplican cambiando adecuadamente el sistema. En las figuras 4.1 (zona lineal), 4.3 (zona sobremodulación) y 4.4 (zona onda cuadrada) se demuestra que la forma de onda de las señales PWM es la deseada.

Para concluir en la figura 4.5 se cambia el valor de  $m_f$  de 15 a 7 comprobando la disminucion de ciclos de la onda triangular de 15 a 7.

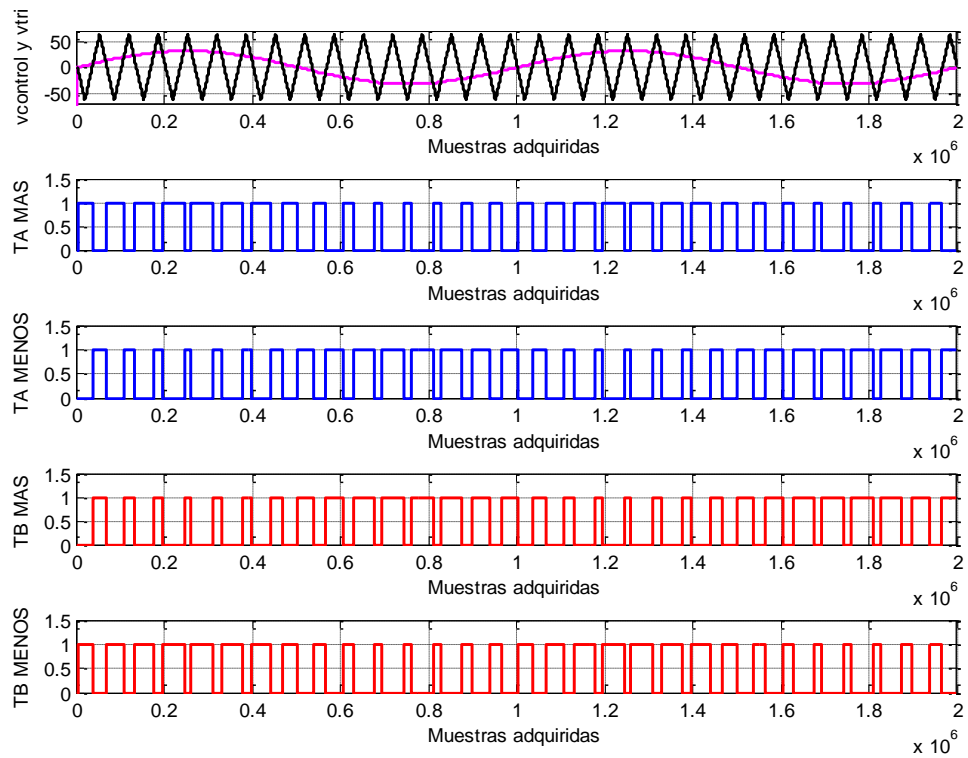


Figura 4.1 Simulación ModelSim modulación bipolar  $m_o=0.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

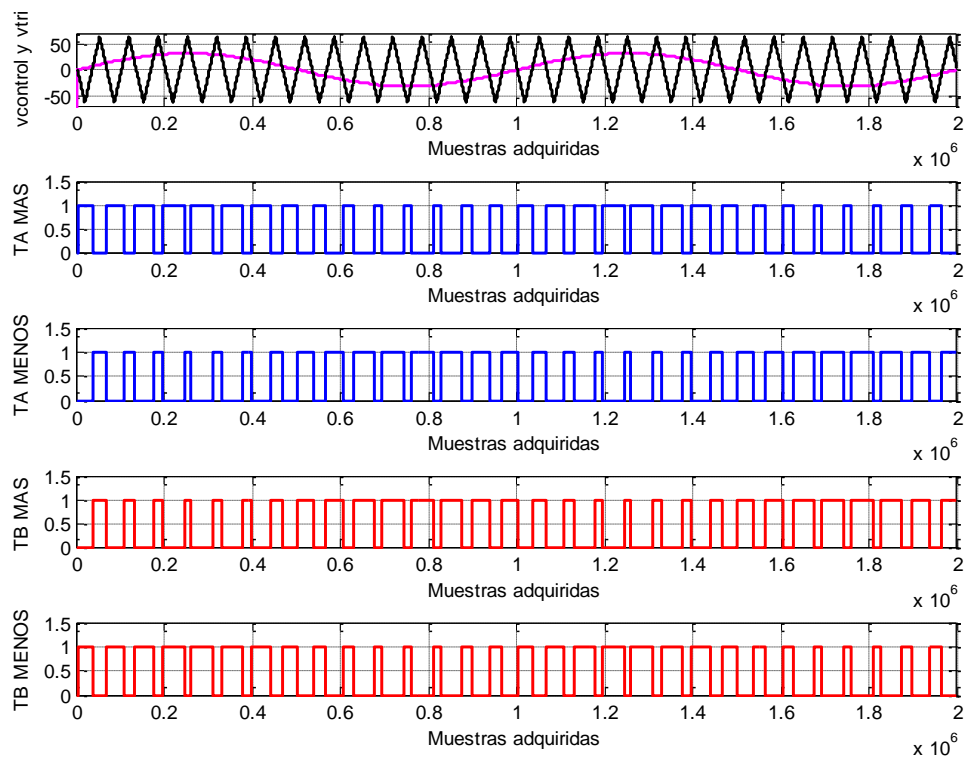


Figura 4.2 Simulación ModelSim modulación bipolar  $m_o=0.5$ ,  $m_f=15$ ,  $f_1=100\text{Hz}$ .

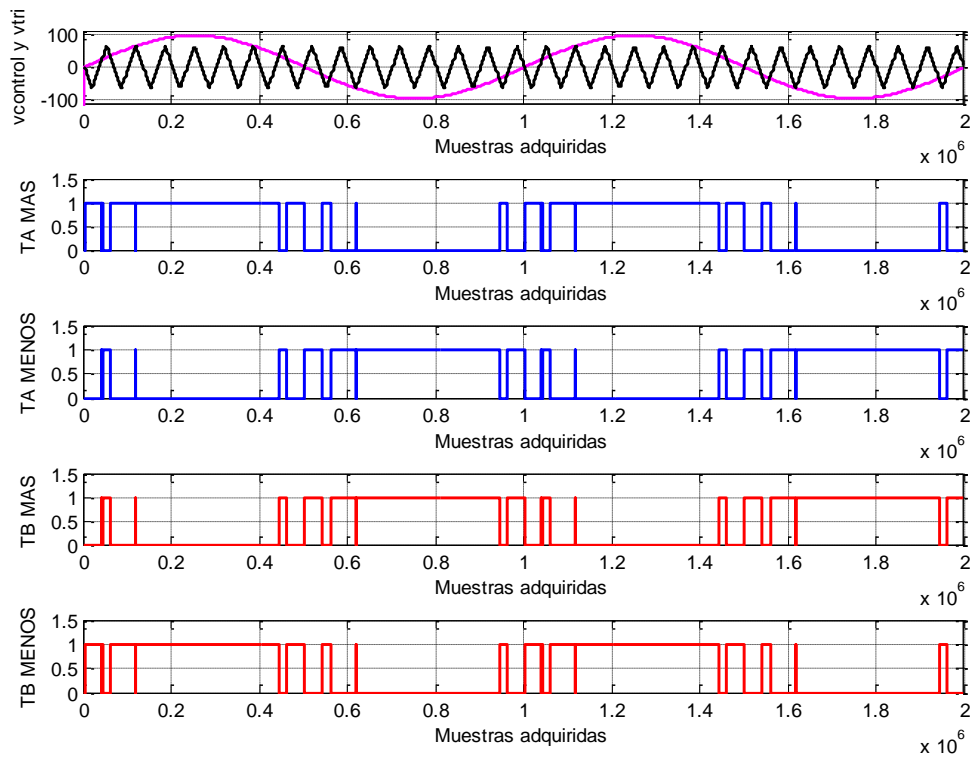


Figura 4.3 Simulación ModelSim modulación bipolar  $m_0=1.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

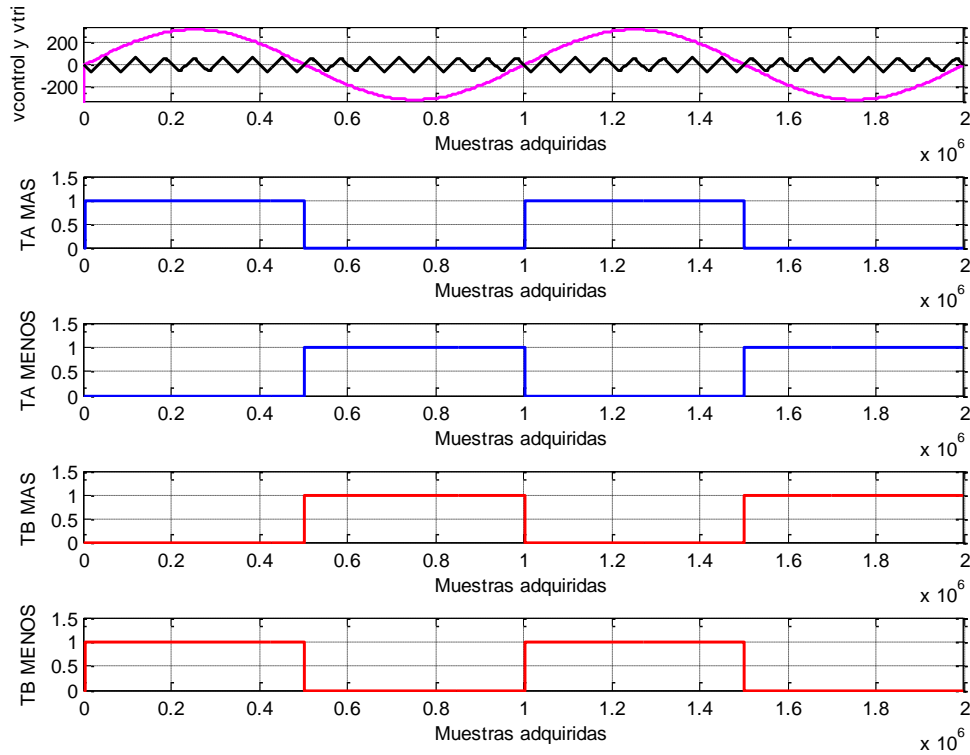


Figura 4.4 Simulación ModelSim modulación bipolar  $m_0=5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

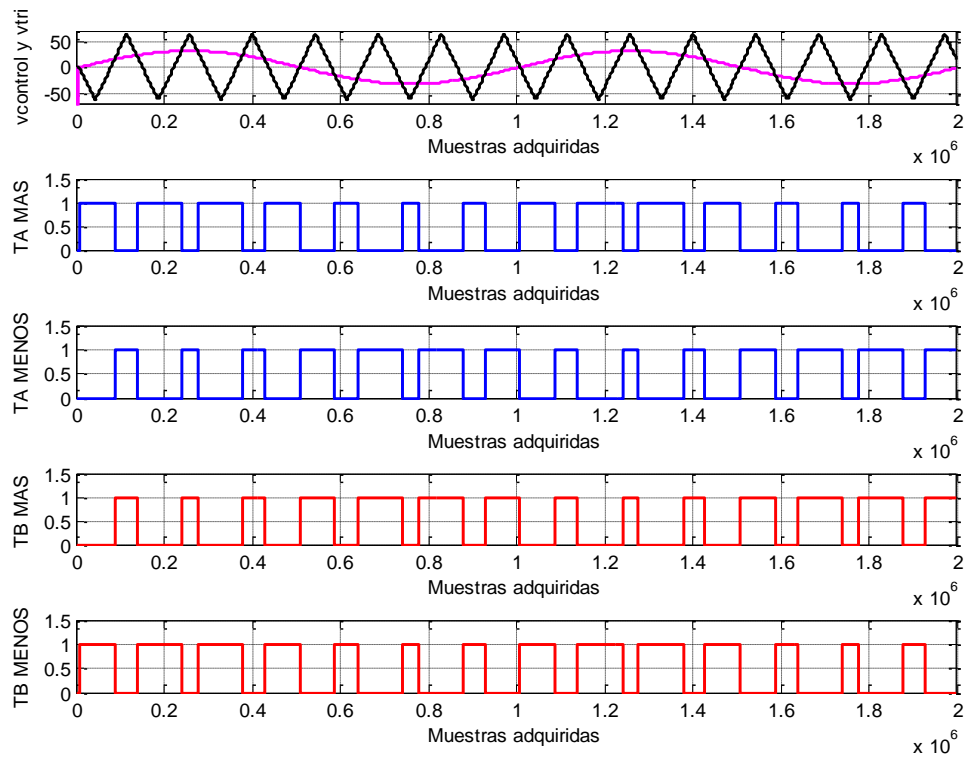


Figura 4.5 Simulación ModelSim modulación bipolar  $m_o=0.5$ ,  $m_f=7$ ,  $f_1=50\text{Hz}$ .



#### 4.1.1.2. Modulación unipolar.

Al igual que en el apartado anterior se va proceder a comprobar que el sistema cambia adecuadamente en frecuencia, figuras 4.6 y 4.7, índice de modulación de frecuencia  $m_f$ , de 15 a 7, figuras 4.6 y 4.10 y en índice de modulación de amplitud  $m_a$  para zona lineal, figura 4.6, para zona de sobremodulación, figura 4.8, y para zona de onda cuadrada, figura 4.9. Además se añade la onda negada de la señal de control en color cian para poder analizarlo correctamente.

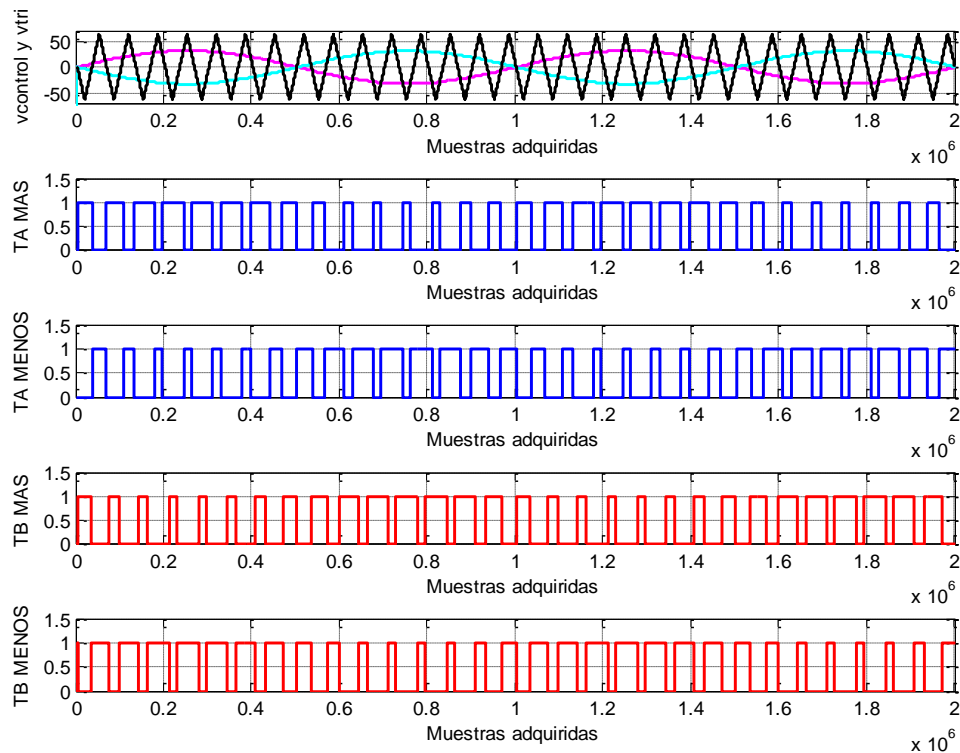


Figura 4.6 Simulación ModelSim modulación unipolar  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=50$ Hz.

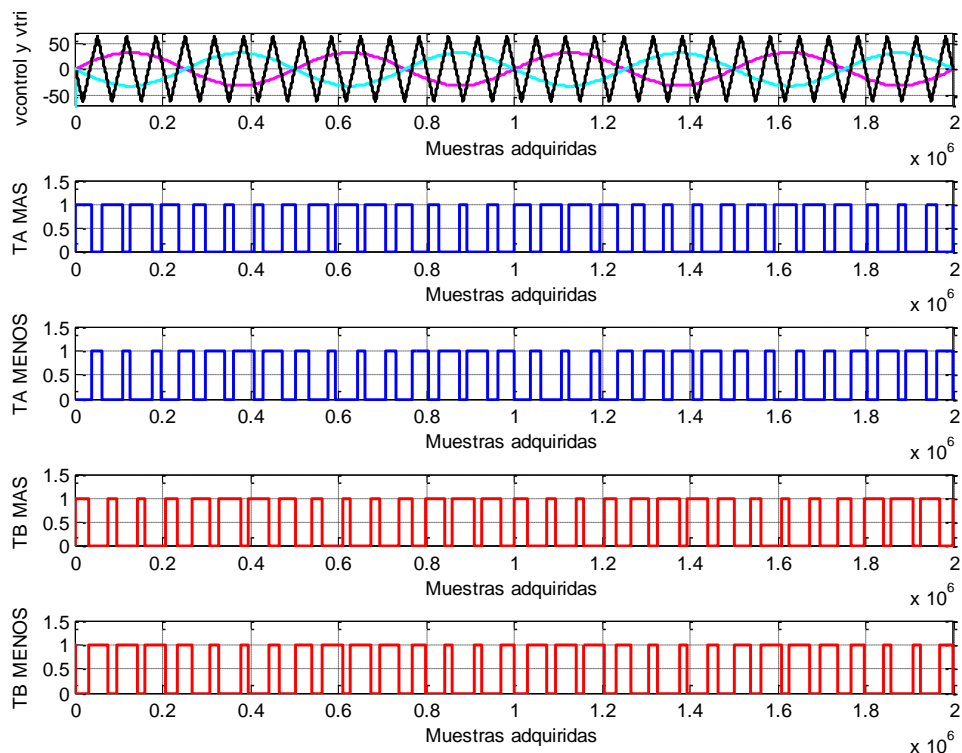


Figura 4.7 Simulación ModelSim modulación unipolar  $m_0=0.5$ ,  $m_f=7$ ,  $f_1=100\text{Hz}$ .

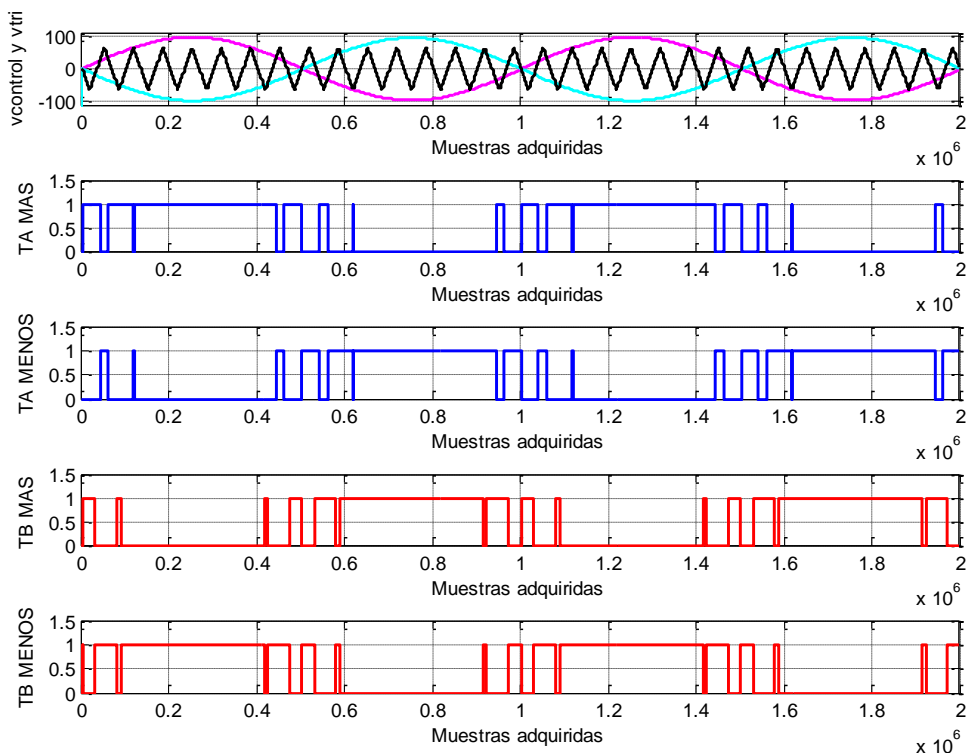


Figura 4.8 Simulación ModelSim modulación unipolar  $m_0=1.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

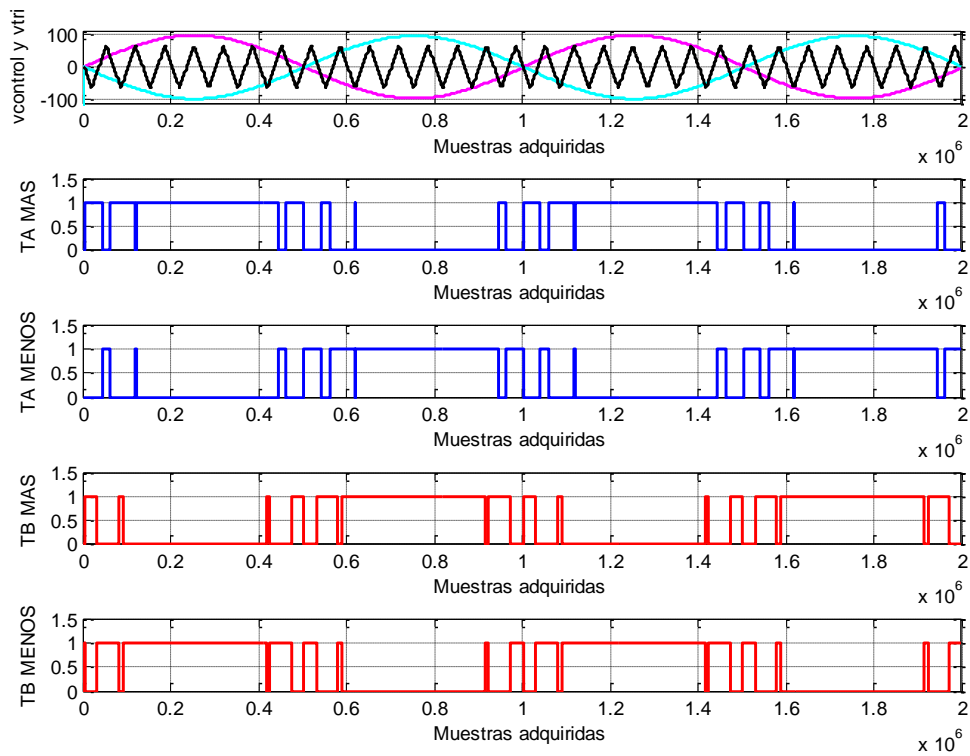


Figura 4.9 Simulación ModelSim modulación unipolar  $m_o=5$ ,  $m_f=15$ ,  $f_i=50$ Hz.

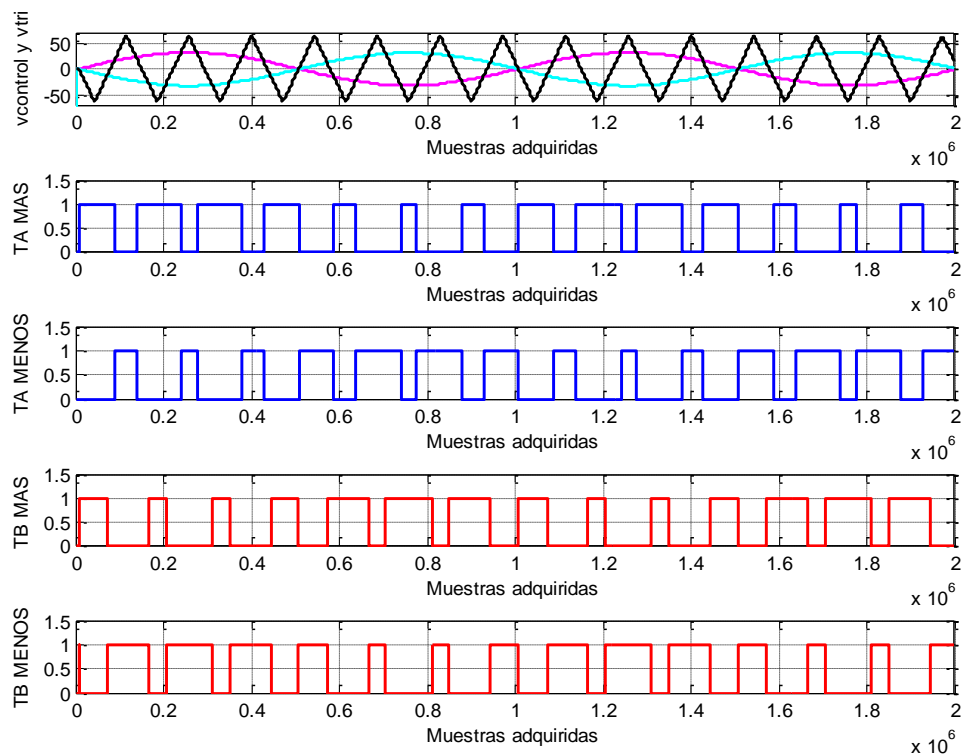


Figura 4.10 Simulación ModelSim modulación unipolar  $m_o=0.5$ ,  $m_f=7$ ,  $f_i=50$ Hz.

#### 4.1.1.3. Cancelación de tensión.

Para hacer este estudio se recuerda que cuando se escogía la opción de cancelación de tensión con los interruptores SW(6:4) el comparador pasaba de ser de Tipo1 a Tipo 2 comparando la señal de control con el 0, no dependiendo así el valor de  $m_a$  con las señales PWM. Por este motivo la señal triangular, aunque se ha añadido no hace ningún efecto en la salida.

Para verificar el funcionamiento de este método se ha variado la señal *grados* de  $0^\circ$  a  $45^\circ$  y luego a  $90^\circ$ . Cuando *grados* es  $0^\circ$  no desplaza ninguna señal por lo que no se ha incluido en el estudio al poder ser analizado en cualquiera de las figuras anteriores a este apartado.

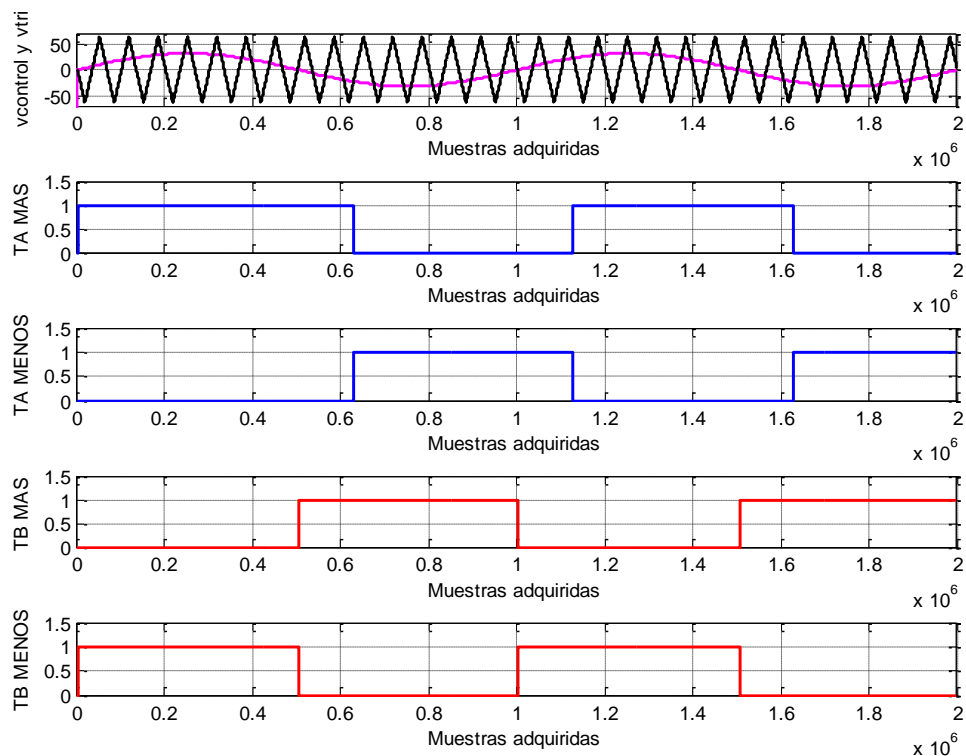


Figura 4.11 Simulación ModelSim Cancelación de tensión  $m_a=0.5$ ,  $m_f=15$ ,  $f_i=50\text{Hz}$ ,  $\text{grados}=45^\circ$ .

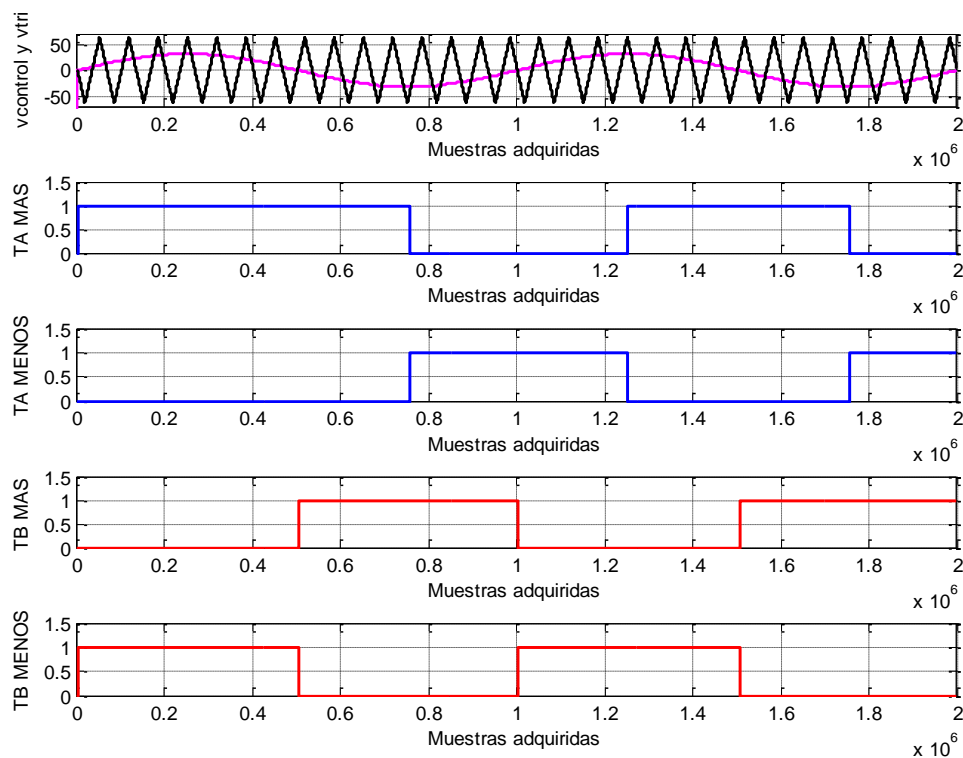


Figura 4.12 Simulación ModelSim Cancelación de tensión  $m_a=0.5$ ,  $m_f=15$ ,  $f_i=50\text{Hz}$ , grados= $90^\circ$ .

#### 4.1.1.4. Modulación PWM trifásica clásica.

En este apartado se han realizado tres simulaciones, una para cada zona de modulación, zona lineal, figura 4.13, zona sobremodulación, figura 4.14, y zona onda cuadrada, figura 4.15, comprobando el buen funcionamiento. Además entre las figuras figura 4.13 y 4.14 se ha cambiado el valor de  $m_f$  para ver si también es capaz de disminuir el ciclo de la señal triangular.

En el apartado 3.22 se comentó que para ver una onda cuadrada perfecta se tenía que cumplir la ecuación 3.4 si el sistema tenía una  $m_f$  mayor de 21. En esta simulación se ha escogido un valor de  $m_f$  de 15 siendo la relación portadora-moduladora síncrona para evitar el aumento excesivo de  $m_a$ .

Además para ver mejor los cambios de las señales de control y triangular y su influencia en las señales PWM trifásicas cada figura consta de dos imágenes. La imagen de las señales PWM de las de control siendo de color azul la correspondiente a un desfase de  $0^\circ$ , la verde a un desfase de  $+120^\circ$  y la roja a un desfase de  $-120^\circ$  y las imágenes de PWM que respetan los colores de las señales de control con las que se compara la señal triangular. Este comentario también se puede aplicar a los métodos de THIPWM 1/4, THIPWM 1/6 y CB-SPWM también analizados en sus límites de zona lineal en las figuras 4.16, 4.17 y 4.18.

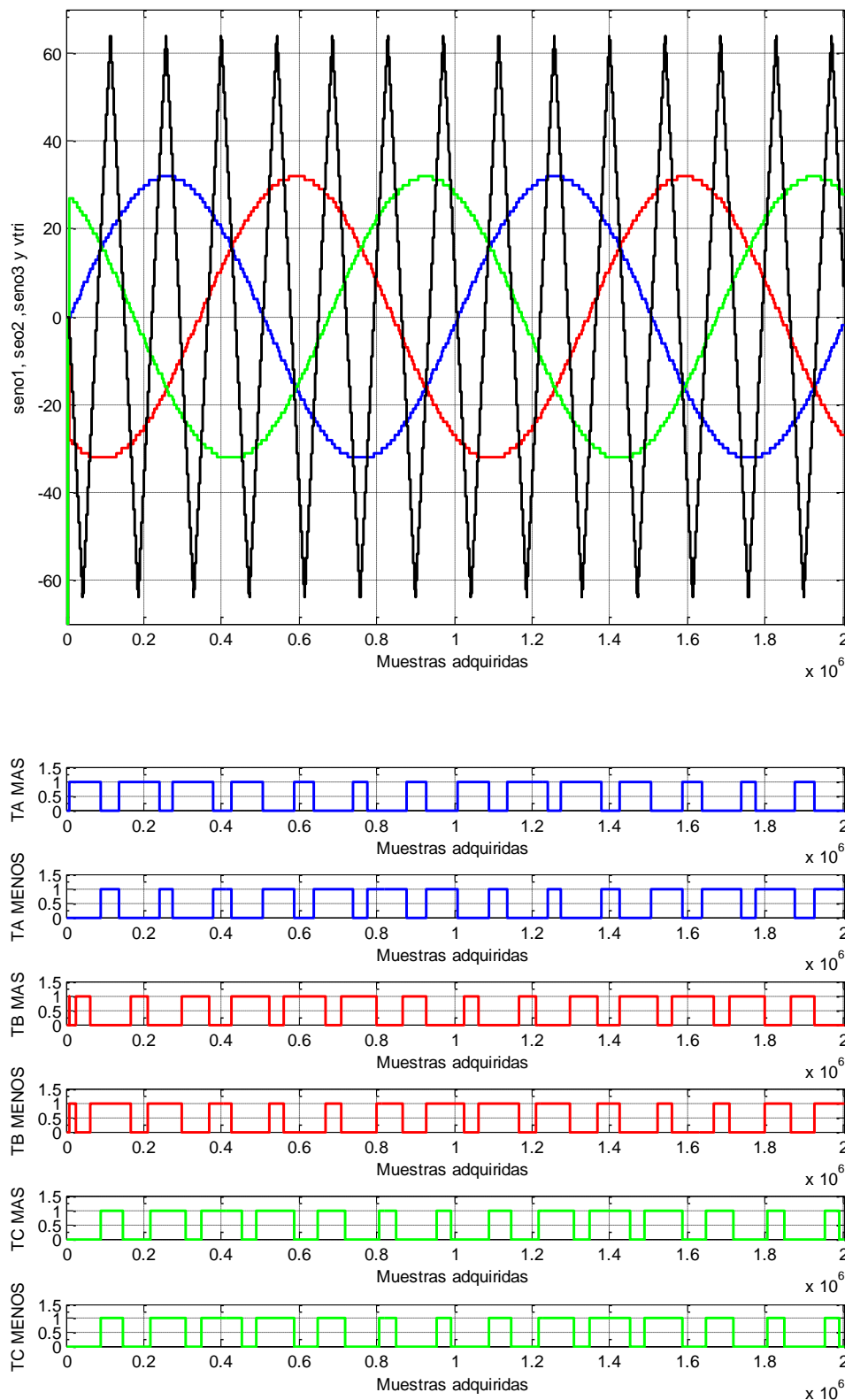


Figura 4.13 Simulación ModelSim PWM trifásica clásica  $m_a=0.5$ ,  $m_f=7$ ,  $f_1=50\text{Hz}$ .

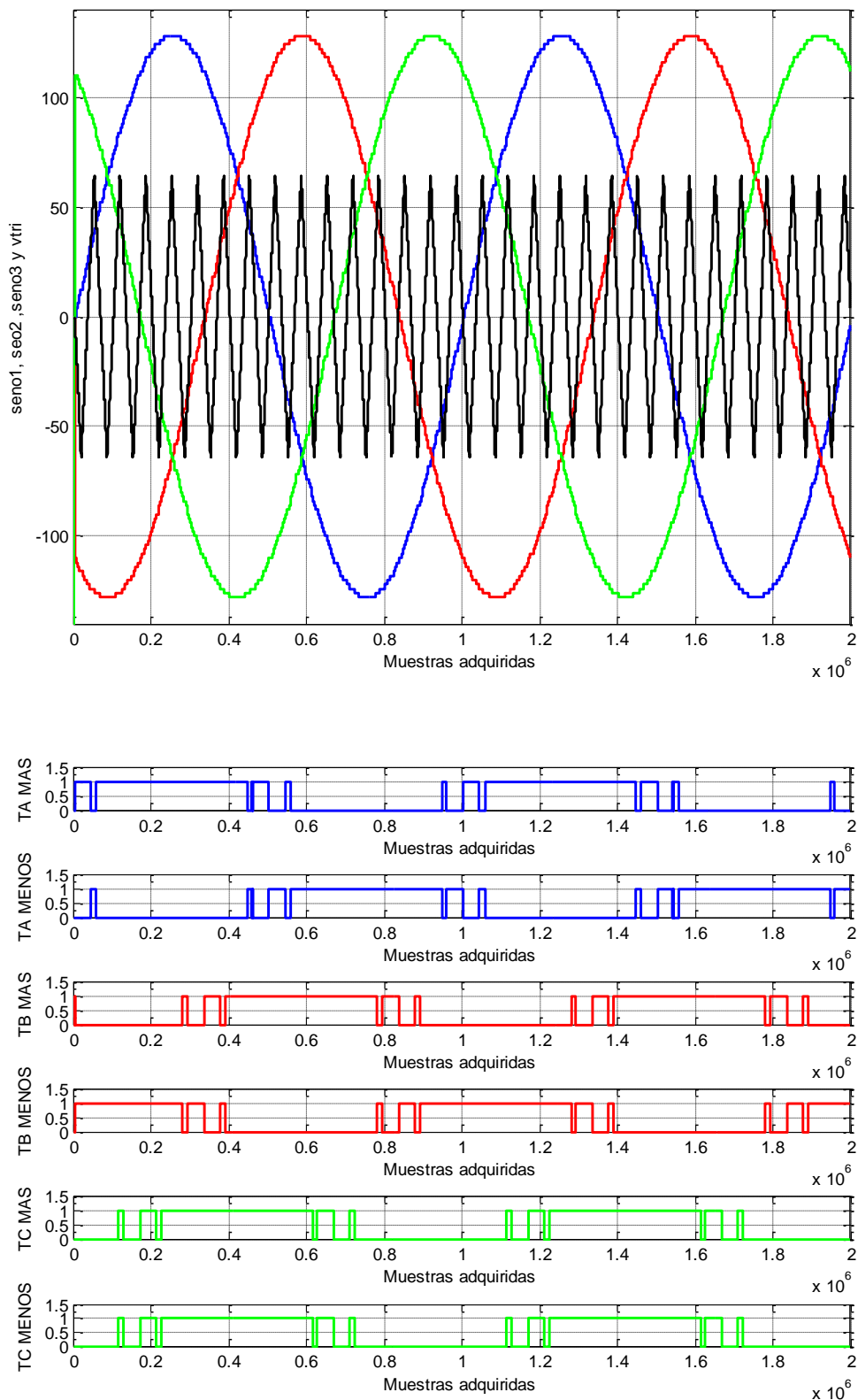


Figura 4.14 Simulación ModelSim PWM trifásica clásica  $m_a=2$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

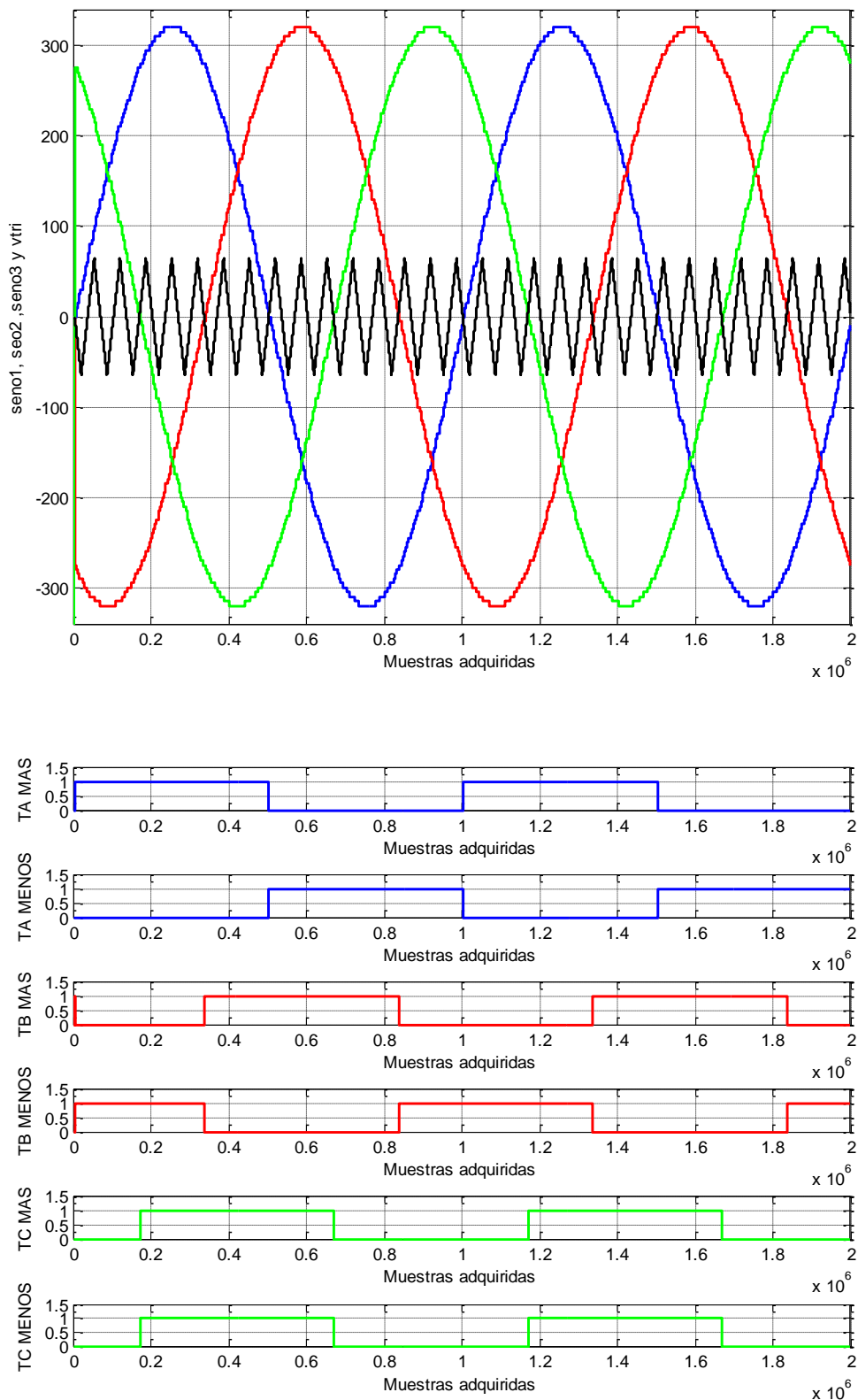


Figura 4.15 Simulación ModelSim PWM trifásica clásica  $m_o=10$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .



#### 4.1.1.5. Modulación PWM con inyección de tercer armónico THIPWM 1/4.

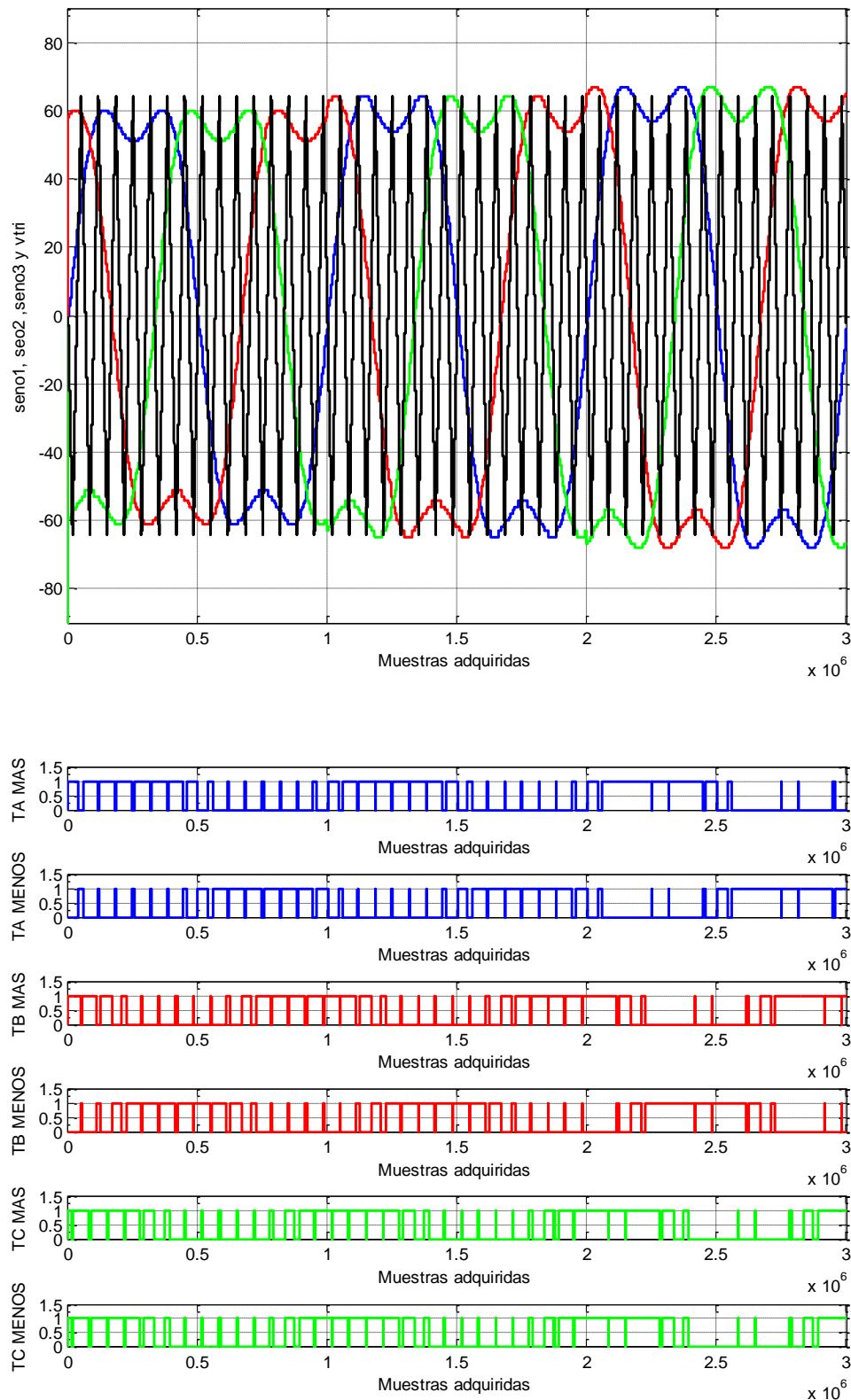


Figura 4.16 Simulación ModelSim THIPWM 1/4  $m_0=1.0625:0.0625:1.1875$ ,  $m_f=15$ ,  $f_i=50\text{Hz}$ .

#### 4.1.1.6. Modulación PWM con inyección de tercer armónico THIPWM 1/6.

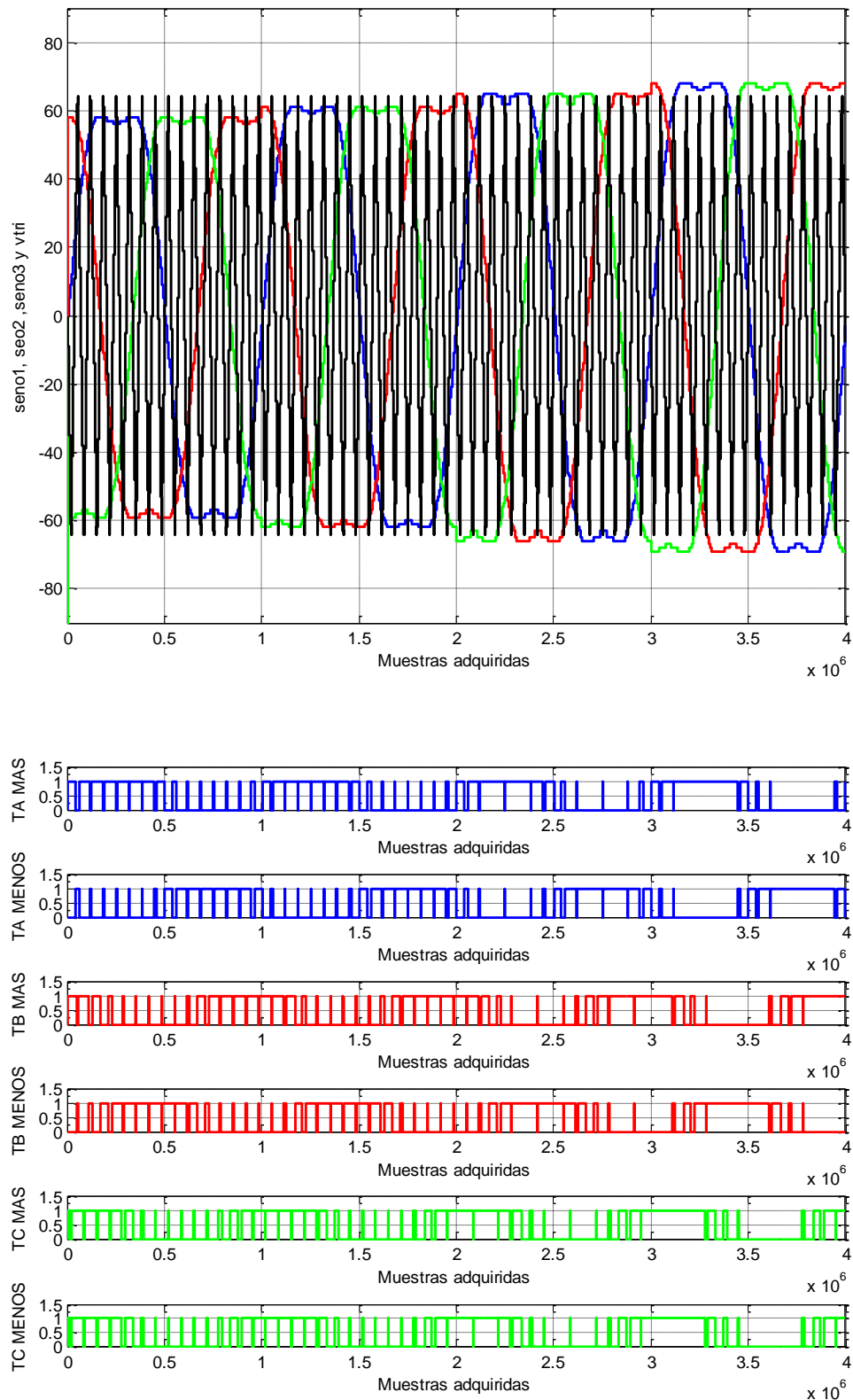


Figura 4.17 Simulación ModelSim THIPWM 1/6  $m_0=1.0625:0.0625:1.25$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

### 4.1.1.7. Modulación PWM CB-SBPWM.

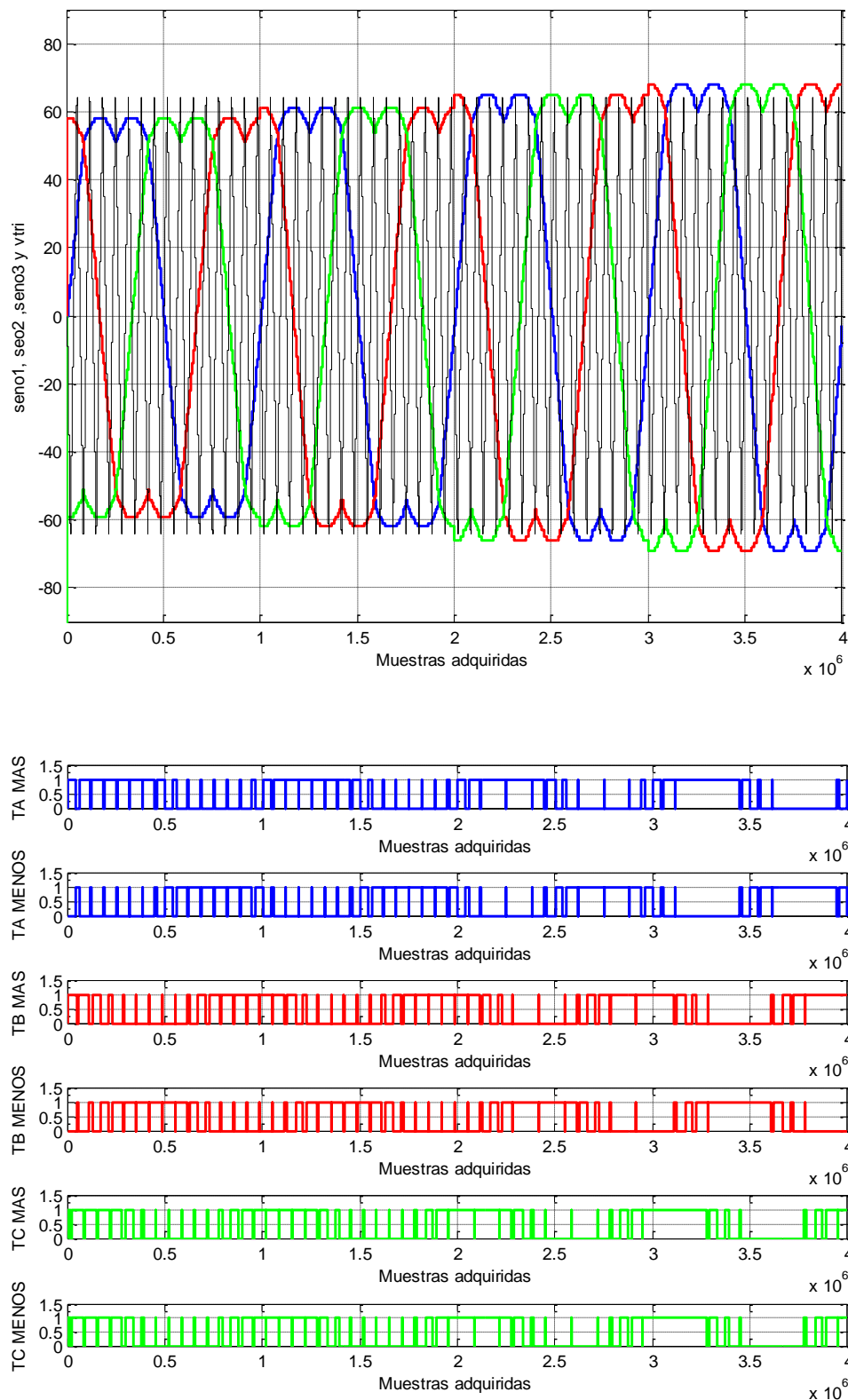


Figura 4.18 Simulación ModelSim CB-SPWM  $m_o=1.0625:0.0625:1.25$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

#### 4.1.1.8. Control de excitación motor trifásico.

En la figura 4.19 se muestra una simulación temporal de ModelSim donde la frecuencia  $f_1$  y  $m_a$  se cambian a la vez. Para realizar esta simulación se han acortado los pasos en los que cambia  $f_1$  y  $m_a$  para cortar el tiempo de simulación produciendo que aparezca una forma de onda en el seno base como se aprecia en la señal seno\_final01. También se aprecia como cada vez que cambia  $m_a$  y la frecuencia  $f_1$  del motor se actualiza el contador de la señal triangular CONTA\_S1 donde está incluida la latencia del divisor. Se comprueba como las señales PWM también cambian y adaptan su valor al deseado cada vez que se actualiza el valor de la señal motor explicado en el apartado 3.2.2.

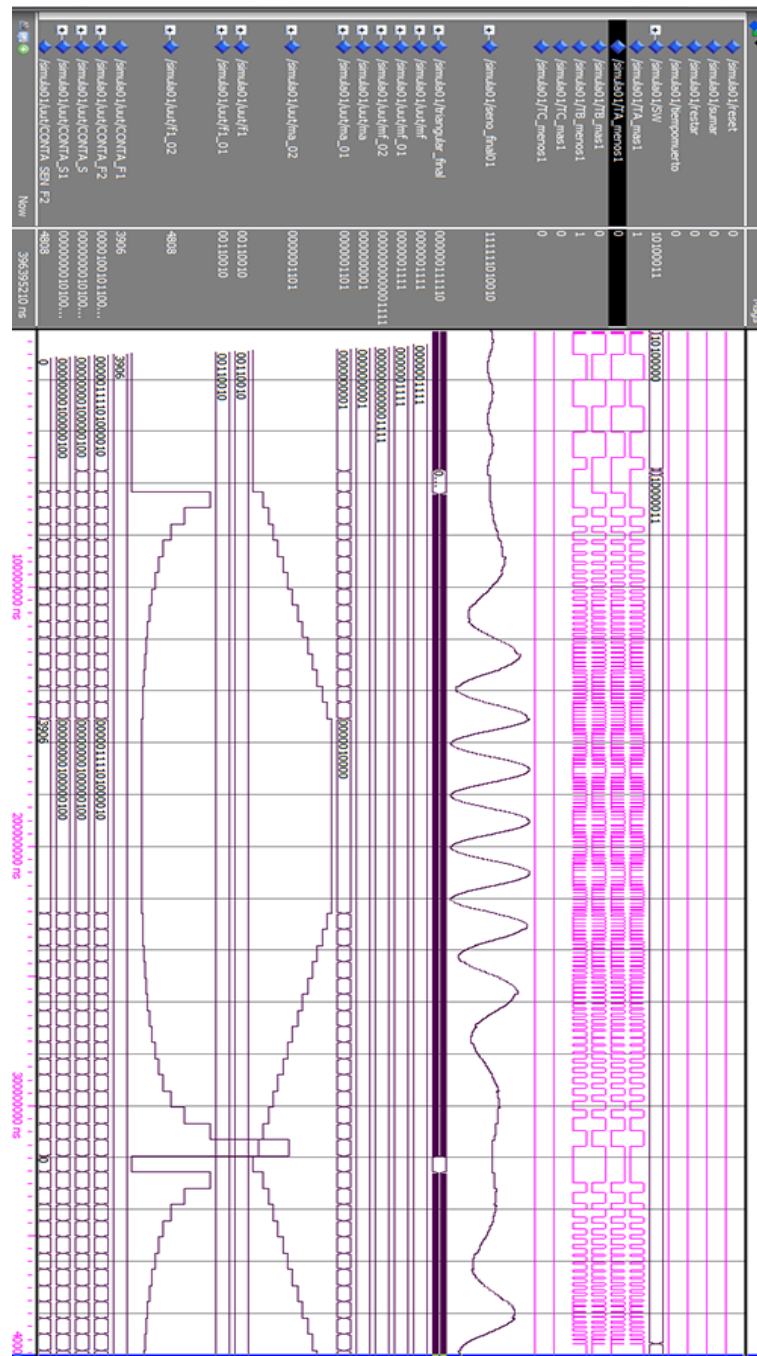


Figura 4.19 Simulación ModelSim excitación del motor opción 1.

#### 4.1.1.9. Modulación de tiempos muertos.

Para realizar la comprobación del funcionamiento de los tiempos muertos se ha escogido la opción de modulación bipolar y se ha ido cambiando la opción de *tm* de 1 a 3 escogiendo los tiempos muertos de 100 ns, 3 us, y 6 us respectivamente.

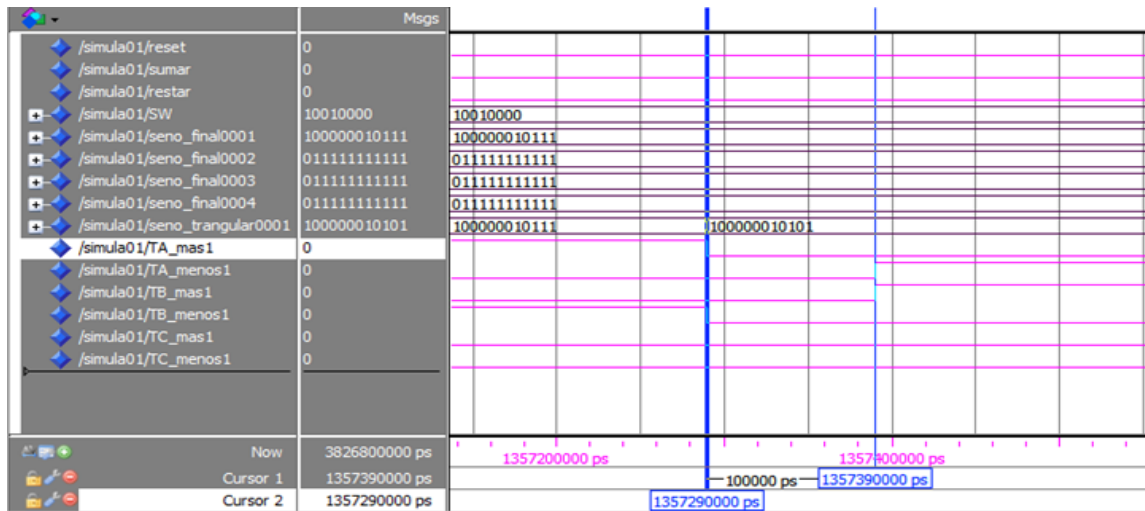


Figura 4.20 Simulación ModelSim tiempos muertos 100ns.

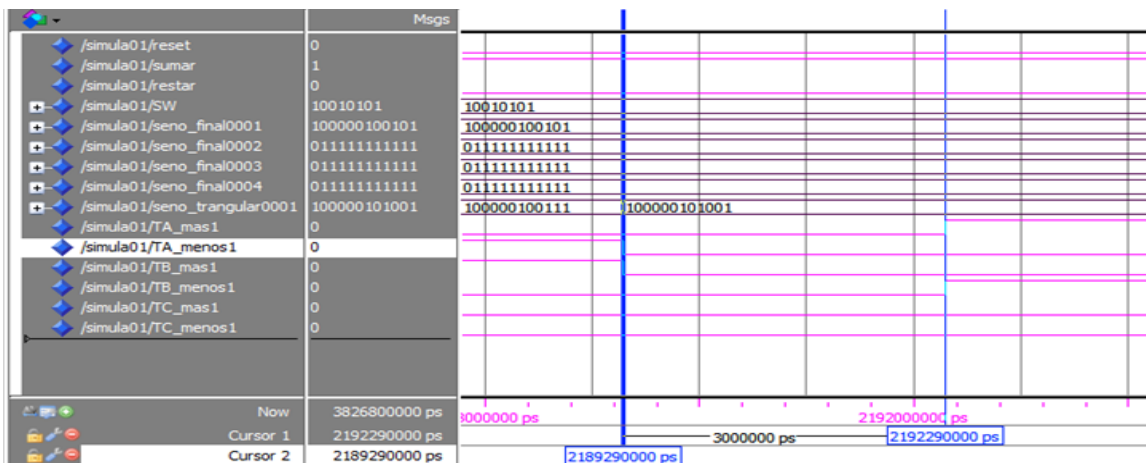


Figura 4.21 Simulación ModelSim tiempos muertos 3us.

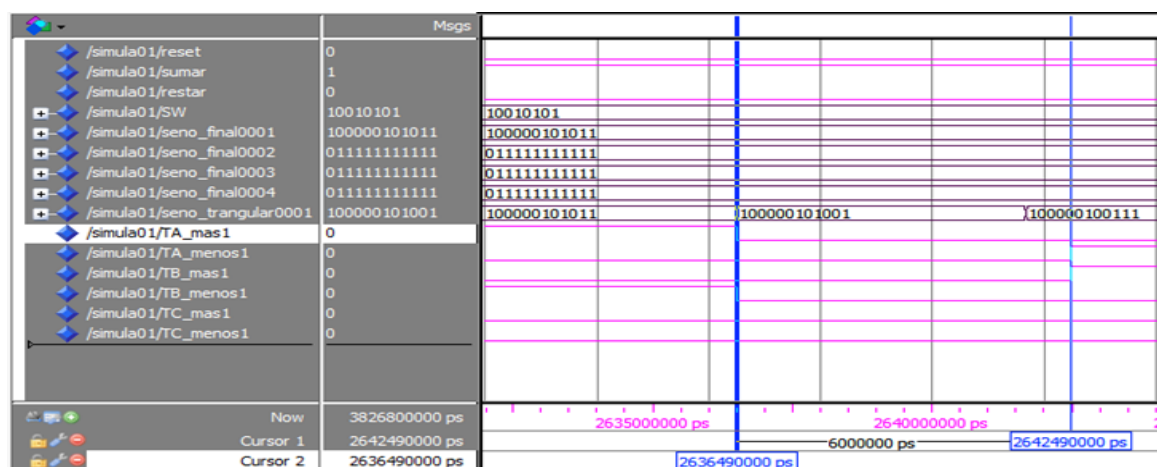


Figura 4.22 Simulación ModelSim tiempos muertos 6us.

#### 4.1.2. Simulaciones del inversor.

Para realizar las simulaciones de las señales de salida más relevantes del inversor en modo monofásico se ha generado el siguiente bloque en Simulink escogiendo como carga del inversor una resistencia.

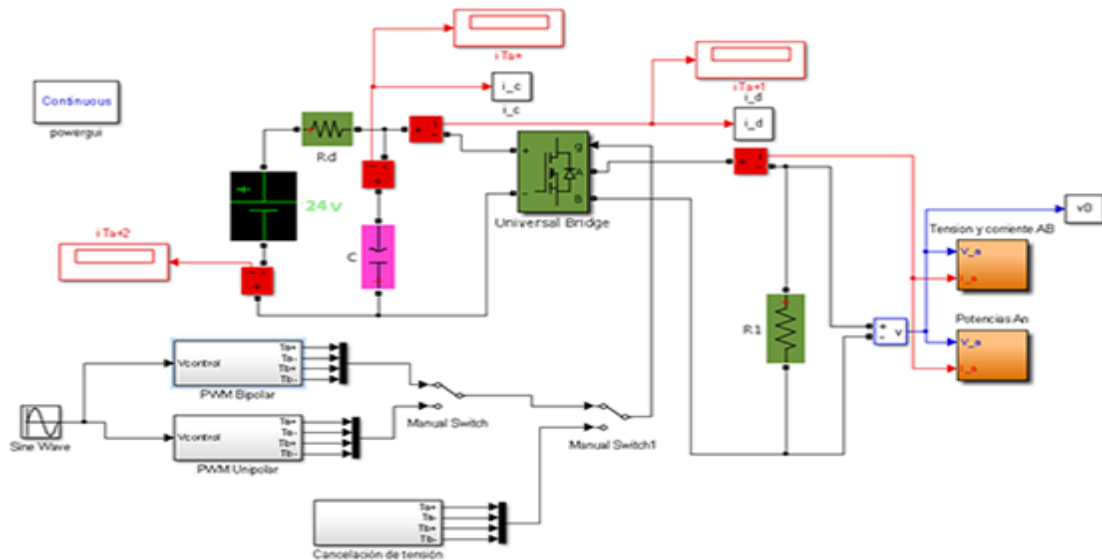


Figura 4.23 Esquema Simulink de inversor monofásico.

Este esquema es capaz de analizar tanto la tensión en la carga como las corrientes en el bus de continua y alterna, así como la potencia consumida por la carga. La alimentación escogida es de 24VDC en el bus de continua.

A continuación se procede a representar las simulaciones obtenidas para los diferentes valores de  $m_a$ ,  $m_f$  y  $f_1$ , así como para cada zona de modulación de cada método PWM. Todas las imágenes se han simulado con los mismos valores con los que luego se probará con el objetivo de que el lector pueda comparar las figuras y pueda comprobar el funcionamiento.

Dicho esto último de las figuras 4.24 a 4.27 se comprueba el funcionamiento del método Bipolar, de la 4.28 a 4.31 del método Unipolar y de la 4.32 a 4.33 del método Cancelación de tensión.

### 4.1.2.1. Modulación bipolar.

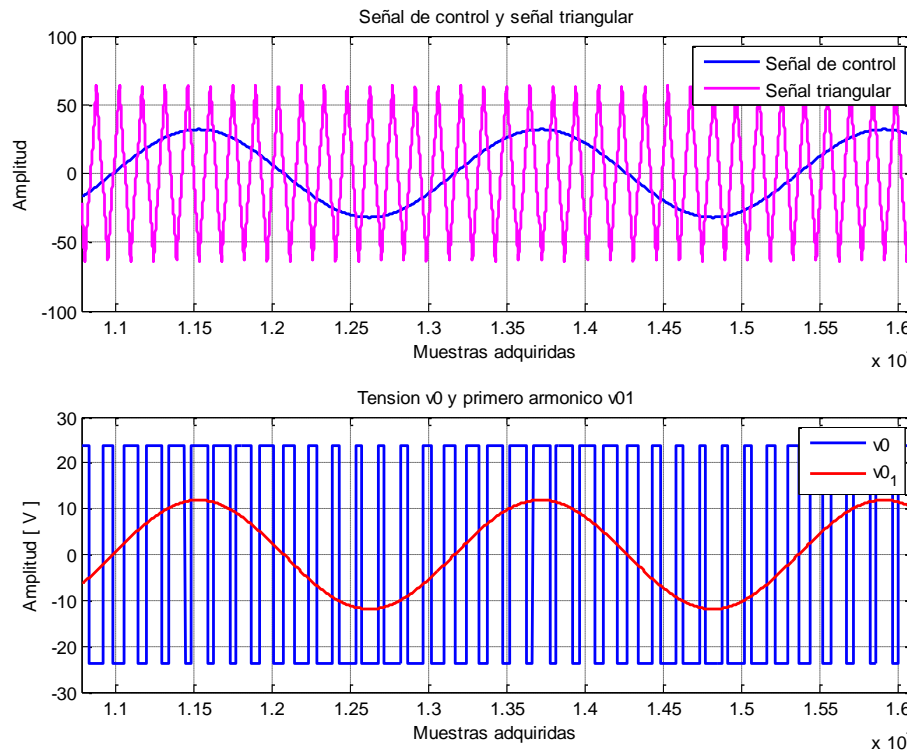


Figura 4.24 Simulación inversor modulación bipolar  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

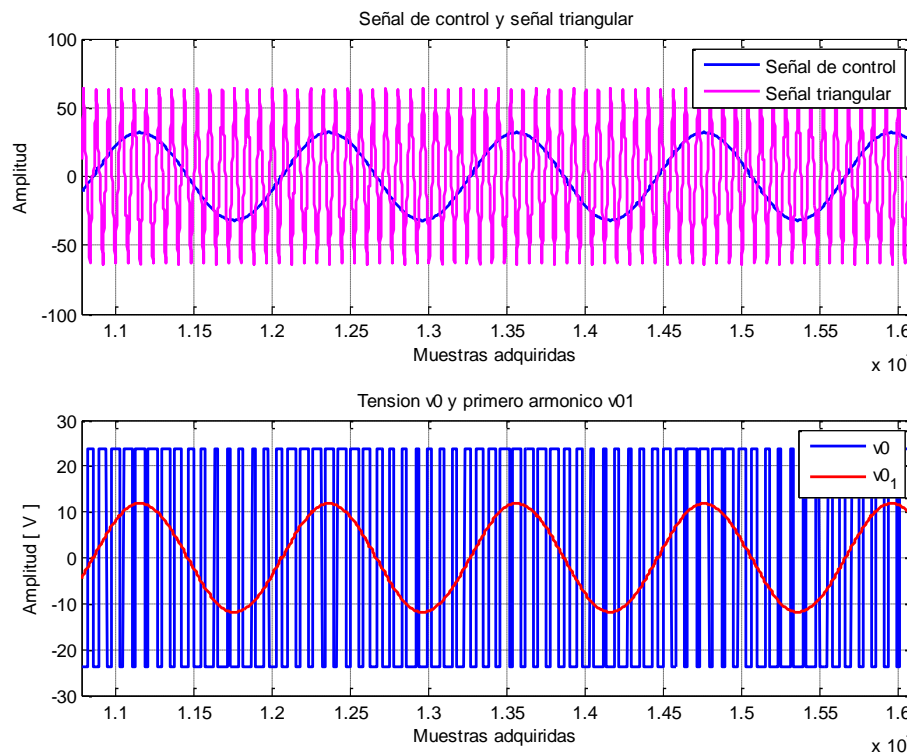


Figura 4.25 Simulación inversor modulación bipolar  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=100\text{Hz}$ .

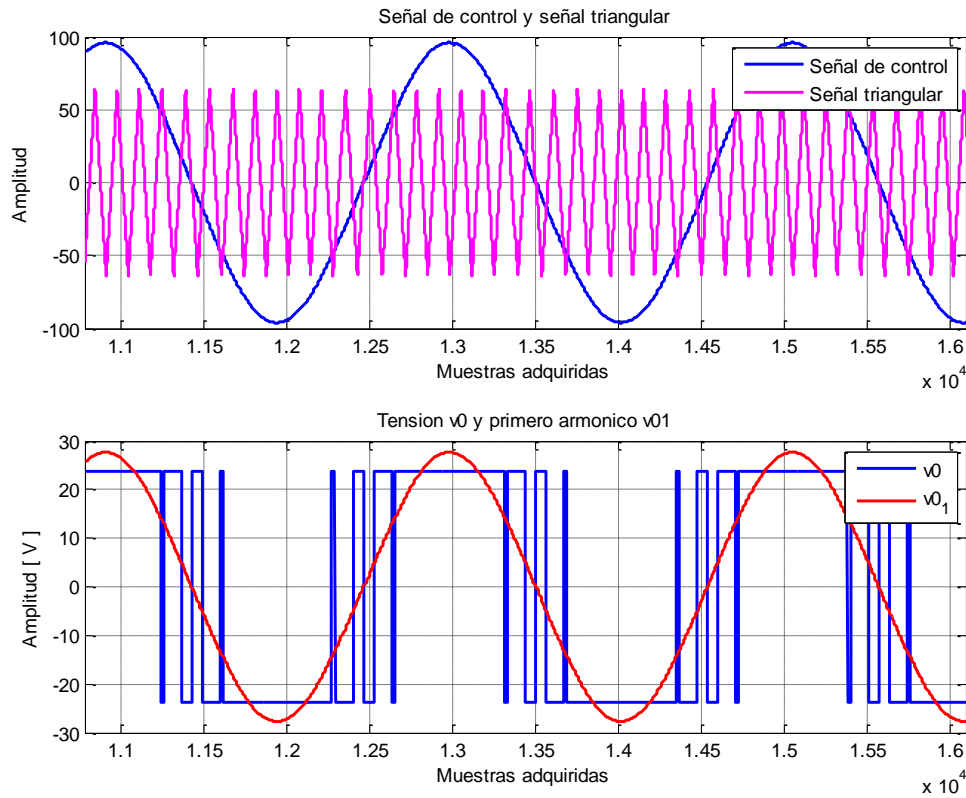


Figura 4.26 Simulación inversor modulación bipolar  $m_0=1.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

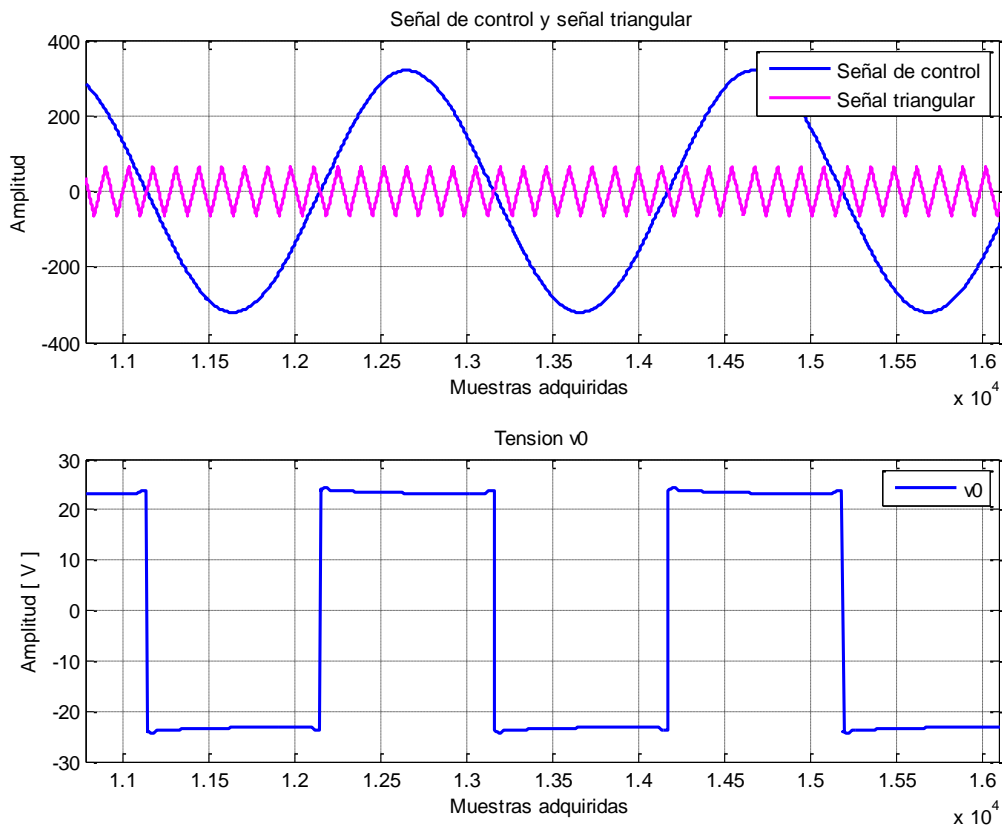


Figura 4.27 Simulación inversor modulación bipolar  $m_0=5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .



### 4.1.2.2. Modulación unipolar.

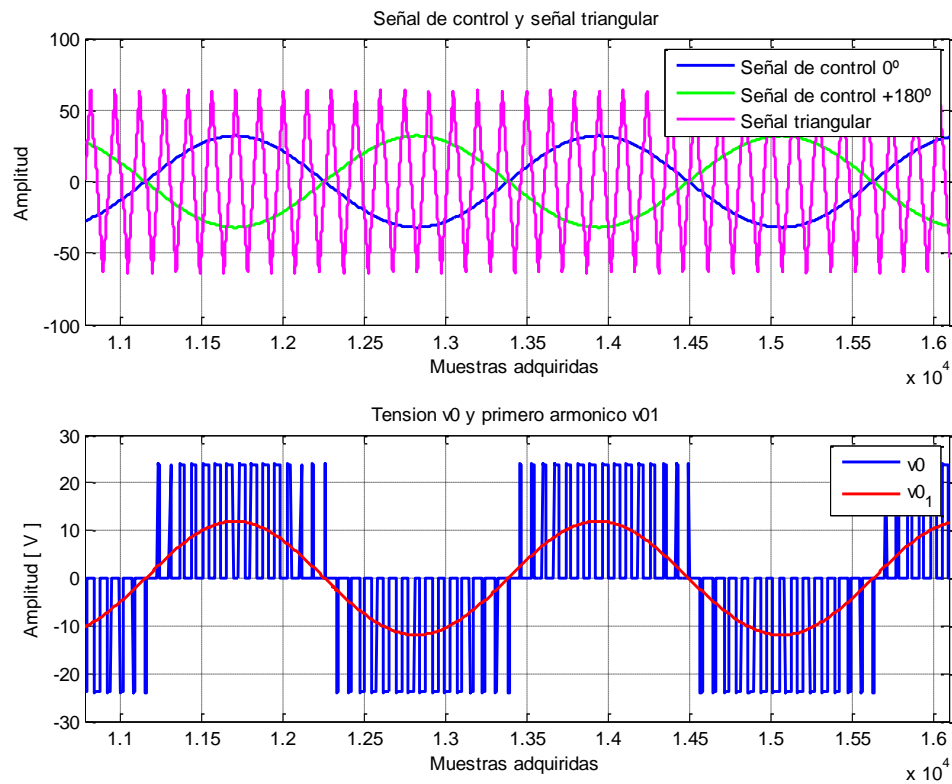


Figura 4.28 Simulación inversor modulación unipolar  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

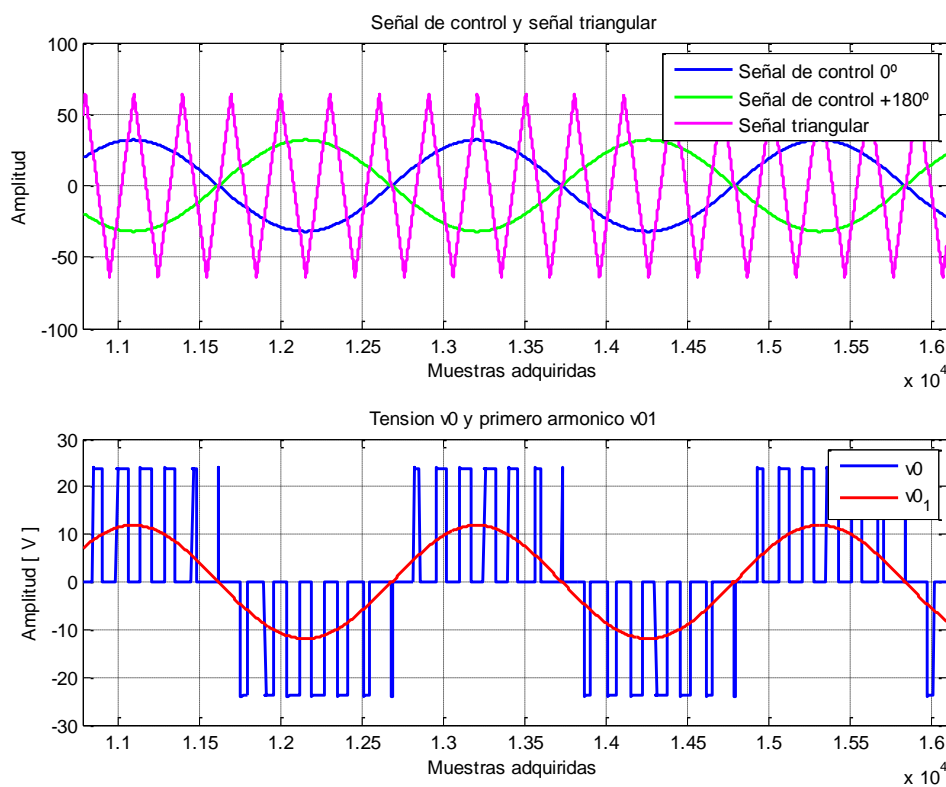


Figura 4.29 Simulación inversor modulación unipolar  $m_a=0.5$ ,  $m_f=7$ ,  $f_1=50\text{Hz}$ .

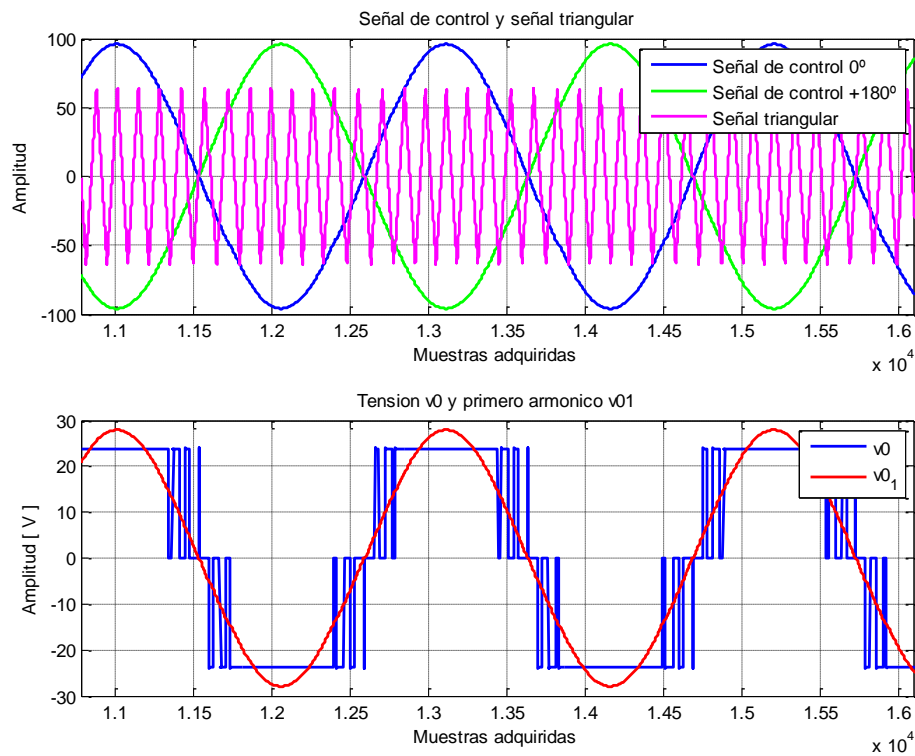


Figura 4.30 Simulación inversor modulación unipolar  $m_o=1.5$ ,  $m_f=15$ ,  $f_i=50\text{Hz}$ .

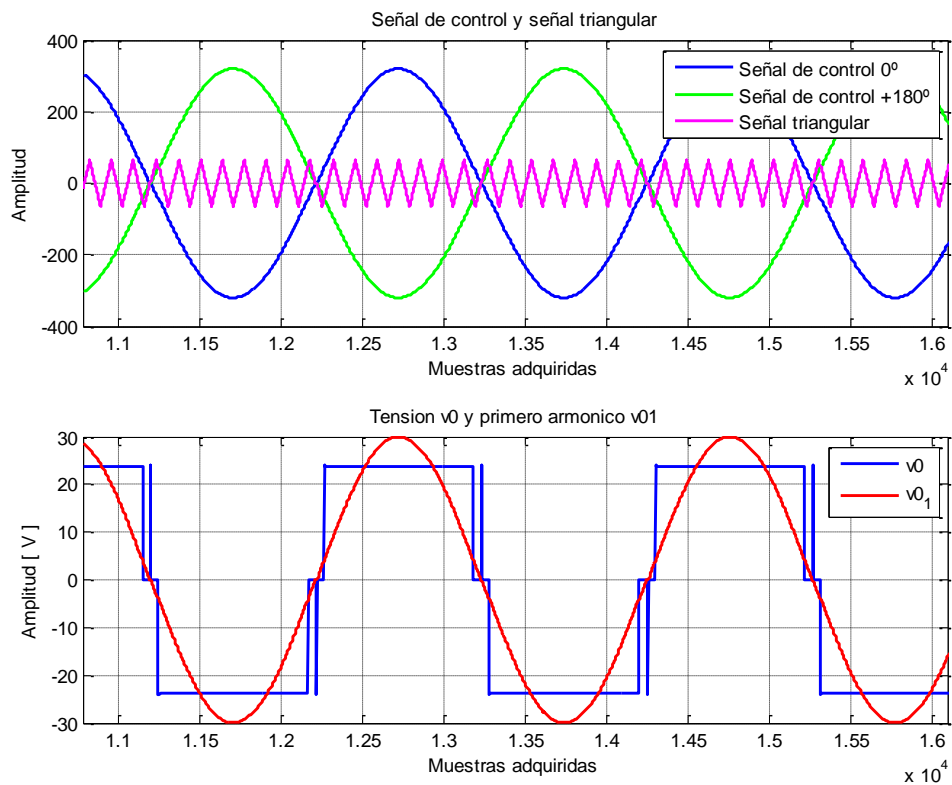


Figura 4.31 Simulación inversor modulación unipolar  $m_o=5$ ,  $m_f=15$ ,  $f_i=50\text{Hz}$ .

### 4.1.2.3. Cancelación de tensión.

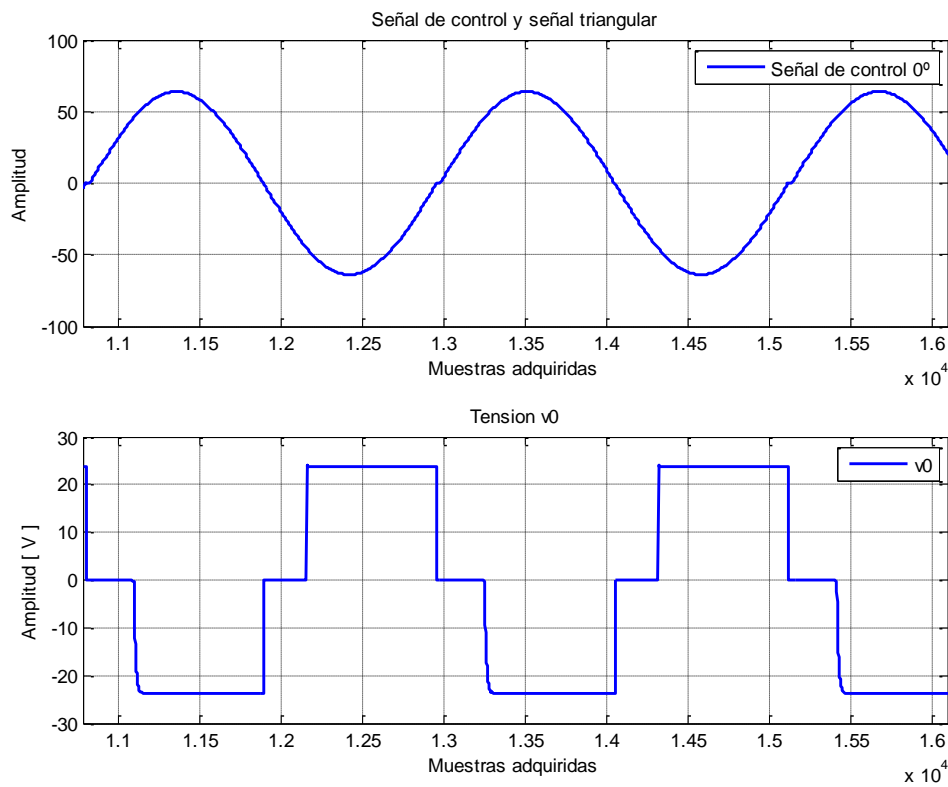


Figura 4.32 Simulación inversor Cancelación de tensión,  $f_1=50\text{Hz}$ , grados= $45^\circ$ .

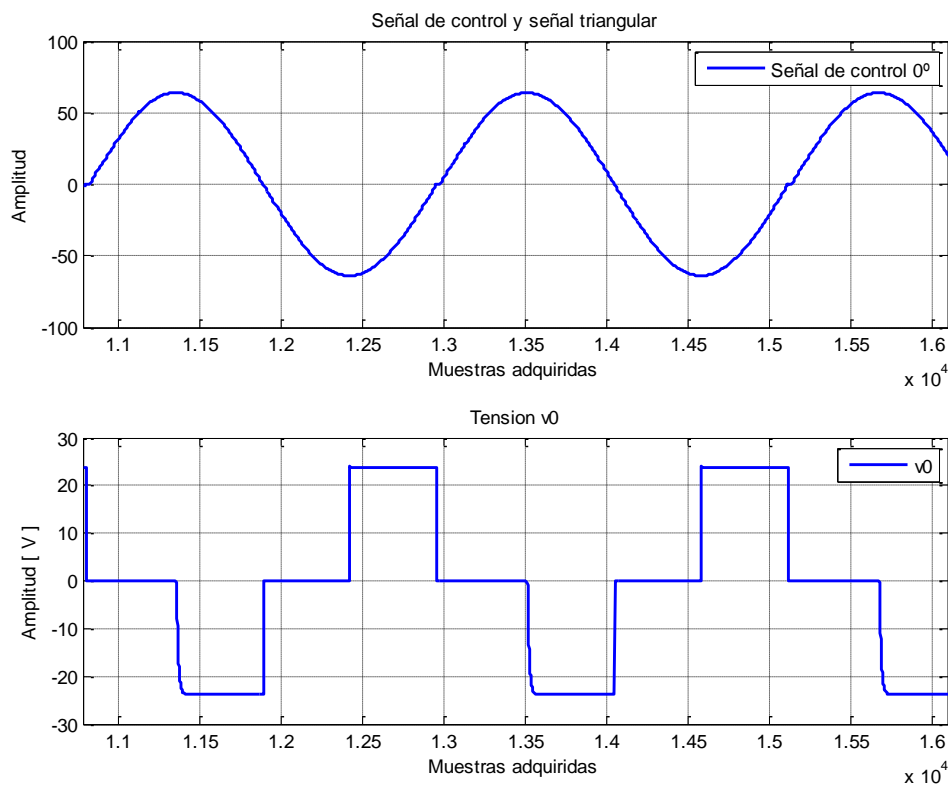


Figura 4.33 Simulación inversor Cancelación de tensión,  $f_1=50\text{Hz}$ , grados= $90^\circ$ .

#### 4.1.2.4. Modulación PWM trifásica clásica.

A partir de este apartado y hasta el fin de las simulaciones para el modo de funcionamiento de trifásico se va a realizar las simulaciones con el esquema generado en Simulink representado en la figura 4.34.

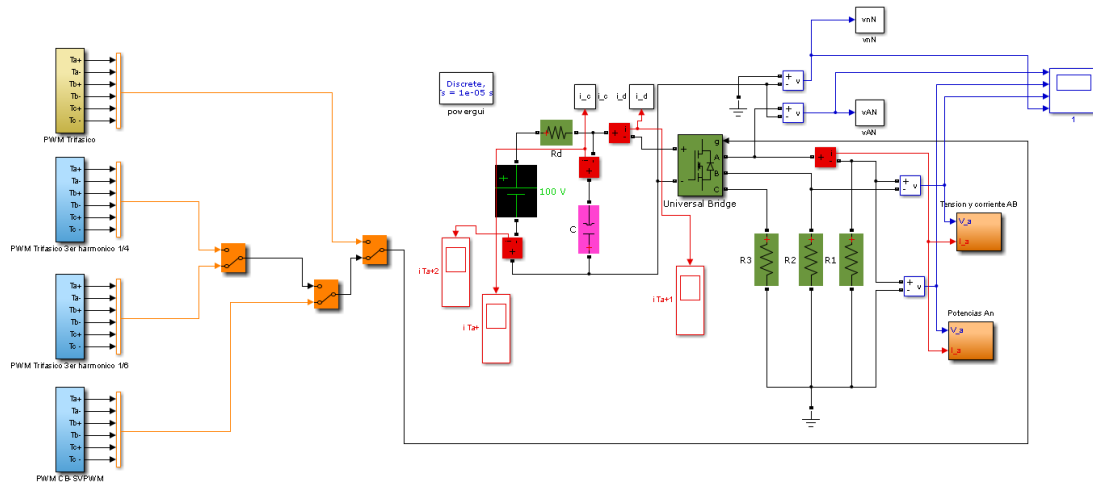


Figura 4.34 Esquema Simulink de inversor trifásico.

Al igual que el esquema anterior este permite hallar las corrientes y tensiones del bus de continua y alterna, aunque solo se estudiará las tensiones al colocar una carga resistiva.

Las figuras 4.35, 4.36 (límite lineal), 4.37 y 4.38 muestran la modulación SPWM trifásica clásica en cada zona de modulación así como las tensiones de fase, línea a línea y neutro-Neutro para los valores próximos a los anteriormente simulados. De las figuras 4.39 a la 4.41 se hace de las tensiones de salida del inversor trifásico para los límites de zona lineal de cada método de modulación alternativo.

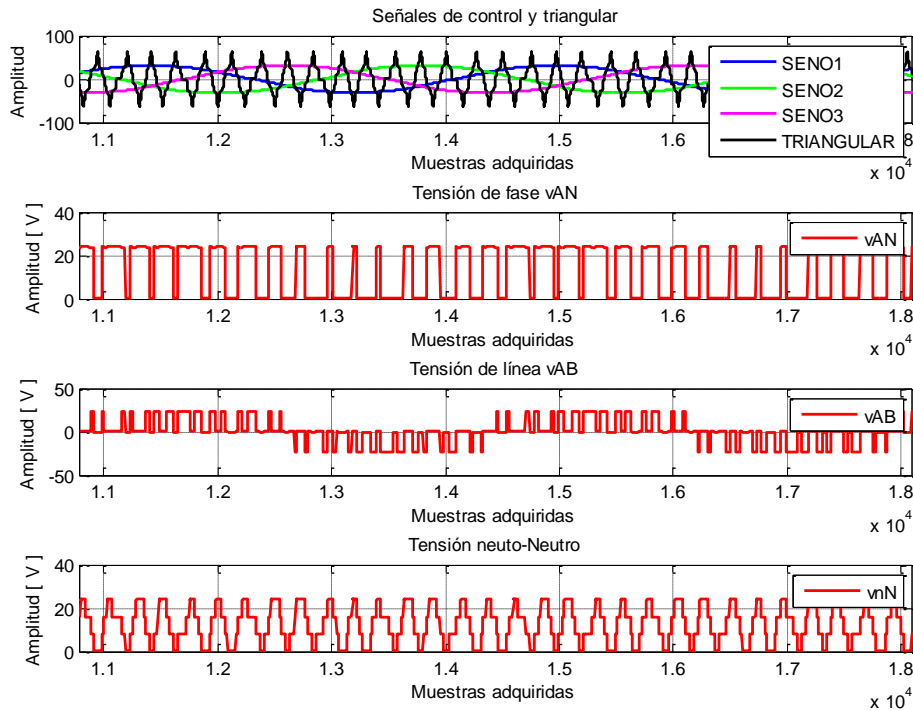


Figura 4.35 Simulación inductor Modulación PWM trifásica clásica  $m_o=0.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

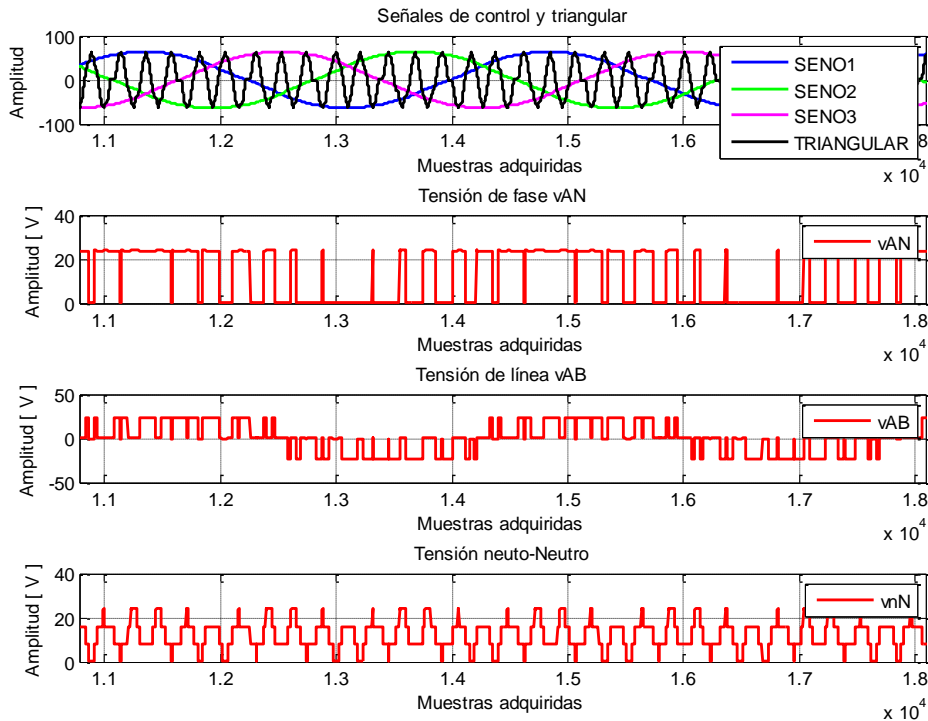


Figura 4.36 Simulación inductor Modulación PWM trifásica clásica  $m_o=1$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

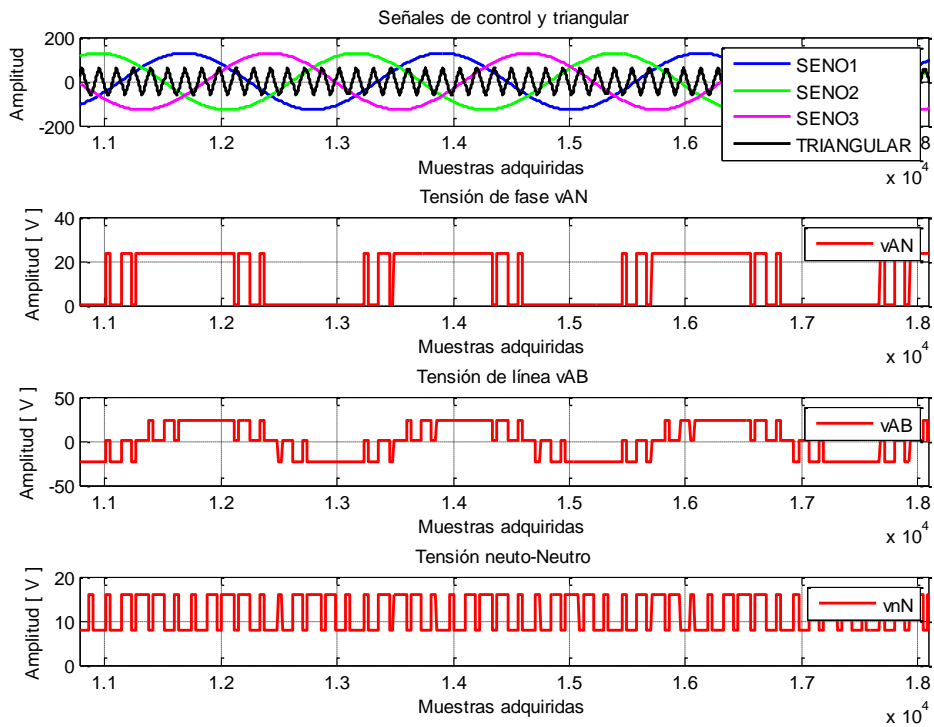


Figura 4.37 Simulación inductor Modulación PWM trifásica clásica  $m_a=2$ ,  $m_f=15$ ,  $f_1=50$ Hz.

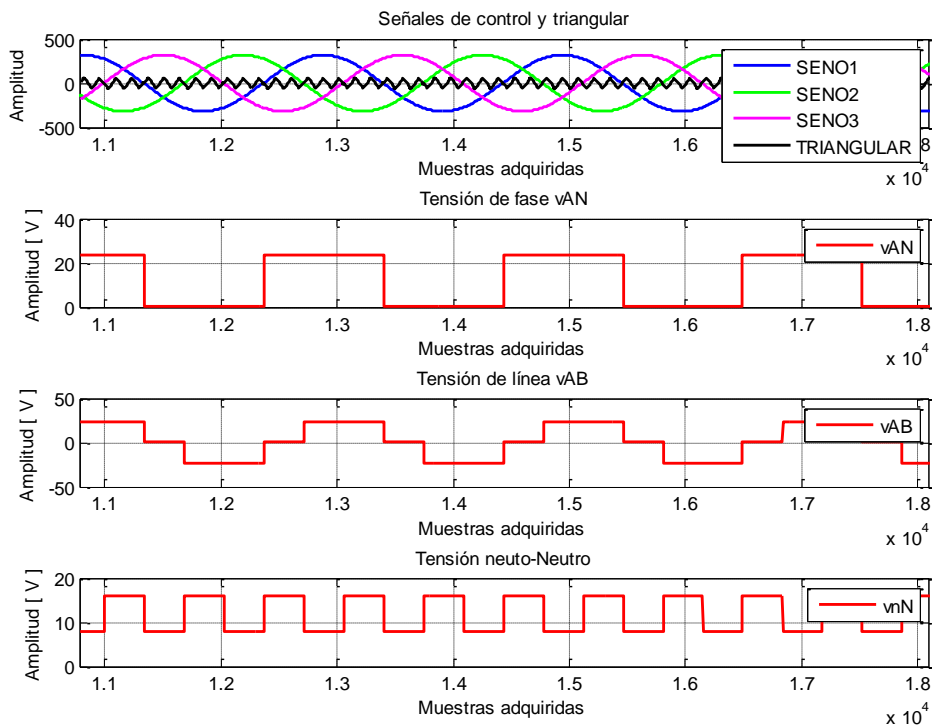


Figura 4.38 Simulación inductor Modulación PWM trifásica clásica  $m_a=5$ ,  $m_f=15$ ,  $f_1=50$ Hz.

#### 4.1.2.5. Modulación PWM con inyección de tercer armónico THIPWM 1/4.

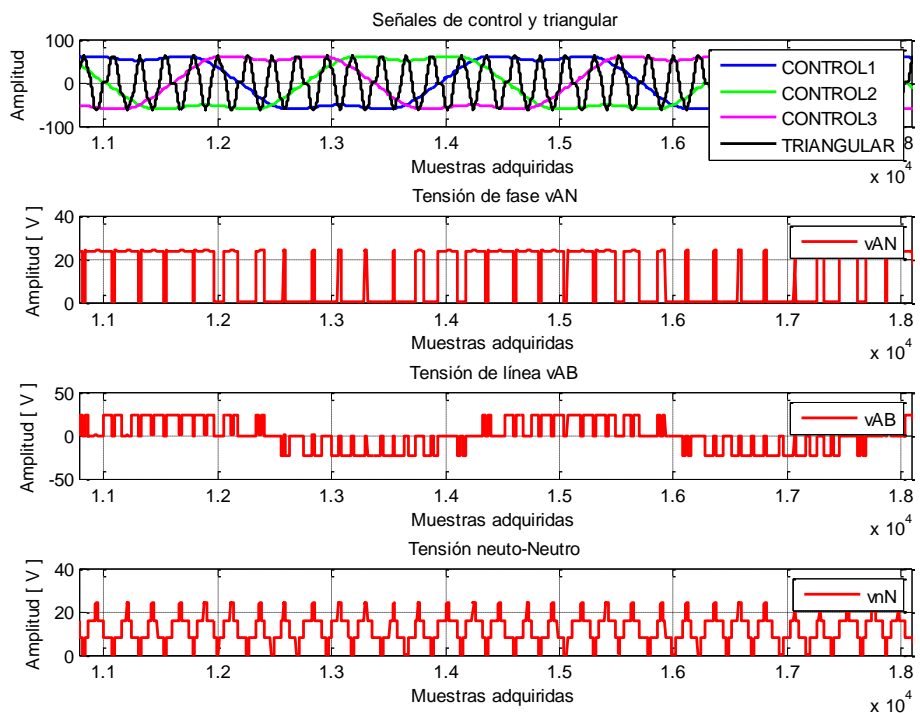


Figura 4.39 Simulación inversor THIPWM 1/4  $m_o=1.062$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

#### 4.1.2.6. Modulación PWM con inyección de tercer armónico THIPWM 1/6.

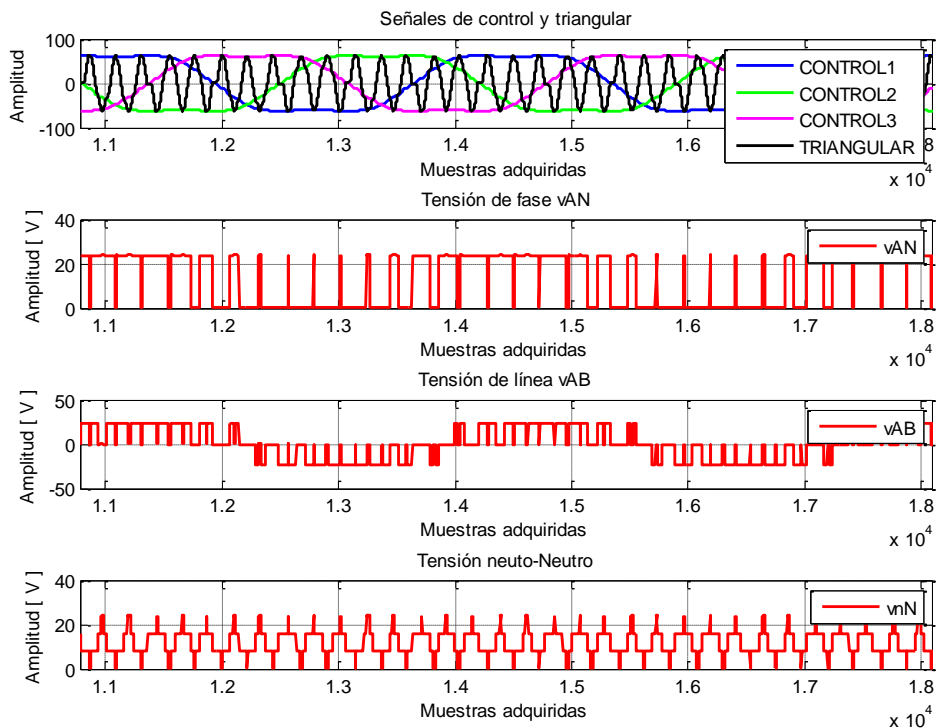


Figura 4.40 Simulación inversor THIPWM 1/6  $m_o=1.125$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

#### 4.1.2.7. Modulación PWM CB-SPWM.

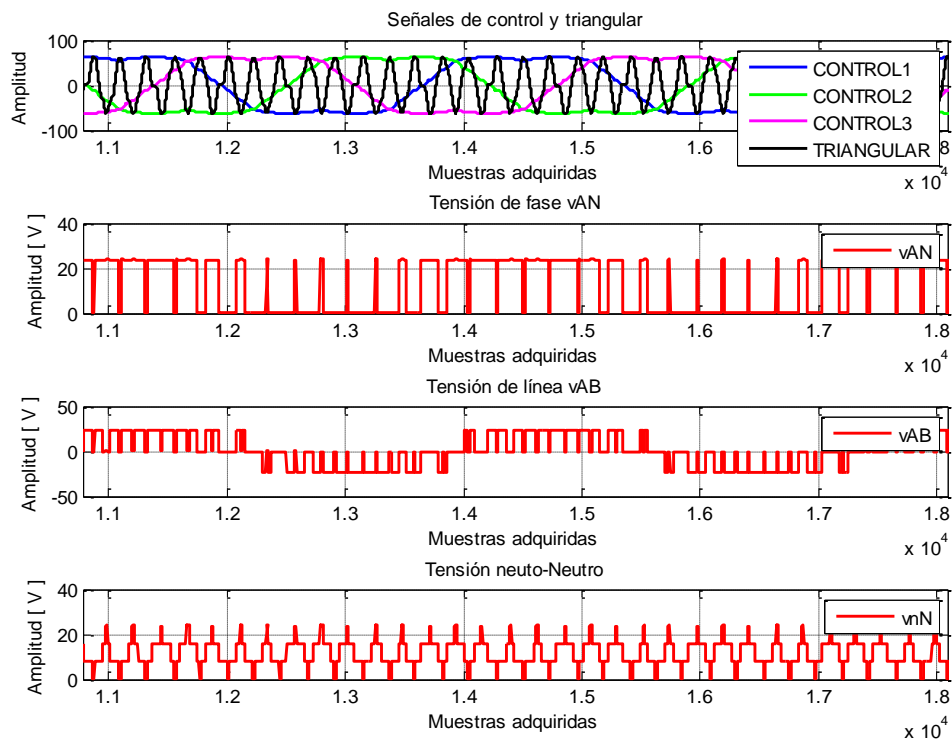


Figura 4.41 Simulación inductor CB-SPWM  $m_o=1.125$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .



## 4.2. Resultados de pruebas reales.

### 4.2.1. Pruebas reales de las señales de salida PWM.

Finalizado ya el apartado de simulaciones 4.1, se procederá a comprobar si todas las señales reales se comportan como las simuladas empezando por la comprobación de las señales PWM que saca la tarjeta FPGA. Las imágenes han sido captadas vía USB con diferentes osciloscopios y mejoradas desde un punto de vista estético para su buen entendimiento.

Al igual que en el apartado anterior se estudiará la posibilidad modificar la frecuencia  $f_1$ , el índice de modulación de frecuencia  $m_f$  y el índice de modulación de amplitud  $m_a$  para zona lineal, de sobre modulación y onda cuadrada en cada método. Se procede a representar las gráficas correspondientes a las pruebas de cada método de modulación con los mismos valores de  $m_a$ ,  $m_f$  y  $f_1$  que en las simulaciones con el objetivo de que se puedan comparar las gráficas simuladas con las gráficas reales y así probar el buen funcionamiento del sistema.

Para el método bipolar, las figuras 4.42 a la 4.46 se corresponden con las simulaciones de las figuras 4.1 a 4.5; para el método unipolar, las figuras de la 4.47 a la 4.51 se corresponden con las simulaciones de las figuras 4.6 a 4.10; para el método de cancelación de tensión, las figuras 4.53 y 4.54 se corresponden con las simulaciones de las figuras 4.11 a 4.12.

#### 4.2.1.1. Pruebas Modulación bipolar.

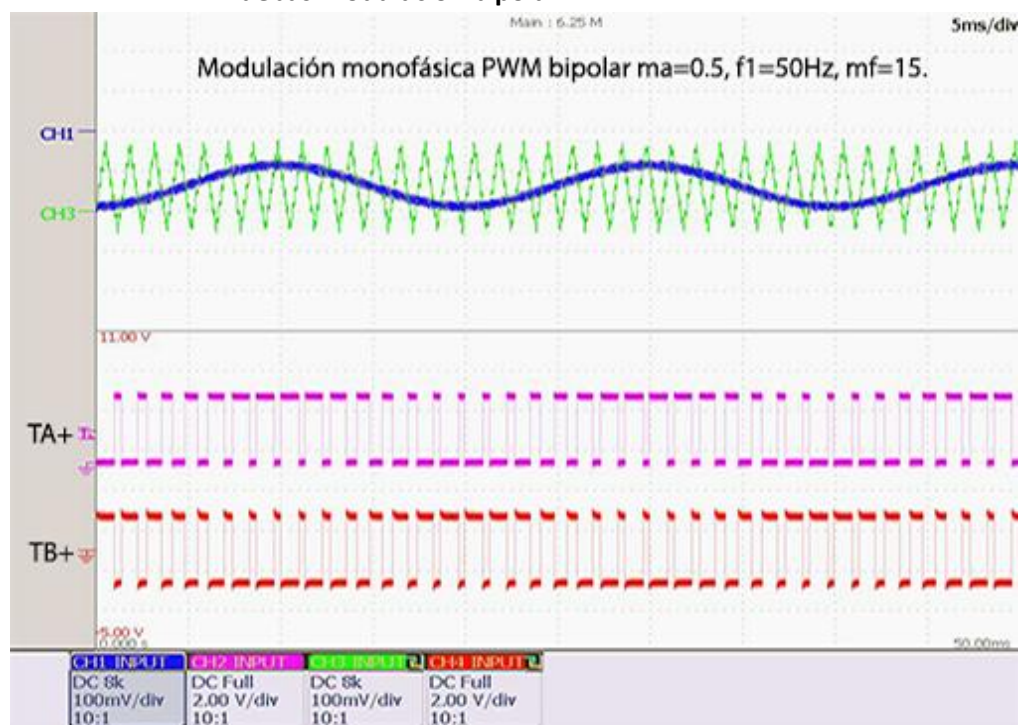


Figura 4.42 Captura osciloscopio Modulación bipolar  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

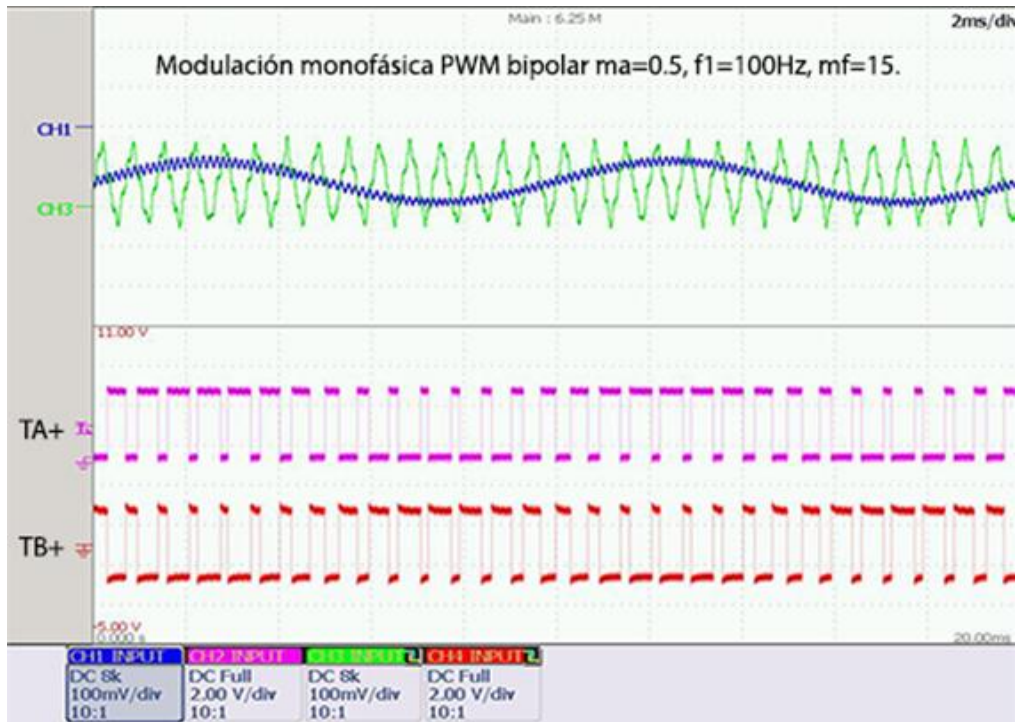


Figura 4.43 Captura osciloscopio modulación bipolar  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=100\text{Hz}$ .

Nótese que en la figura 4.43 el rango de la frecuencia a cambiado de 5ms/div a 2ms/div.

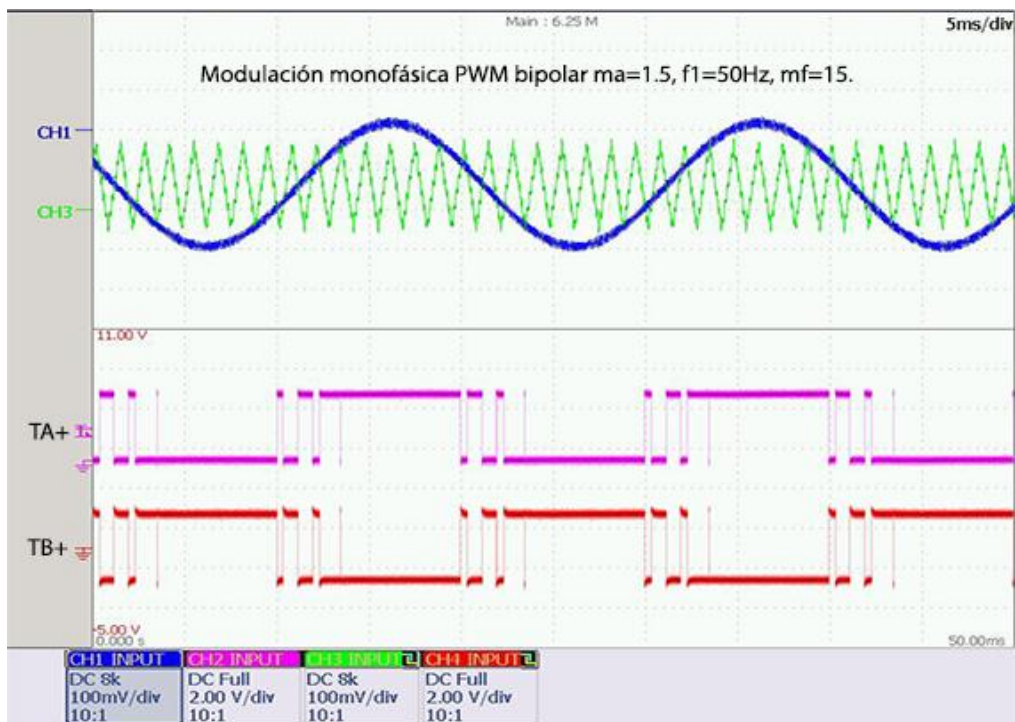


Figura 4.44 Captura osciloscopio modulación bipolar  $m_a=1.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

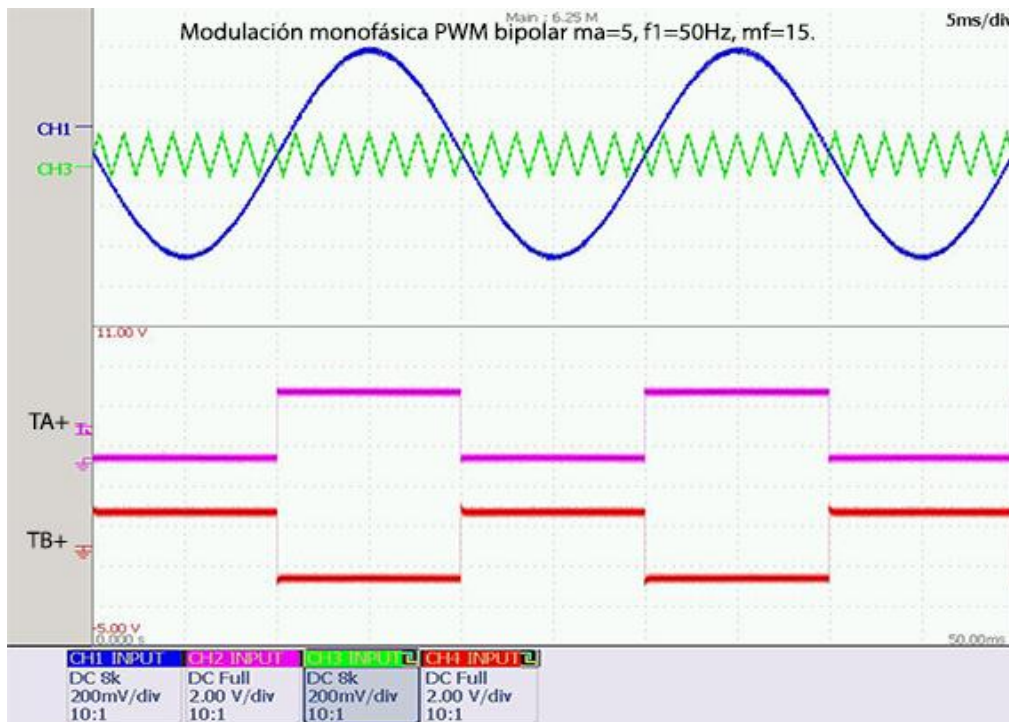


Figura 4.45 Captura osciloscopio modulación bipolar  $m_a=5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

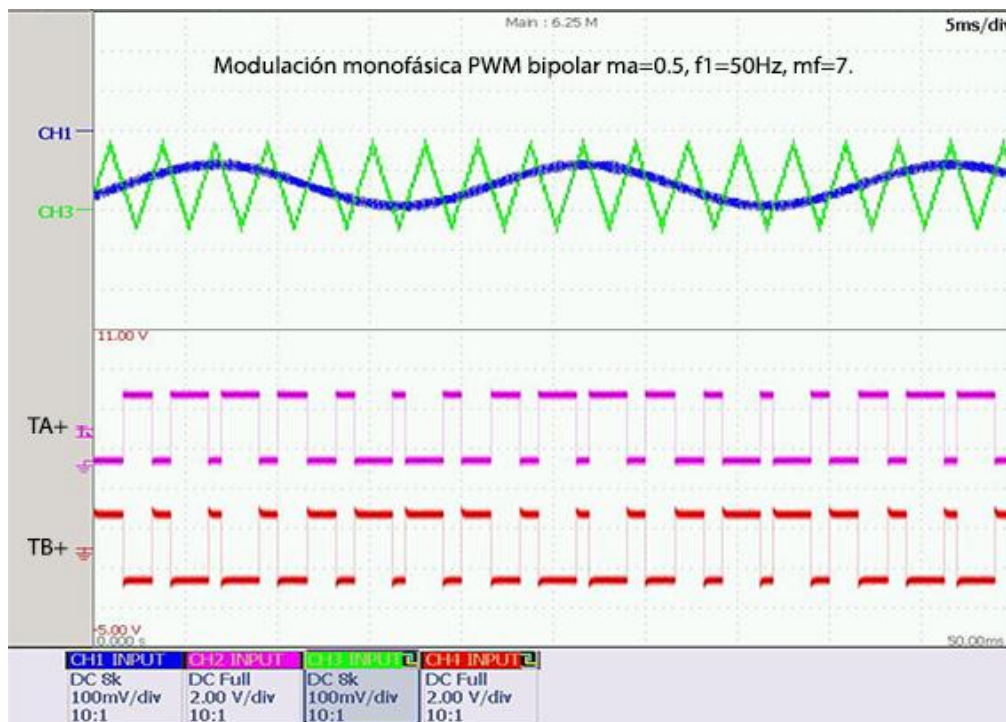


Figura 4.46 Captura osciloscopio modulación bipolar  $m_a=0.5$ ,  $m_f=7$ ,  $f_1=50\text{Hz}$ .

En la última figura 4.46 se ve claramente el funcionamiento correcto de la modulación bipolar.

#### 4.2.1.2. Pruebas Modulación unipolar.

En las siguientes imágenes, y hasta que se comente lo contrario, se van a unir dos capturas de osciloscopio, una que muestra como sacan los DAC's las señales de control y triangular, y otra donde se muestra la conmutación PWM TA, TB y TC. Se advierte que al ser dos capturas diferentes no se puede comparar verticalmente las señales de control y triangular con las PWM ya que una está desplazada con respecto a la otra al ser capturadas en tiempos diferentes.

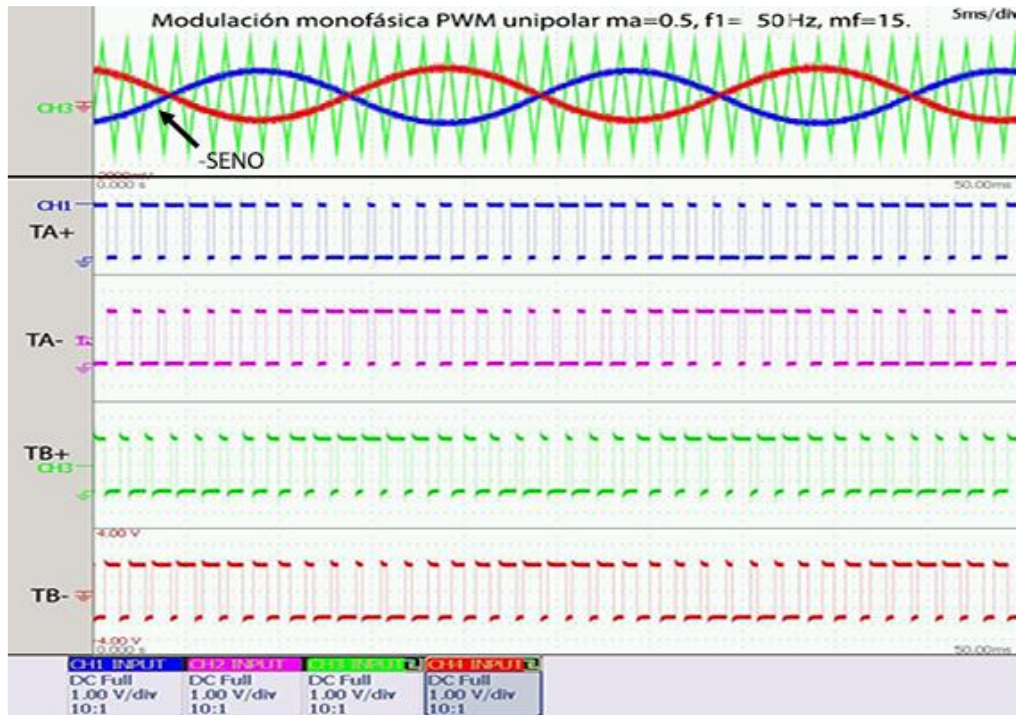


Figura 4.47 Captura osciloscopio modulación unipolar  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$  detalle.

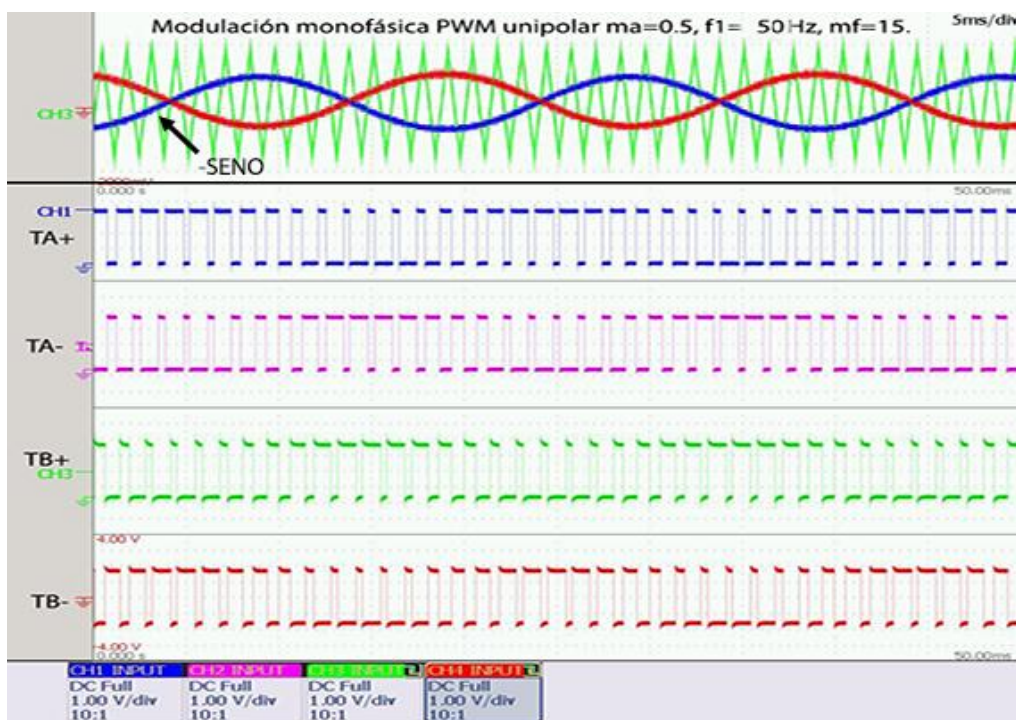


Figura 4.48 Captura osciloscopio modulación unipolar  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

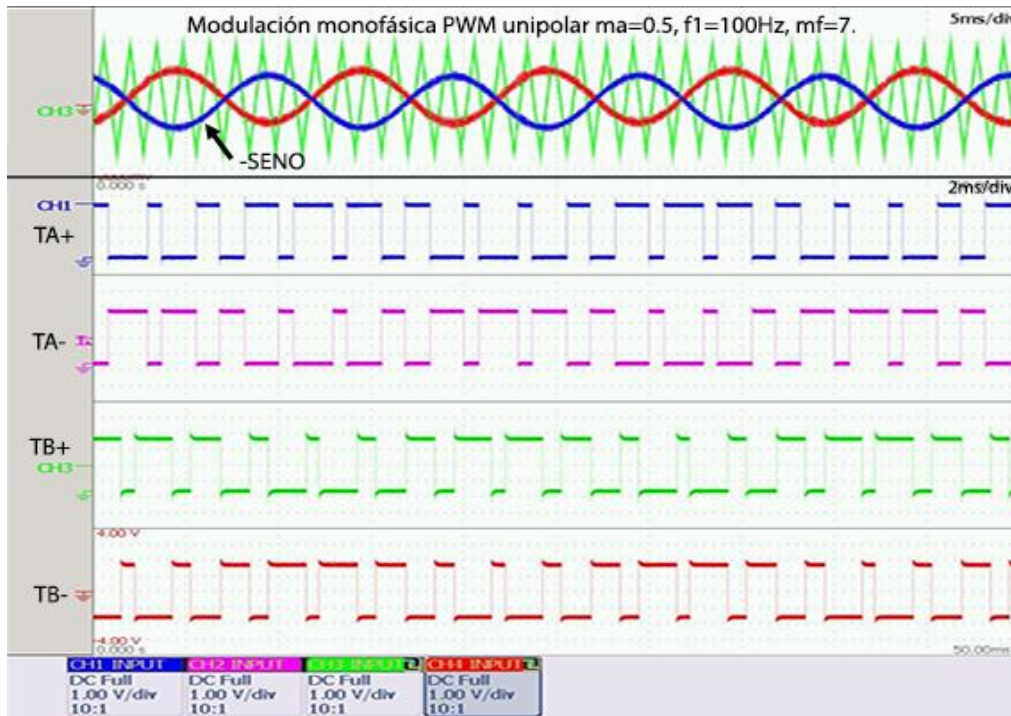


Figura 4.49 Captura osciloscopio modulación unipolar  $m_a=0.5$ ,  $m_f=7$ ,  $f_1=100\text{Hz}$ .

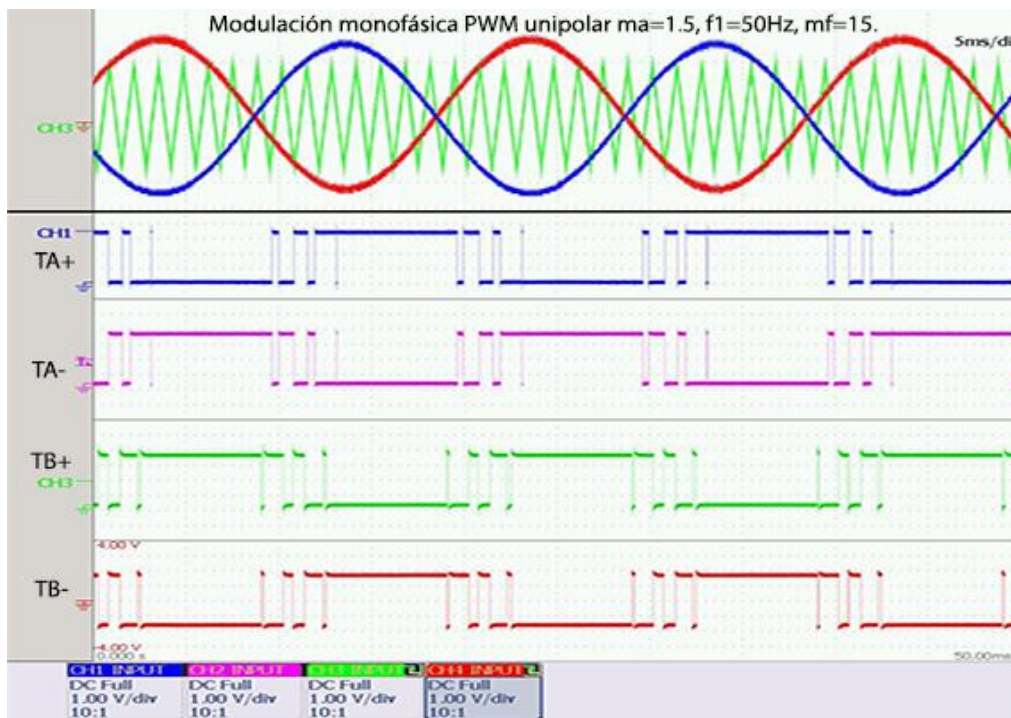


Figura 4.50 Captura osciloscopio modulación unipolar  $m_a=1.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

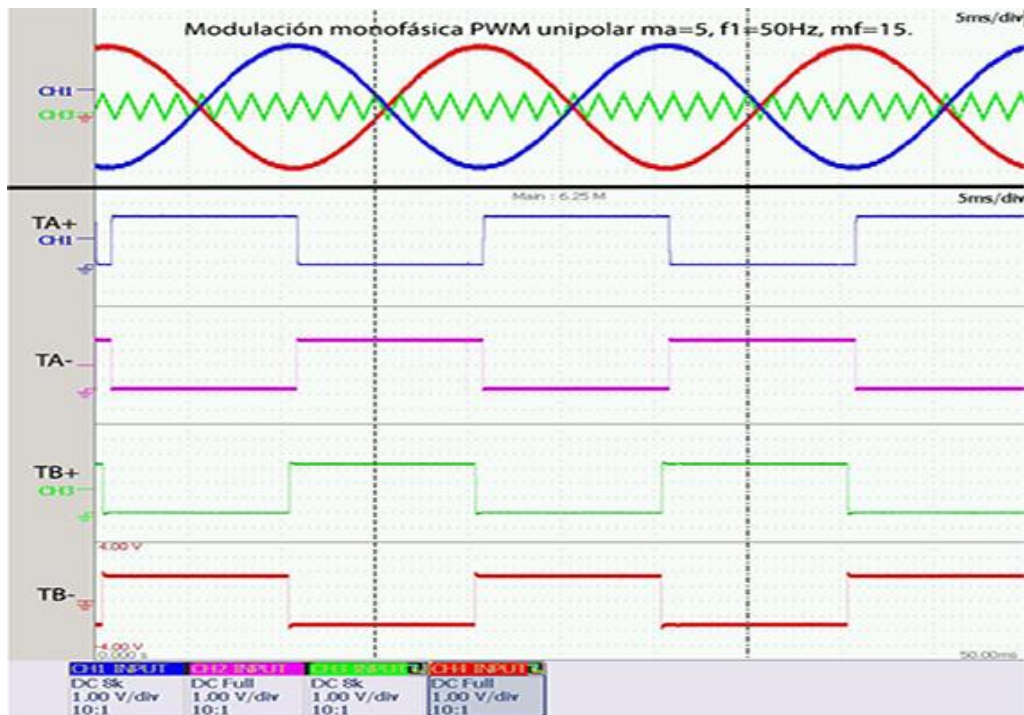


Figura 4.51 Captura osciloscopio modulación unipolar  $m_a=5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

Se comprueba que todas las figuras siguen las simulaciones con lo que el sistema está funcionando correctamente en modo unipolar

#### 4.2.1.3. Cancelación de tensión.

A lo largo de este apartado las ondas de control y triangular sí que están sincronizadas con la señal PWM con lo que sí se puede proceder a compararlas.

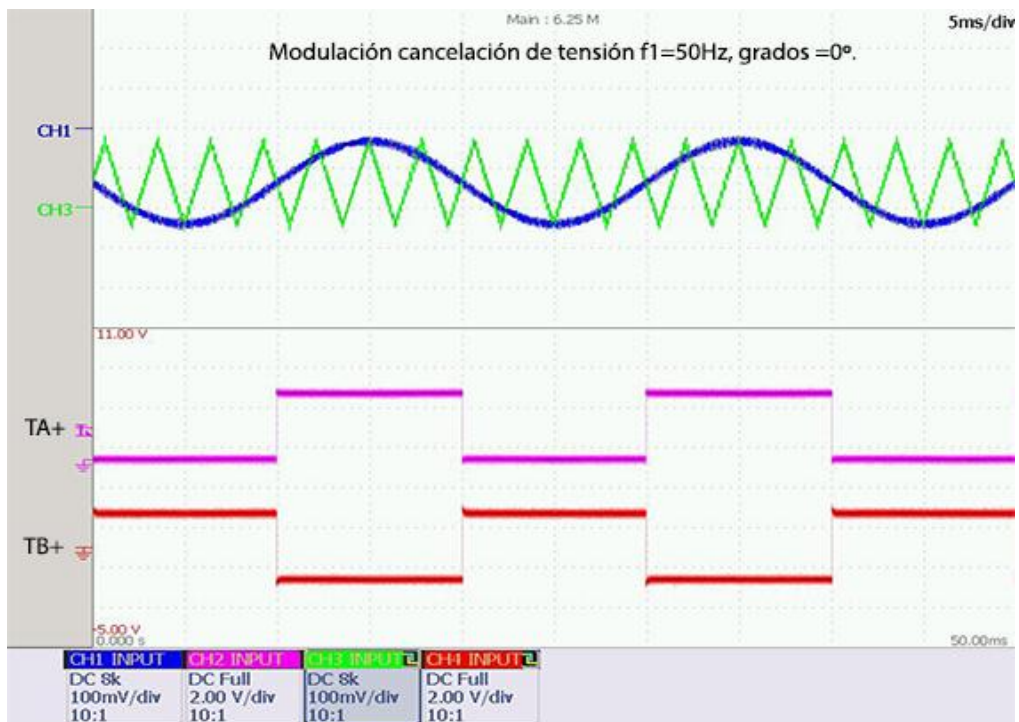


Figura 4.52 Captura osciloscopio Cancelación de tensión  $\text{grados}=0^\circ$ ,  $f_1=50\text{Hz}$ .

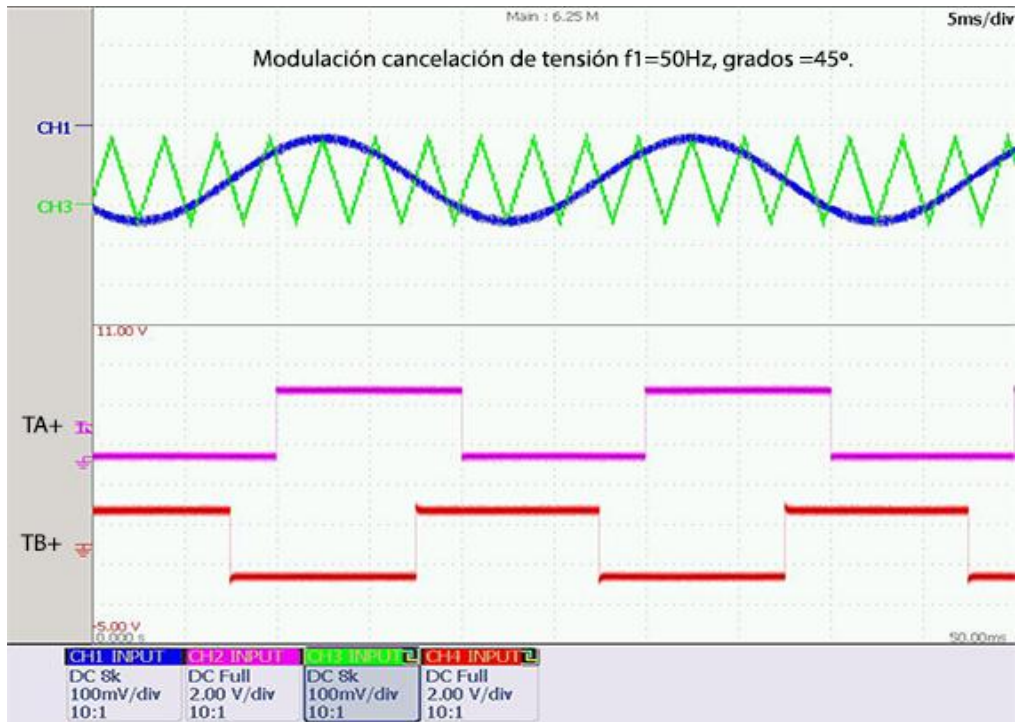


Figura 4.53 Captura osciloscopio Cancelación de tensión  $\text{grados}=45^\circ$ ,  $f_1=50\text{Hz}$ .

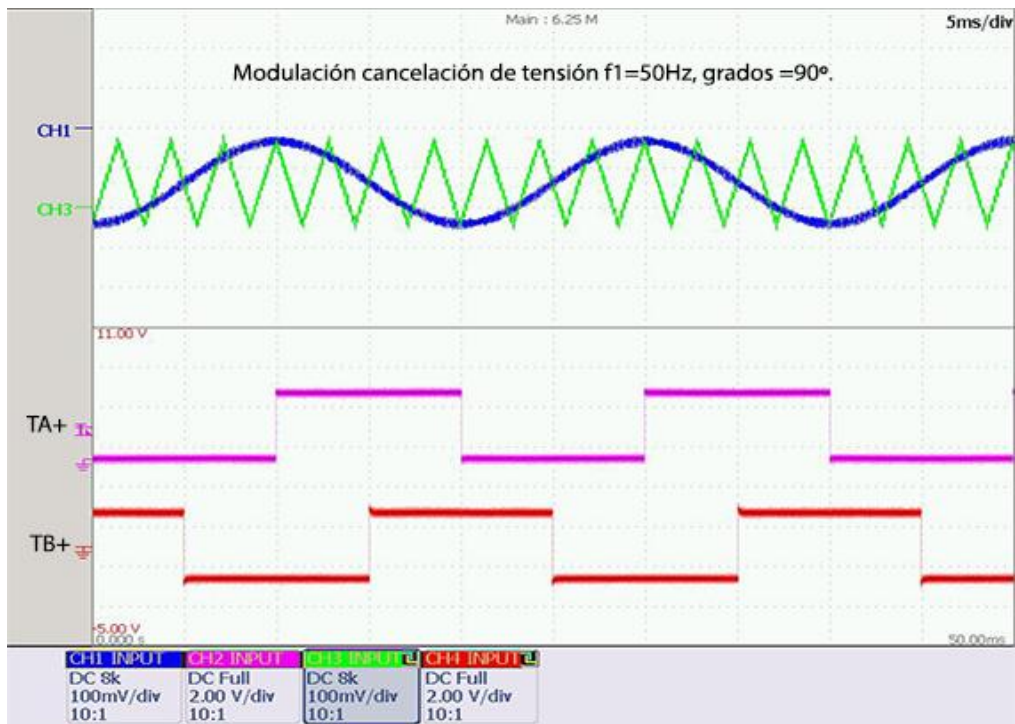


Figura 4.54 Captura osciloscopio Cancelación de tensión  $\text{grados}=90^\circ$ ,  $f_1=50\text{Hz}$ .

En la figura 4.52 se ha añadido la imagen de  $\text{grados} = 0^\circ$  para comprobar también el funcionamiento de onda cuadrada ideal.

#### 4.2.1.4. Modulación PWM trifásica clásica.

Con la intención de relacionar las gráficas se ha intentado seguir el código de colores de las señales seno asignados en las tres siguientes figuras.

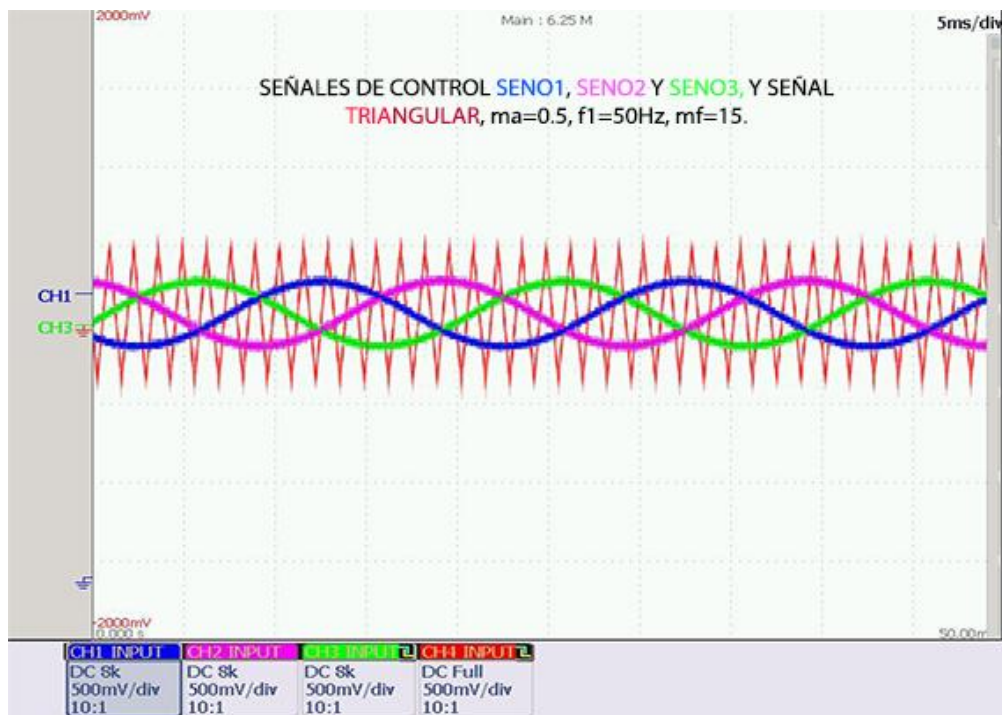


Figura 4.55 Captura osciloscopio modulación PWM trifásica clásica  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ , señales de control y triangular.

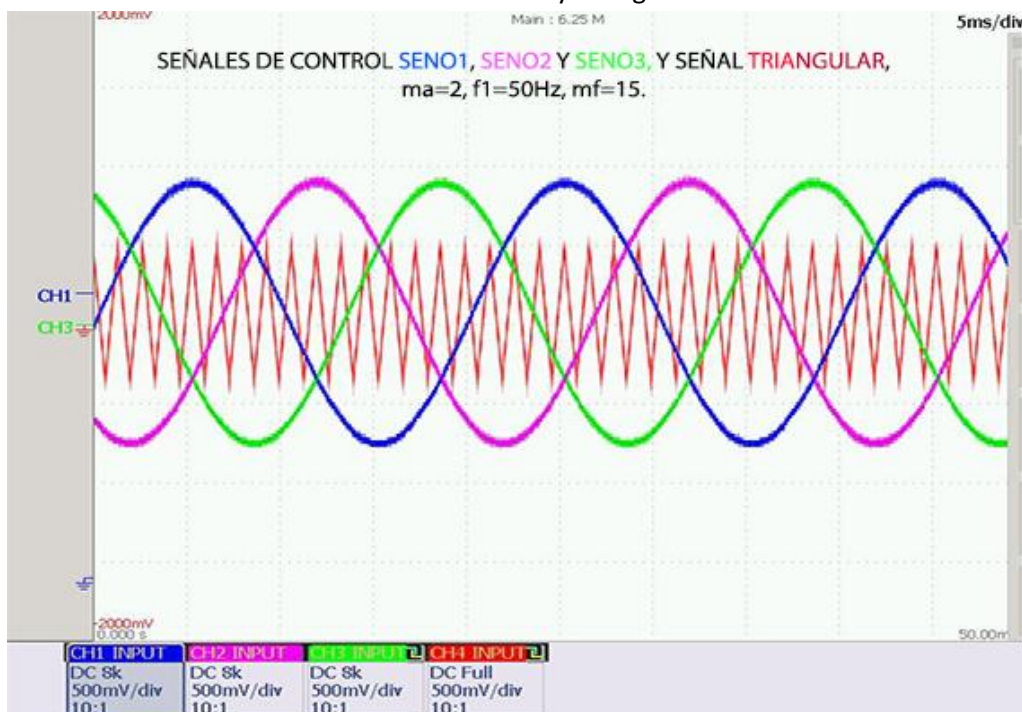


Figura 4.56 Captura osciloscopio modulación PWM trifásica clásica  $m_a=2$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ , señales de control y triangular.



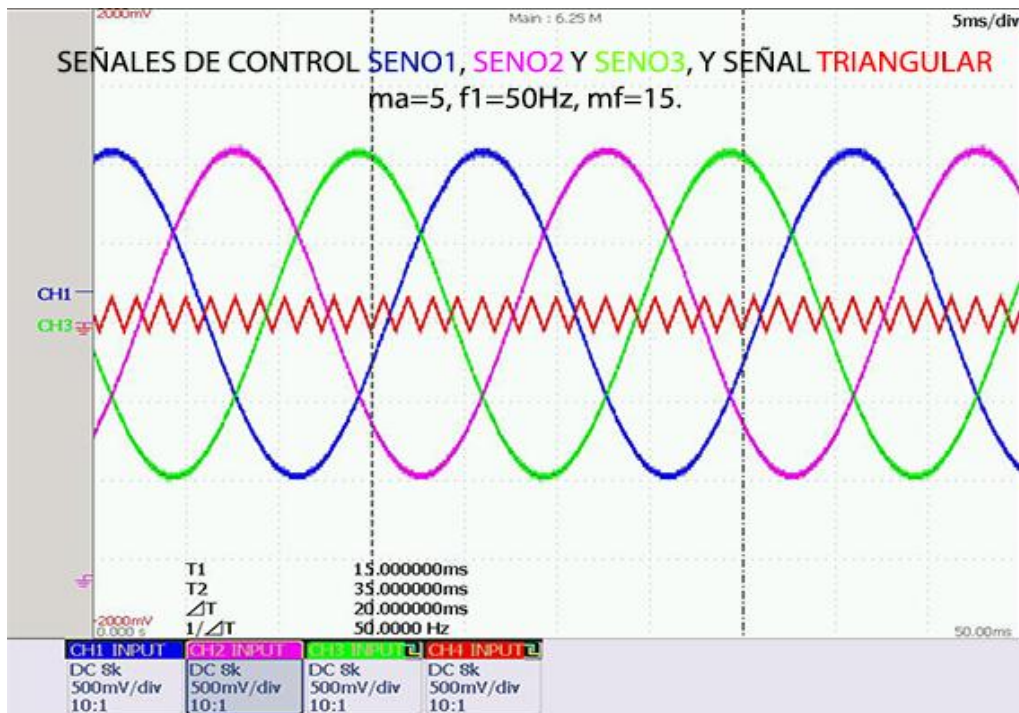


Figura 4.57 Captura osciloscopio modulación PWM trifásica clásica  $m_a=5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ , señales de control y triangular.

A continuación se muestran las capturas de cada fase para cada zona de modulación lineal, figura 4.58, de sobremodulación, figura 4.59 y de onda cuadrada, figura 4.60.

En los siguientes apartados, 4.2.1.5, 4.2.1.6 y 4.2.1.7 se demuestra el funcionamiento en zona lineal de los métodos THIPWM 1/4, THIPWM 1/6 y CB-SPWM para valores de  $m_a$  superiores a la unidad.

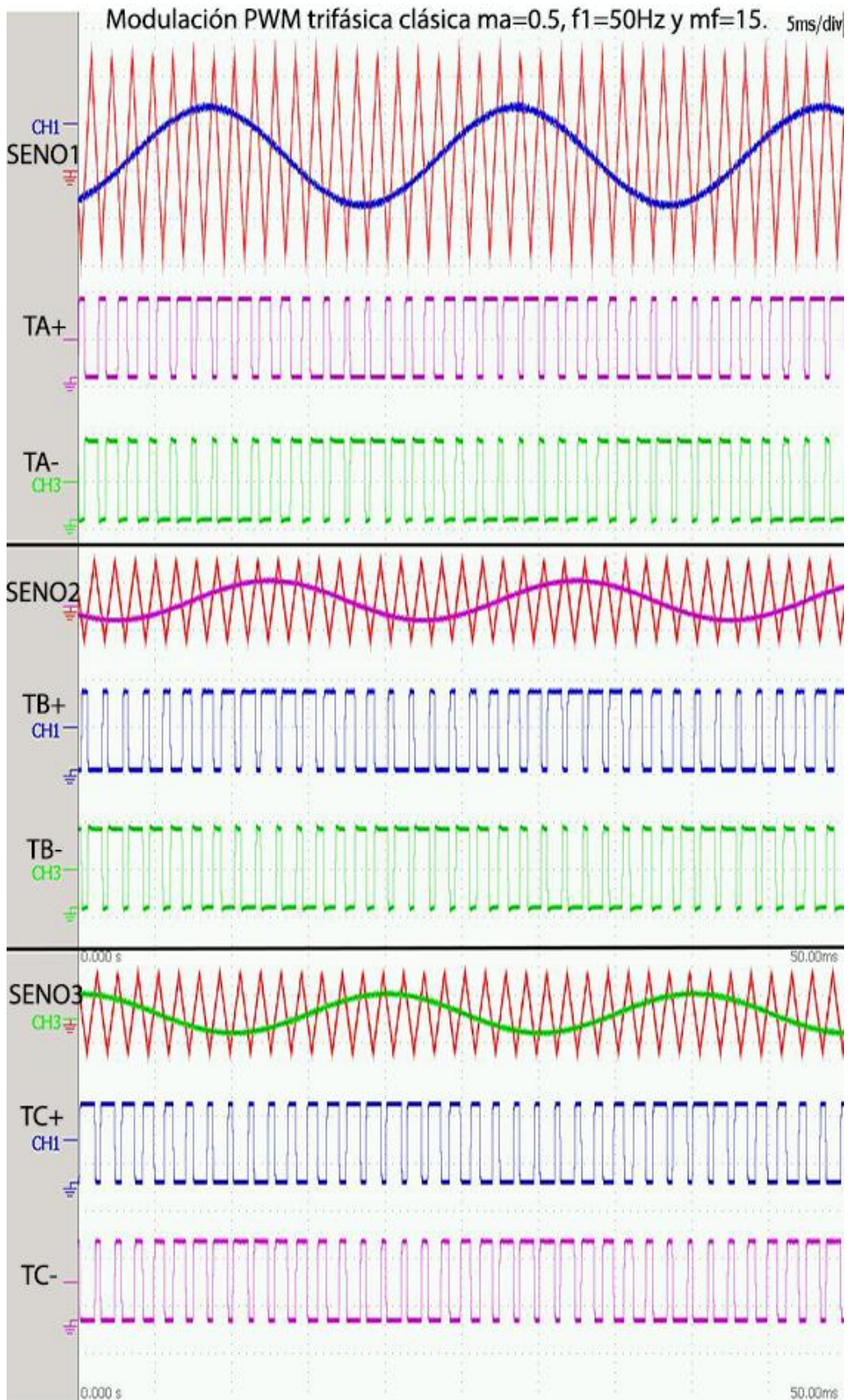


Figura 4.58 Captura osciloscopio modulación PWM trifásica clásica  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

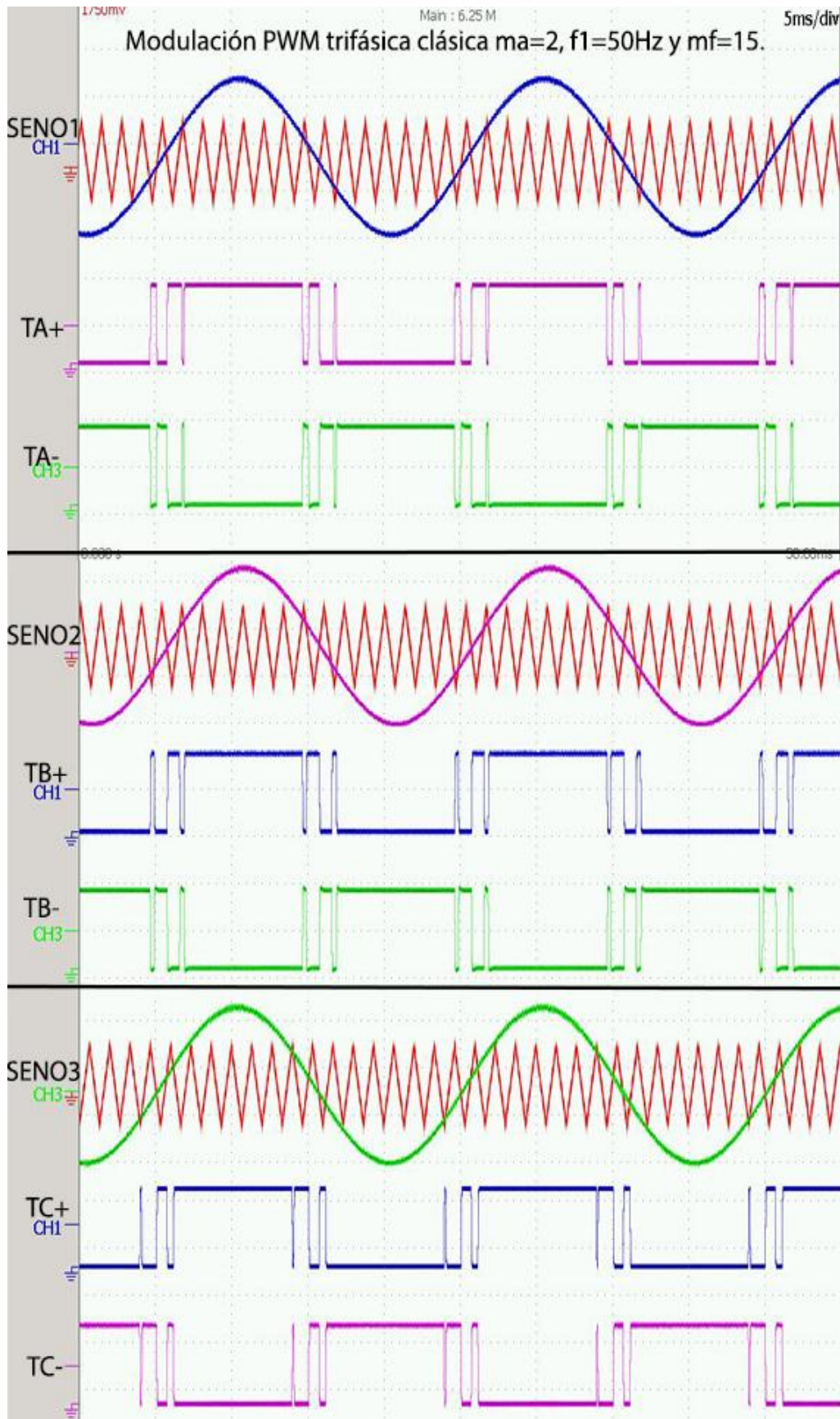


Figura 4.59 Captura osciloscopio modulación PWM trifásica clásica  $m_a=2$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

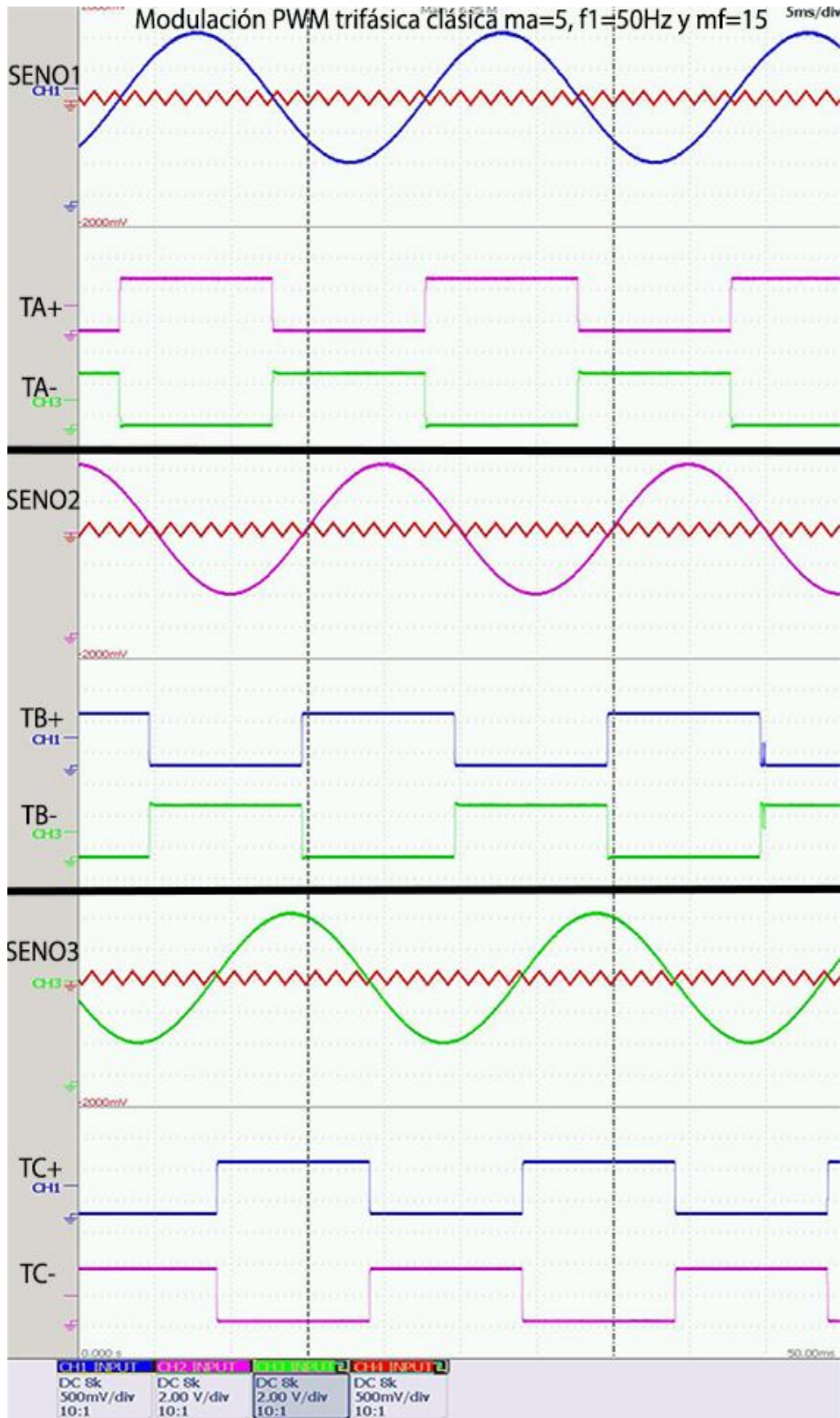


Figura 4.60 Captura osciloscopio PWM trifásica clásica  $m_a=10$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

#### 4.2.1.5. Modulación PWM con inyección de tercer armónico THIPWM 1/4.

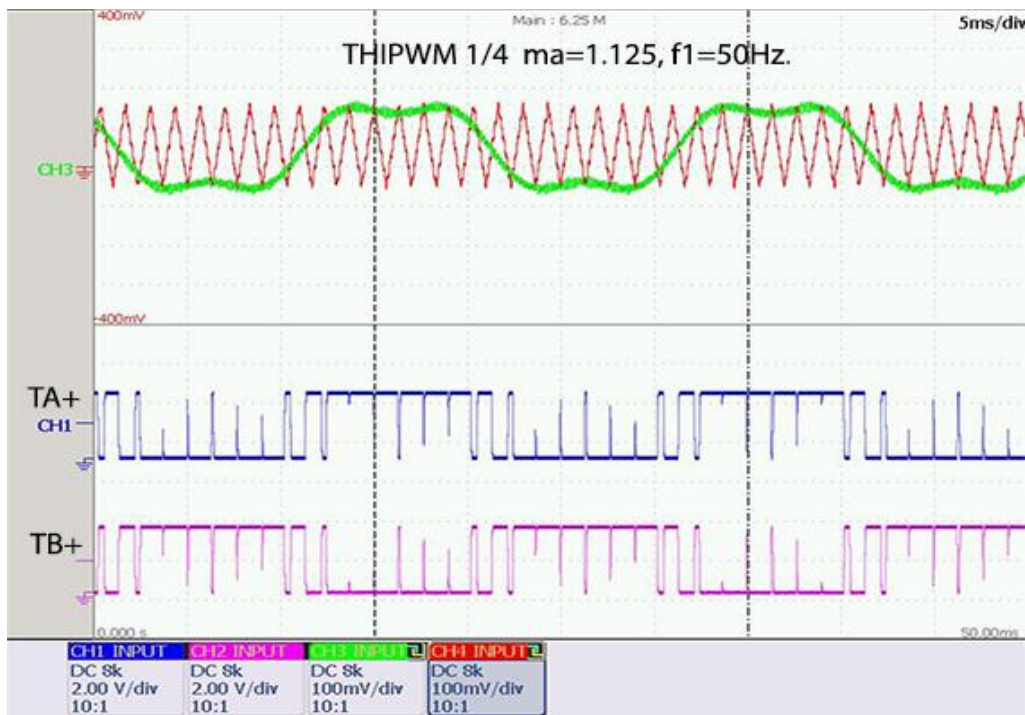


Figura 4.61 Captura osciloscopio THIPWM 1/4  $m_a=1.125, m_f=15, f_1=50\text{Hz}$ .

#### 4.2.1.6. Modulación PWM con inyección de tercer armónico THIPWM 1/6.

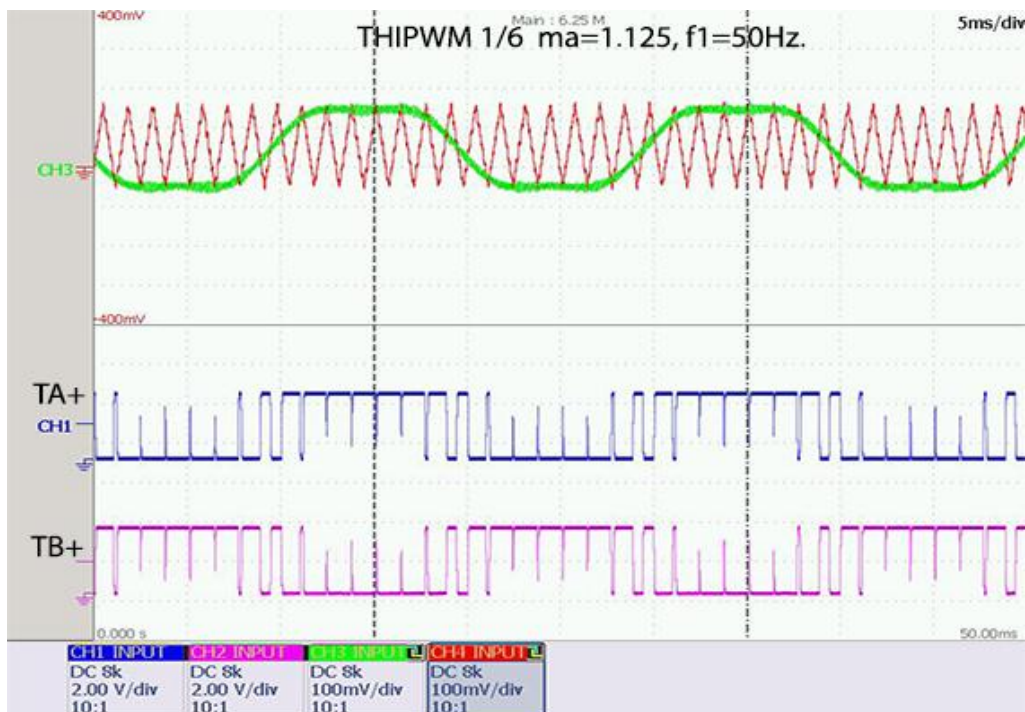


Figura 4.62 Captura osciloscopio THIPWM 1/6  $m_a=1.125, m_f=15, f_1=50\text{Hz}$ .

#### 4.2.1.7. Modulación PWM CB-SPWM.

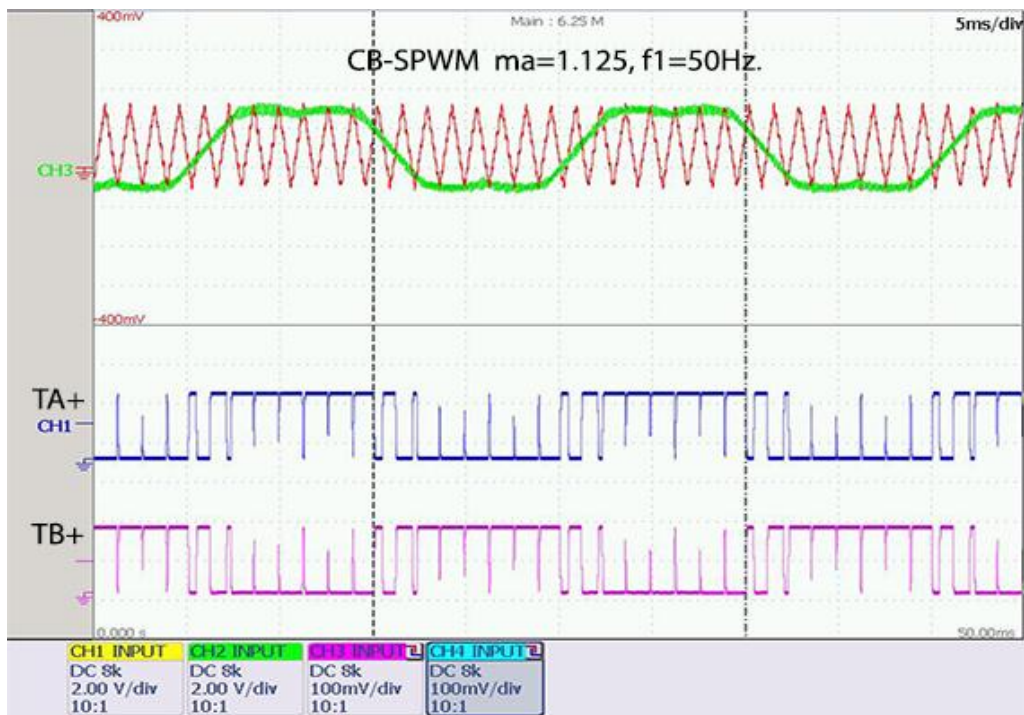


Figura 4.63 Captura osciloscopio CB-SPWM  $m_a=1.125$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

#### 4.2.1.8. Modulación de tiempos muertos. Comprobaciones.

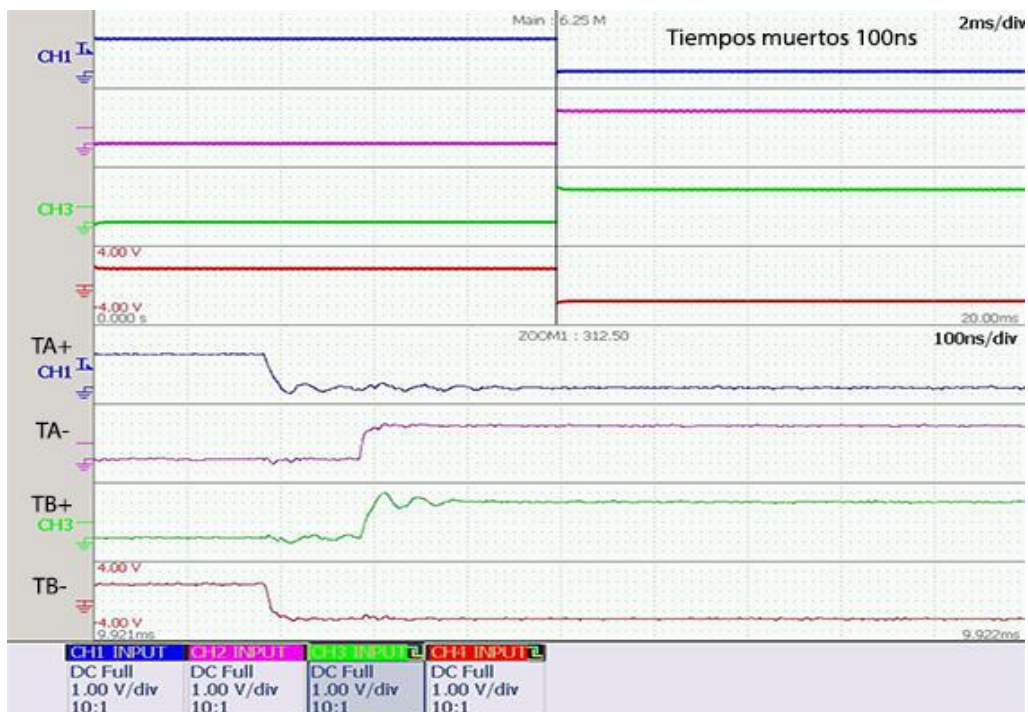


Figura 4.64 Captura osciloscopio tiempos muertos 100ns.

Se comprueba así el funcionamiento de todos los tiempos muertos para las opciones de 100ns, 3us, y 6us, tanto los flancos de subida como en los de bajada.

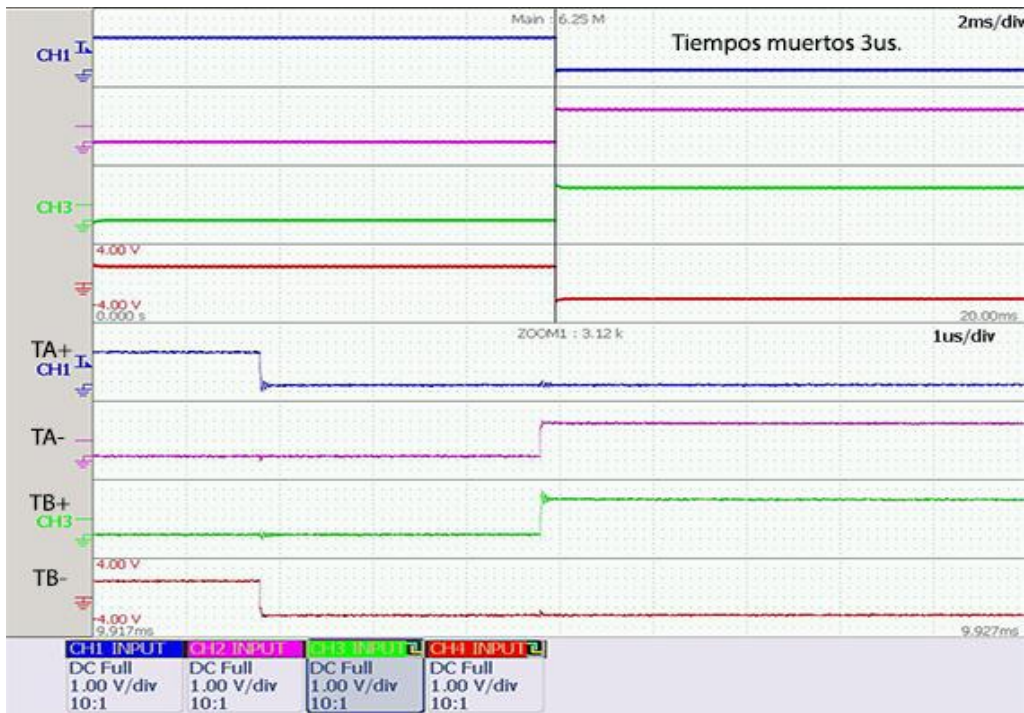


Figura 4.65 Captura osciloscopio tiempos muertos 3us.

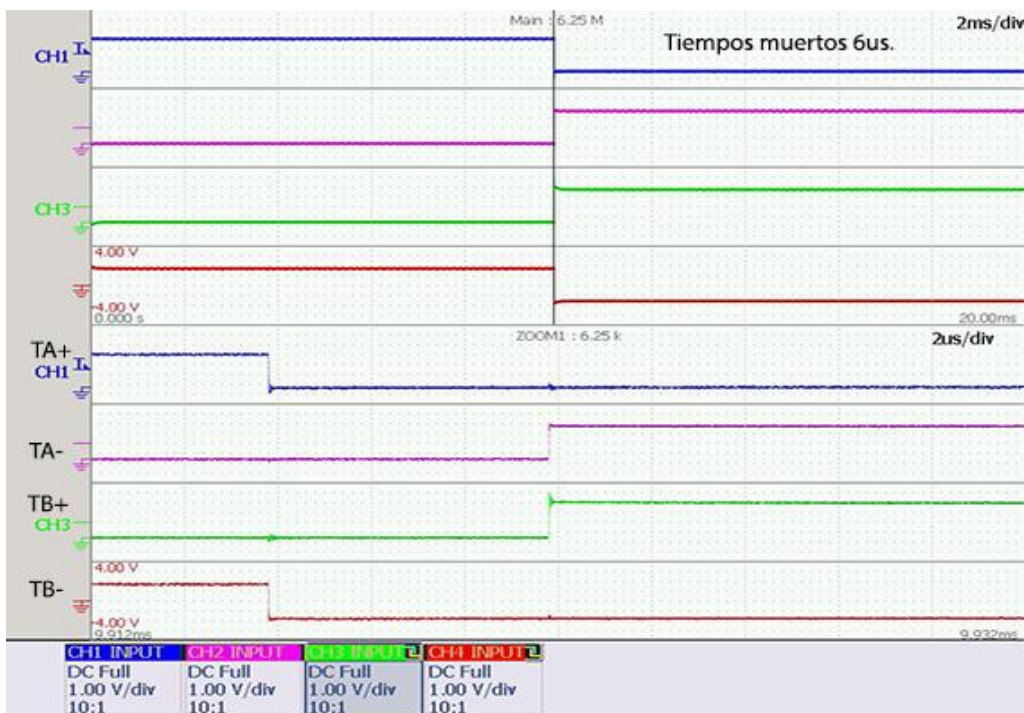


Figura 4.66 Captura osciloscopio tiempos muertos 6us bajada  $TA+$ .

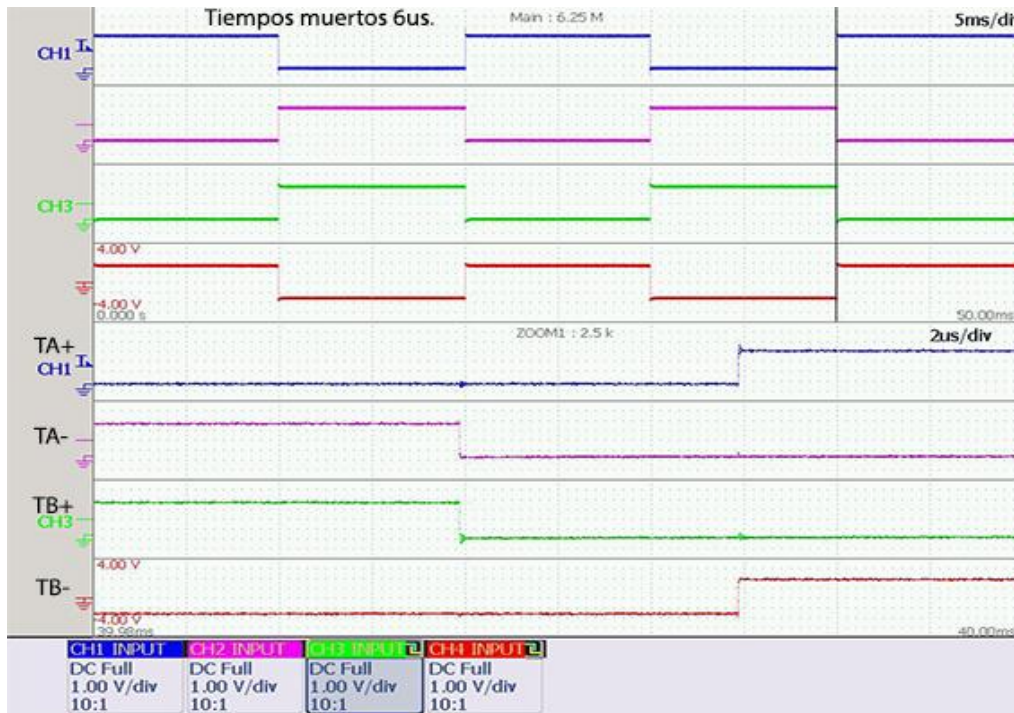


Figura 4.67 Captura osciloscopio tiempos muertos 6us subida TA+.

#### 4.2.2. Pruebas reales del inversor.

Todas las pruebas realizadas se han realizado con una tensión en el bus de continua de 24V, excepto la prueba de excitación de motor que se ha utilizado una fuente más potente capaz de dar hasta 35V y 45A.

##### 4.2.2.1. Modulación bipolar.

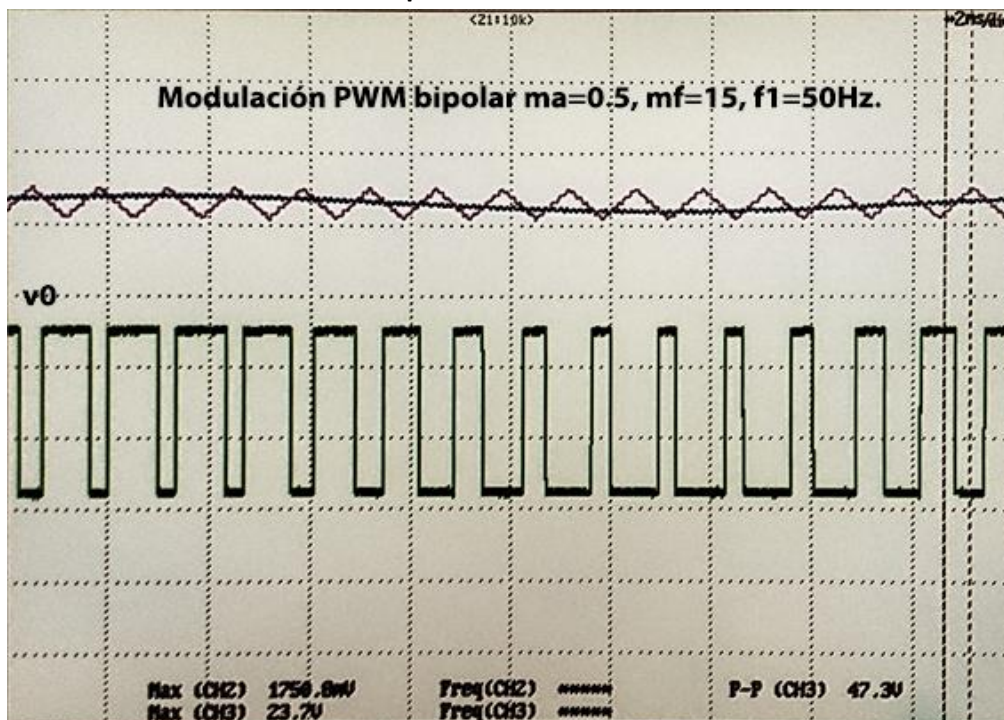


Figura 4.68 Captura osciloscopio inversor modulación bipolar  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .



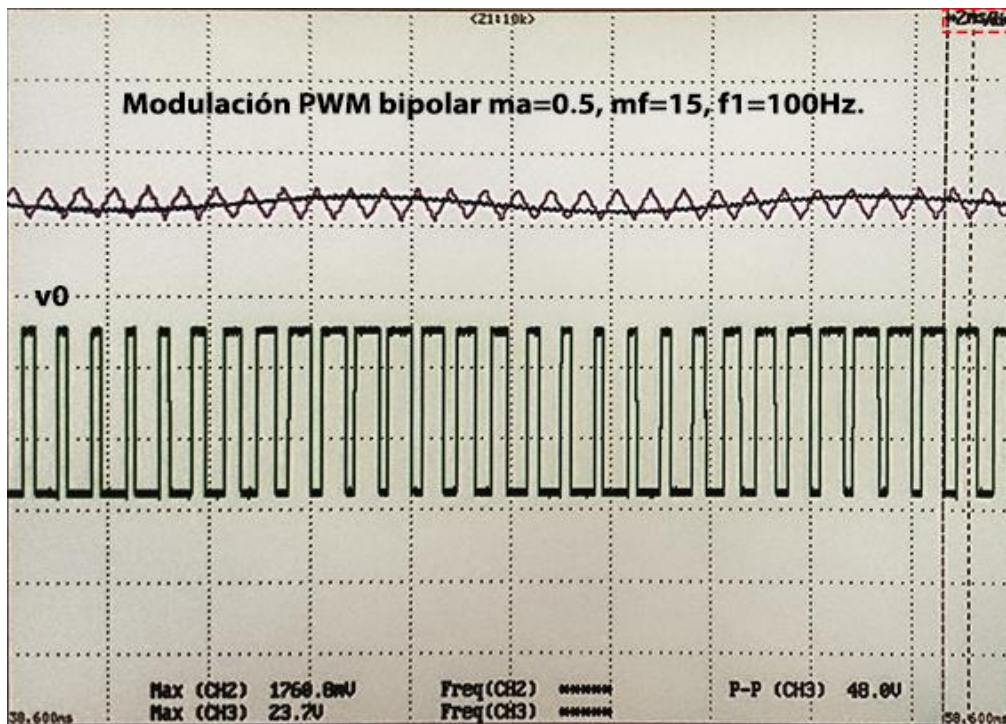


Figura 4.69 Captura osciloscopio inversor modulación bipolar  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=100\text{Hz}$ .

Nótese el cambio de números de ciclos de señal moduladora entre las figuras 4.69 y 4.68, siendo en la primera (50Hz) el doble que en la segunda(100Hz).

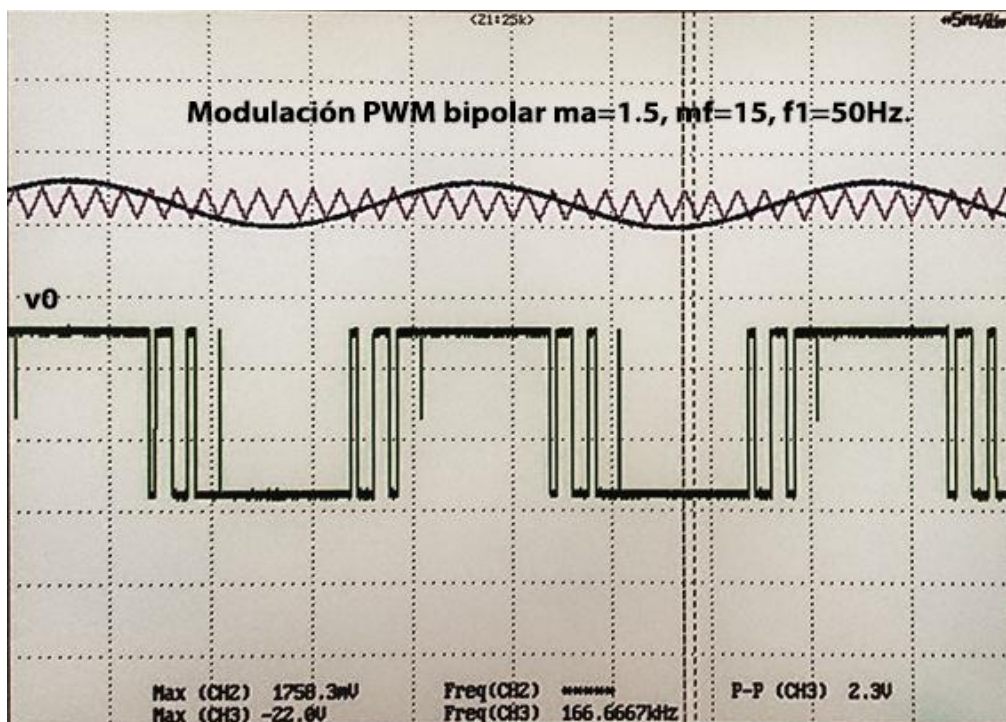


Figura 4.70 Captura osciloscopio inversor modulación bipolar  $m_a=1.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

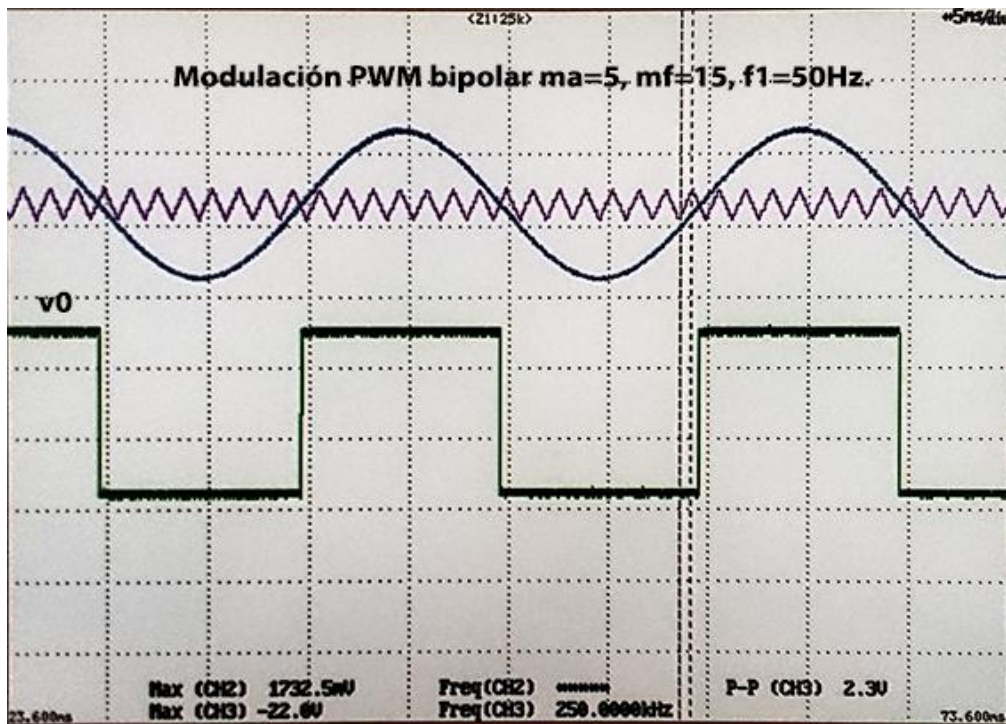


Figura 4.71 Captura osciloscopio inversor modulación bipolar  $m_a=5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

#### 4.2.2.2. Modulación unipolar.

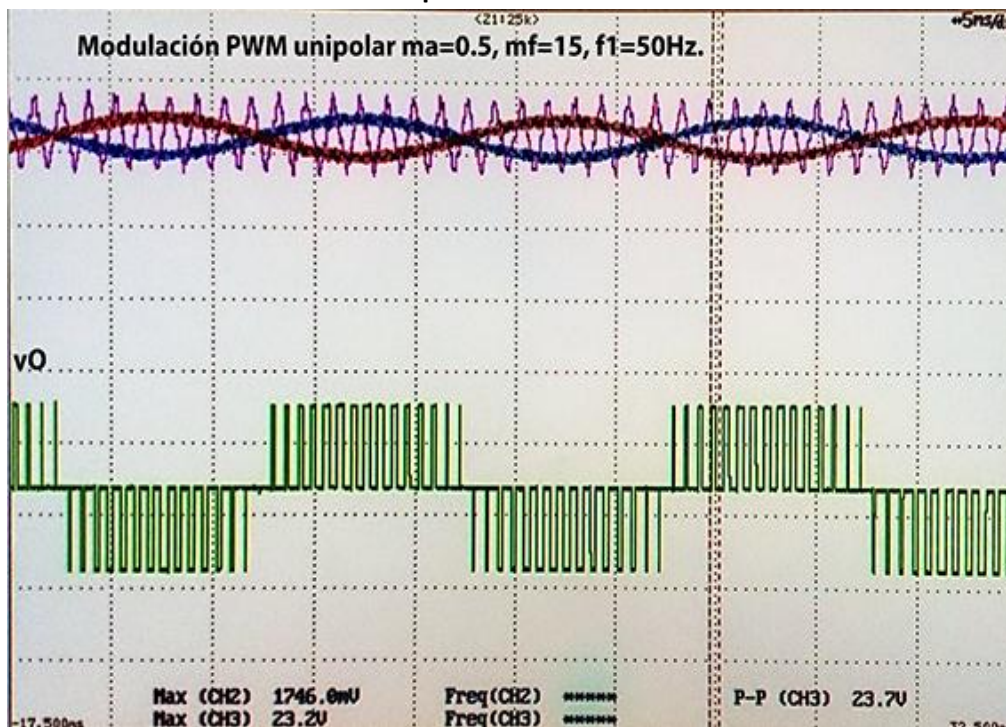


Figura 4.72 Captura osciloscopio inversor modulación unipolar  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

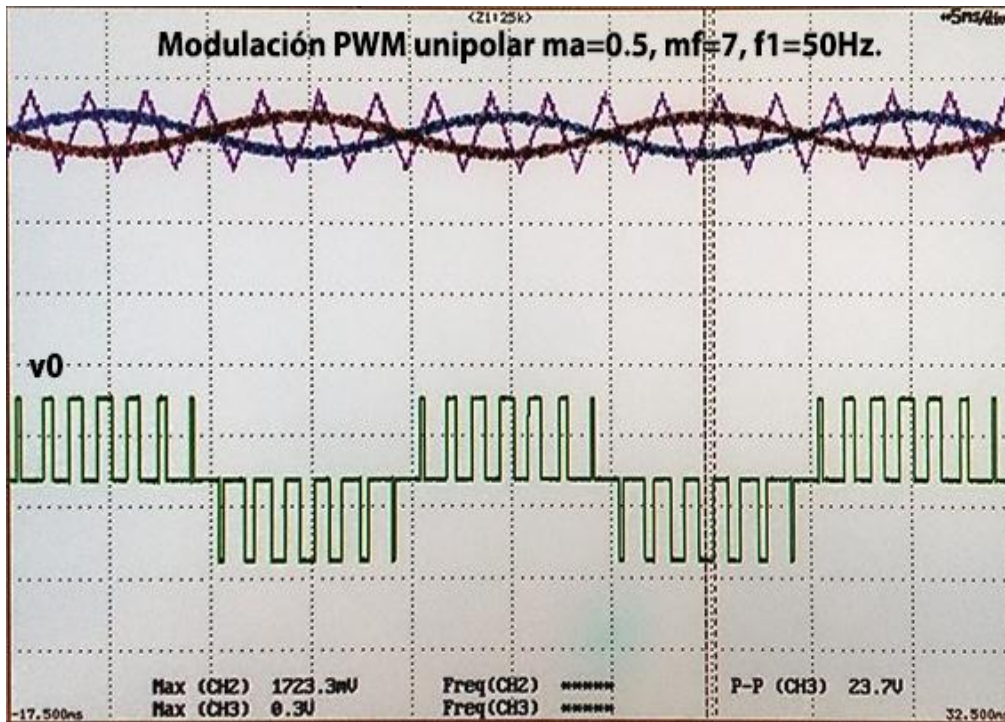


Figura 4.73 Captura osciloscopio inversor modulación unipolar  $m_a=0.5$ ,  $m_f=7$ ,  $f_1=50\text{Hz}$ .

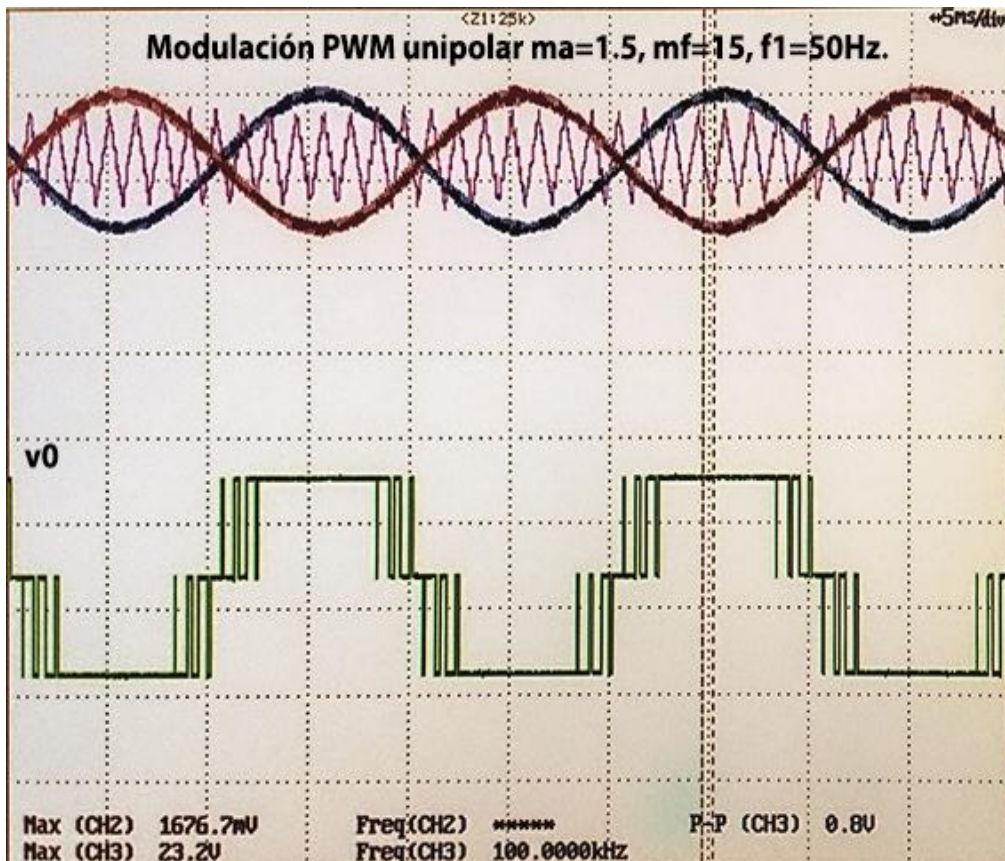


Figura 4.74 Captura osciloscopio inversor modulación unipolar  $m_a=1.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

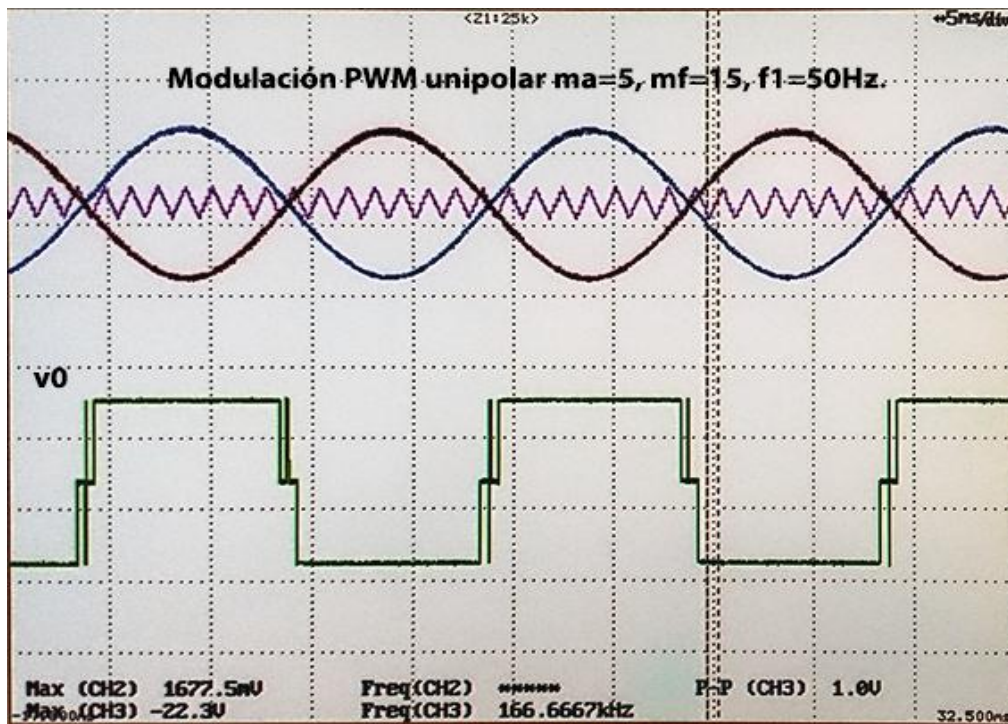


Figura 4.75 Captura osciloscopio inversor modulación unipolar  $m_a=5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

#### 4.2.2.3. Cancelación de tensión.

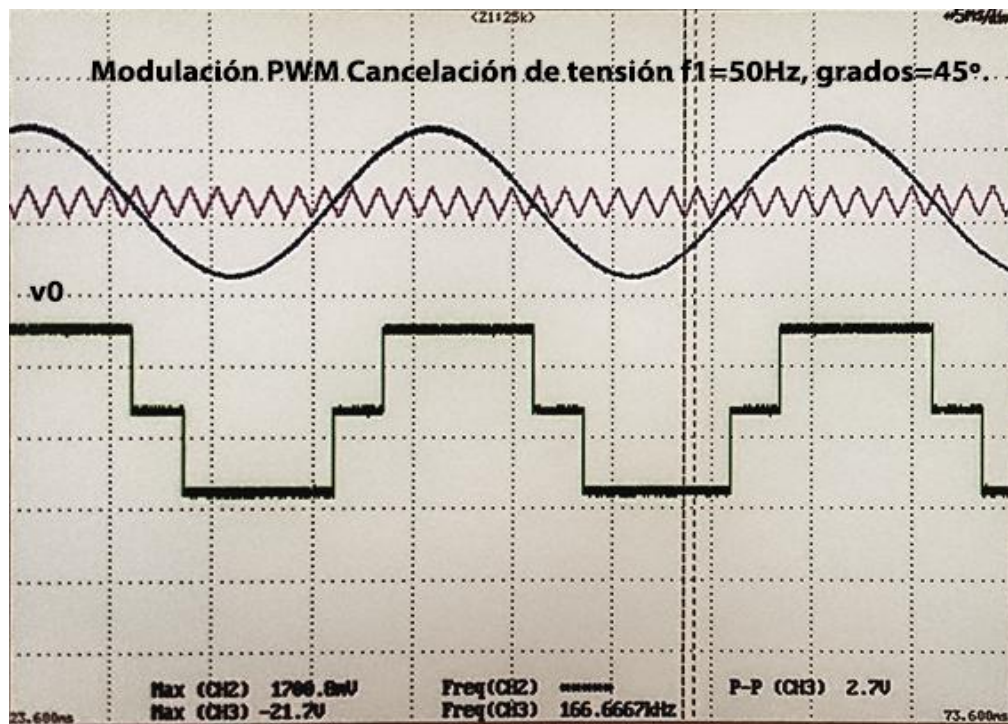


Figura 4.76 Captura osciloscopio inversor Cancelación de tensión,  $f_1=50\text{Hz}$ ,  $\text{grados}=45^\circ$ .

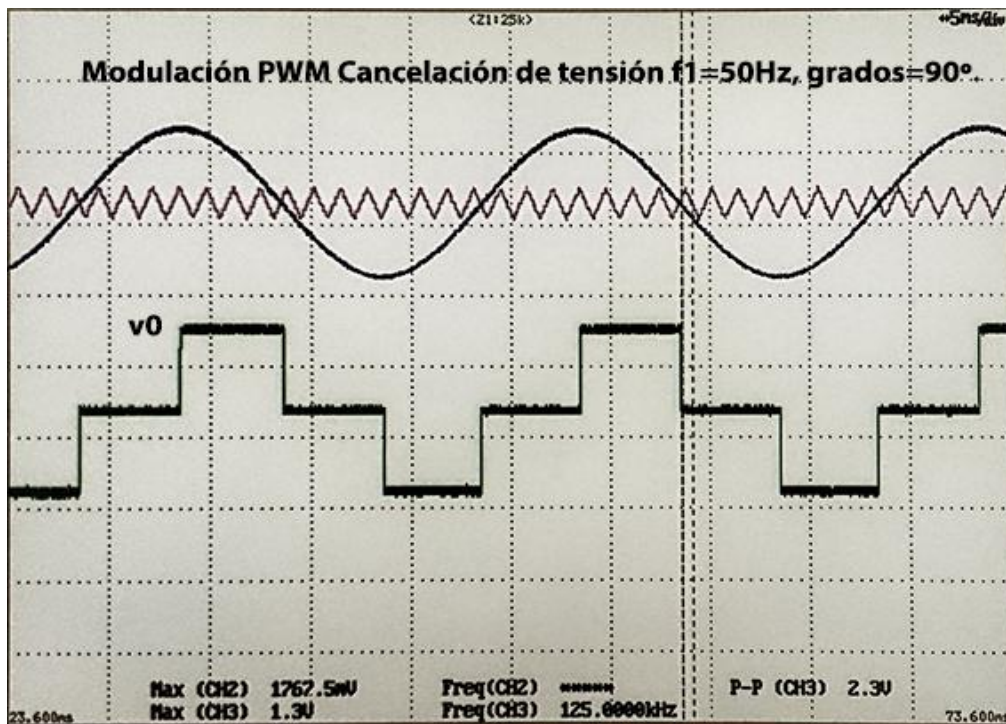


Figura 4.77 Captura osciloscopio inductor Cancelación de tensión,  $f_1=50\text{Hz}$ ,  $\text{grados}=90^\circ$ .

#### 4.2.2.4. Modulación PWM trifásica clásica.

A continuación se procede a mostrar las pruebas realizadas en modo SPWM trifásico centrándose en las tensiones de fase y línea a línea del inductor. Además en la figura 4.78, que se corresponde con la simulación de la figura 4.36 se muestra el límite de zona lineal de la PWM trifásica clásica para poder ser comparada con los otros métodos de modulación de las figuras 4.82, 4.83 y 4.84.

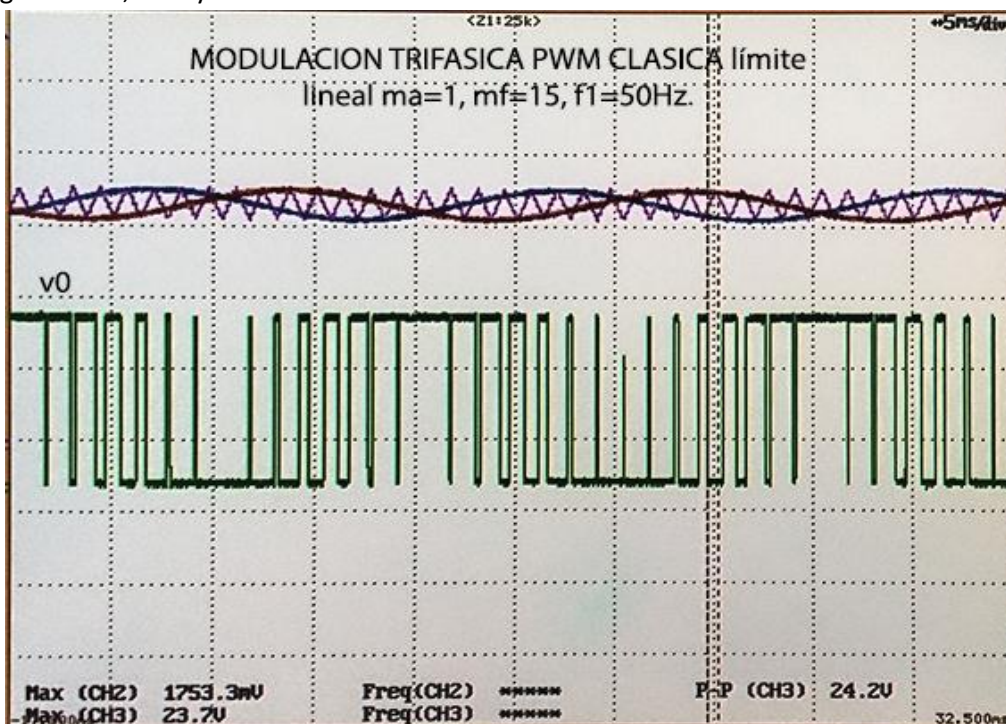


Figura 4.78 Captura osciloscopio inductor modulación PWM trifásica clásica  $m_a=1$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

MODULACIÓN TRIFÁSICA PWM CLÁSICA  $m_a=0.5$ ,  $f_1=50\text{Hz}$ ,  $m_f=15$ .

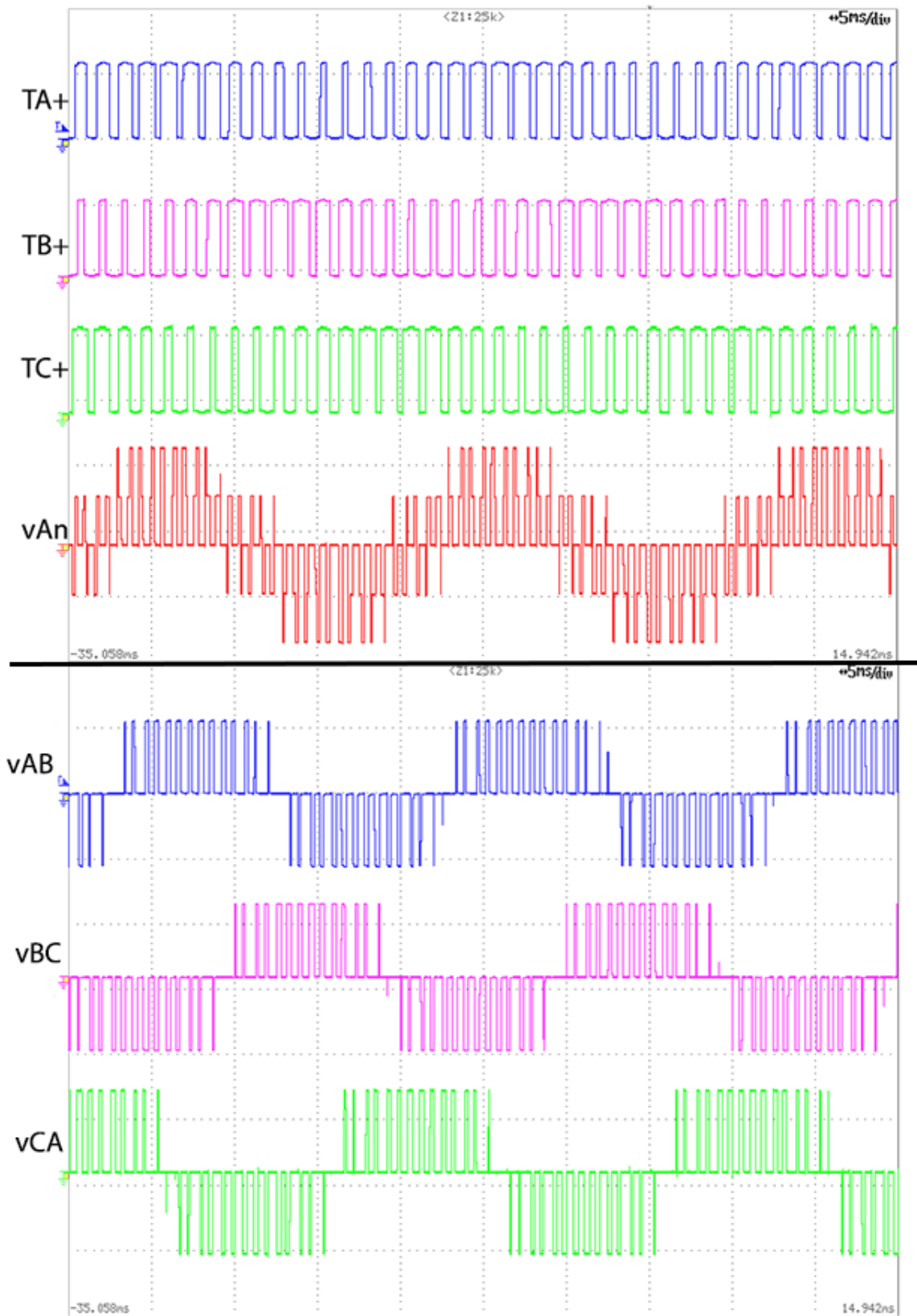


Figura 4.79 Captura osciloscopio inductor modulación PWM trifásica clásica  $m_a=0.5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

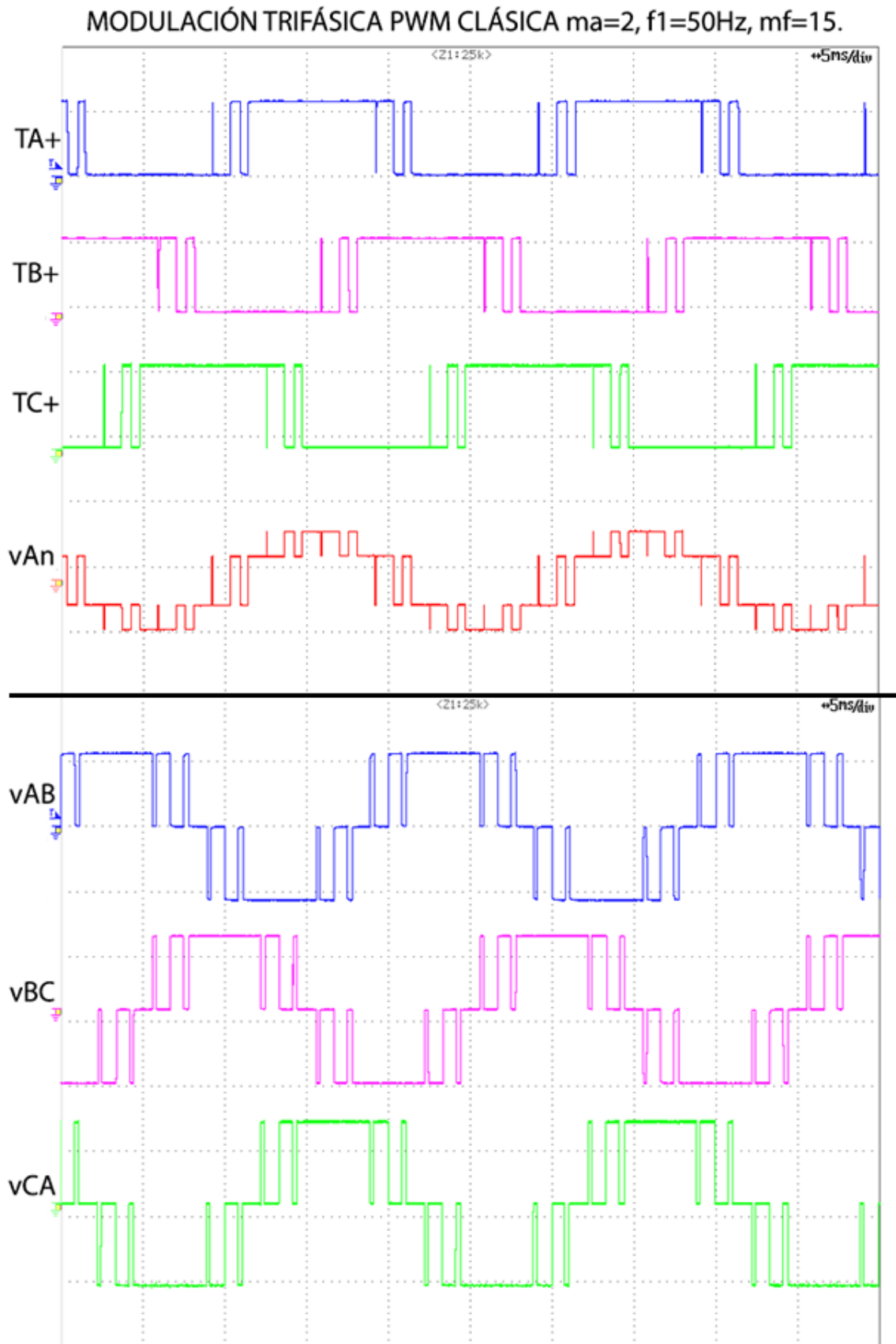


Figura 4.80 Captura osciloscopio inductor modulación PWM trifásica clásica  $m_a=2$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

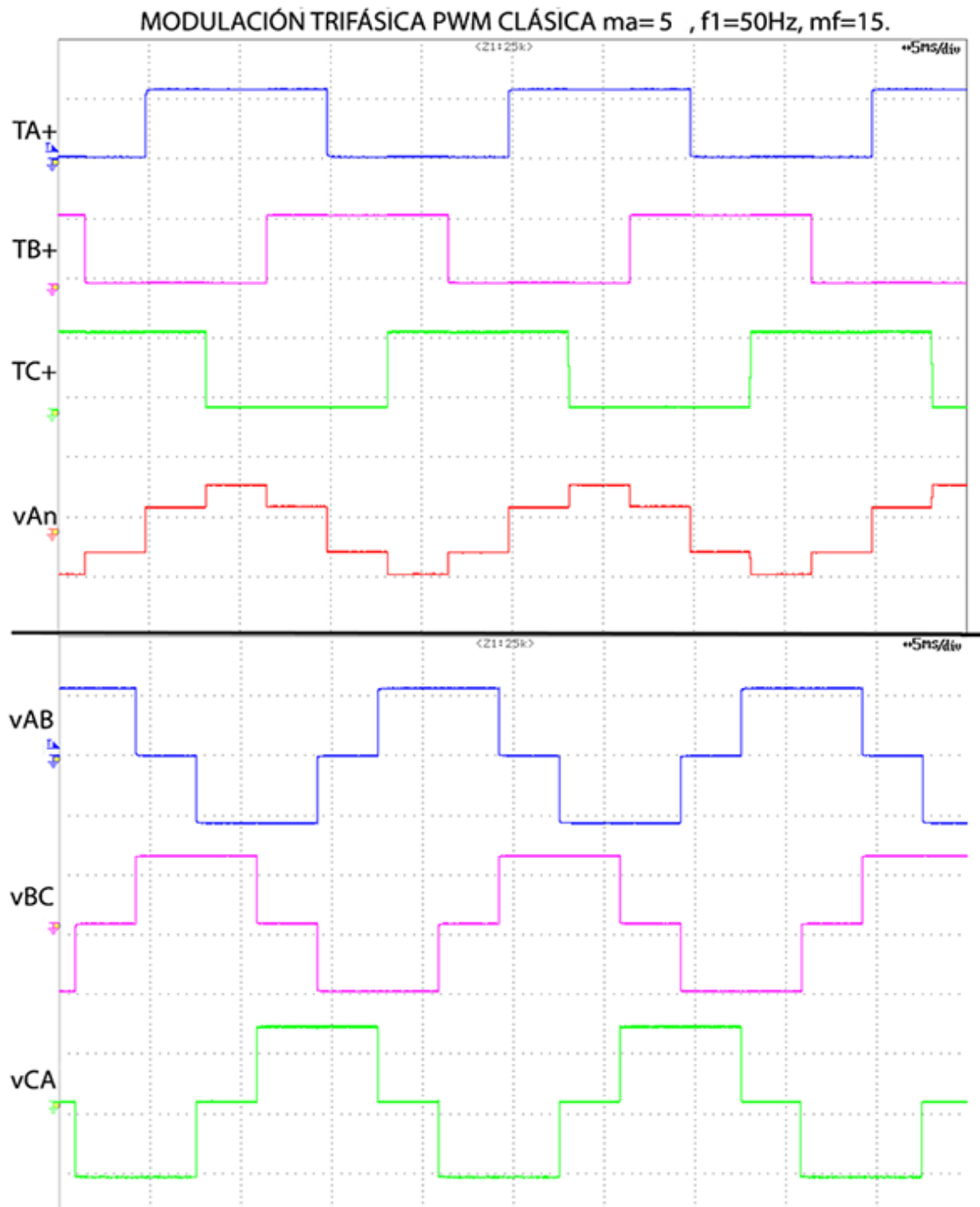


Figura 4.81 Captura osciloscopio inverter modulación PWM trifásica clásica  $m_a=5$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

La figura 4.79 se puede comparar con la figura 4.36, la 4.80 con la 4.37 y la 4.81 con la 4.38 comprobando así que el inverter trifásico responde como se esperaba.



#### 4.2.2.5. Modulación PWM con inyección de tercer armónico THIPWM 1/4.

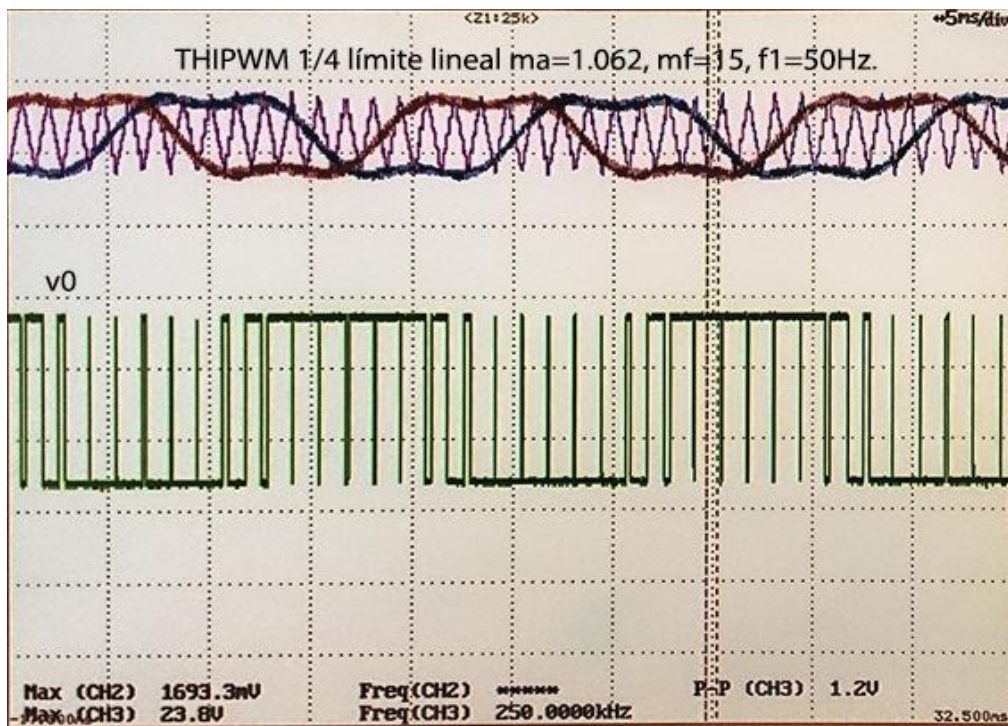


Figura 4.82 Captura osciloscopio inversor THIPWM 1/4  $m_a=1.062$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

#### 4.2.2.6. Modulación PWM con inyección de tercer armónico THIPWM 1/6.

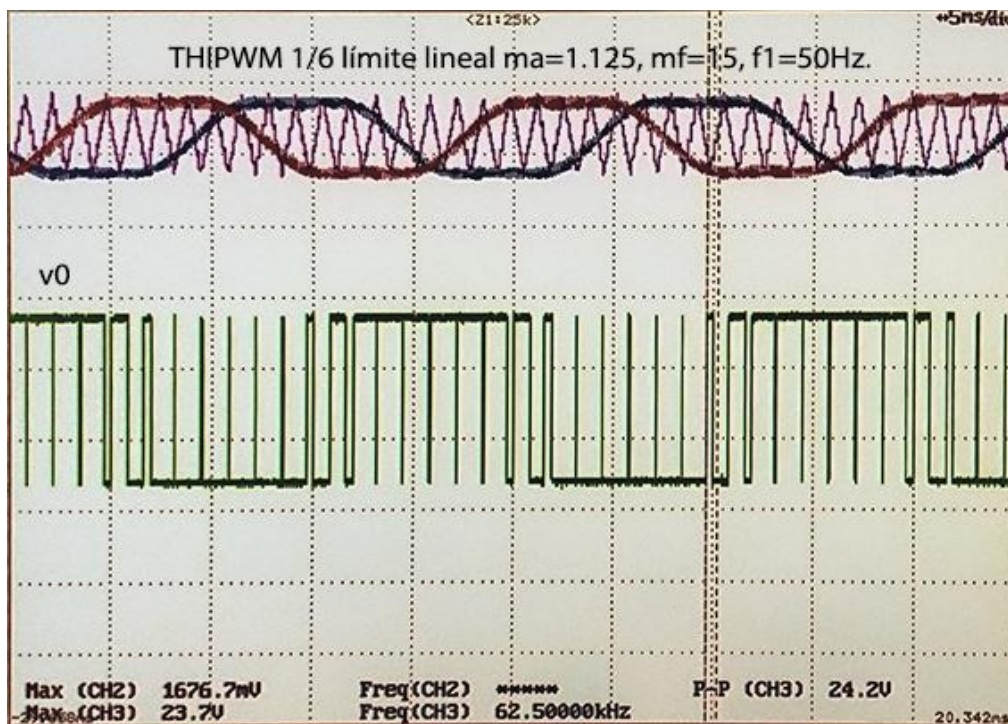


Figura 4.83 Captura osciloscopio inversor THIPWM 1/6  $m_a=1.125$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

#### 4.2.2.7. Modulación PWM CB-SPWM.

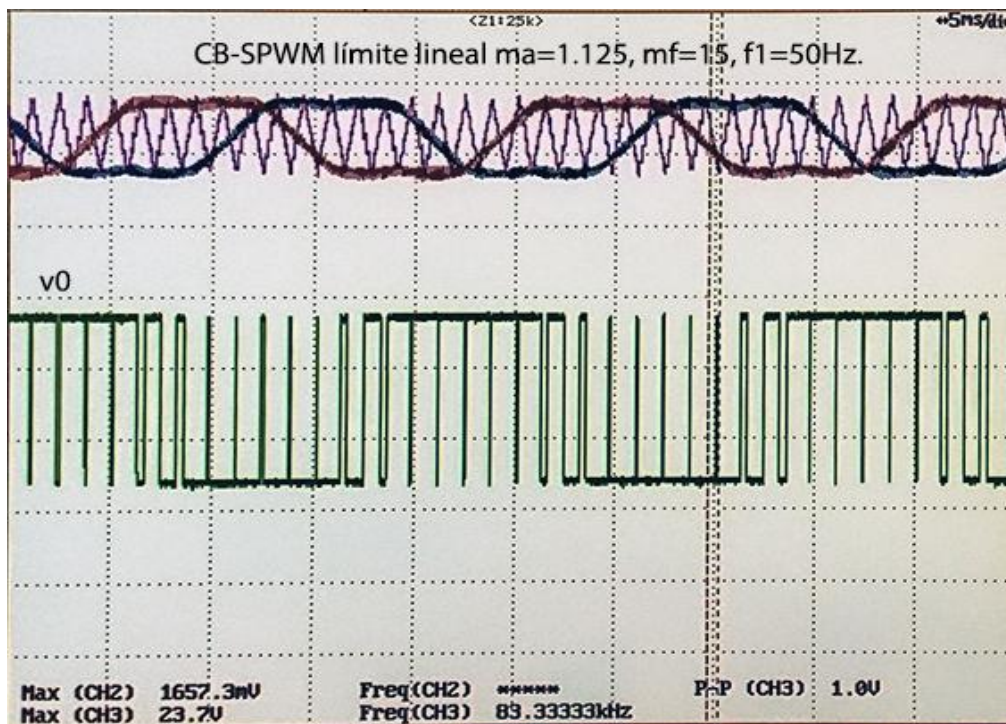


Figura 4.84 Captura osciloscopio inversor CB-SPWM  $m_a=1.125$ ,  $m_f=15$ ,  $f_1=50\text{Hz}$ .

#### 4.2.2.8. Excitación del motor trifásico mediante tensión/frecuencia.

Esta prueba ha sido realizada exitosamente con la fuente de alimentación Delta Elektronika SM 35-45[21] ya que para que motor alcance su tensión nominal es necesario que el bus de continua se alimente a 35.92 para una  $m_a$  de 1. Este valor se puede obtener de la ecuación 2.25 teniendo en cuenta que la tensión eficaz de línea en triángulo del motor es 22V. Para demostrar el buen funcionamiento de esta prueba se ha hecho un vídeo que se incluye en el CD adjunto a este trabajo donde se observa como la señal de control o moduladora se aumenta o disminuye en frecuencia y amplitud simultáneamente hasta el límite de zona lineal. Se especifica que la señal magenta se corresponde con la tensión de fase  $v_{AN}$  y la señal azul con la tensión de línea  $v_{AB}$ .

### 4.3. Resultados de la implementación.

Los resultados de la implementación del diseño hardware se han adquirido a través de la aplicación ISE Project Navigator generando todos los informes relevantes. Entre los más importantes se puede destacar que el uso de la FPGA no supera la media de 25.3% como muestra la tabla 4.1. Otro aspecto importante que se debe comentar es que el sistema se ha diseñado con un reloj interno de 50 MHz. Este detalle limita la frecuencia máxima de la implementación por lo que se ha optimizado el diseño para que pueda ir a una frecuencia máxima de 65.70 MHz como se muestra a continuación en el resumen temporal.

Timing Summary:

-----

Speed Grade: -4

Minimum period: 15.221ns (Maximum Frequency: 65.700MHz)

Minimum input arrival time before clock: 12.187ns

Maximum output required time after clock: 7.218ns

Maximum combinational path delay: 10.339ns

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Total Number Slice Registers	2,450	17,344	14%
Number used as Flip Flops	2,432		
Number used as Latches	18		
Number of 4 input LUTs	3,810	17,344	21%
Number of occupied Slices	3,028	8,672	34%
Number of Slices containing only related logic	3,028	3,028	100%
Number of Slices containing unrelated logic	0	3,028	0%
Total Number of 4 input LUTs	4,385	17,344	25%
Number used as logic	3,796		
Number used as a route-thru	575		
Number used as Shift registers	14		
Number of bonded IOBs	46	250	18%
Number of BUFGMUXs	3	24	12%
Number of DCMs	1	8	12%
Number of MULT18X18SIOs	5	28	17%
Average Fanout of Non-Clock Nets	3.18		

Tabla 4.1 Resultados de implementación de tarjeta FPGA Spartan 3E 1200.

#### 4.4. Conclusiones y trabajos futuros.

Como se ha podido comprobar comparando todas las pruebas realizadas con las simulaciones, el sistema es capaz de generar las señales PWM correctamente como se esperaba pudiendo ser configuradas en  $m_a$ ,  $m_f$  y  $f_1$  para modificar la amplitud, el THD o la frecuencia fundamental de las señales de salida. Además se ha comprobado el funcionamiento de todos los métodos de modulación diseñados en cada zona moduladora, siendo estos PWM Bipolar, PWM Unipolar, Cancelación de tensión, PWM trifásica o SPWM, Inyección de tercer armónico o THIPWM y PWM con vectores espaciales basada en portadora o CB-SVPWM.

Por otro lado, se ha comprobado que el consumo de recursos en la FPGA Spartan 3E 1200 para implementar el diseño VHDL, resulta bastante bajo, incluso teniendo en cuenta que se ha sintetizado con una FPGA relativamente antigua, no llegando a alcanzar el 26% de sus recursos de media. Asimismo, se ha visto como la velocidad de procesado resulta óptima y suficiente para llevar a cabo una buena ejecución del diseño.

Aparte de lo estudiado en esta tesis, se ha dejado la puerta abierta para la realización de futuras mejoras, como por ejemplo realizar un diseño más compacto de todo el sistema de potencia, en particular, del circuito de adaptación y de la tarjeta FPGA. Otro posible trabajo es incluir otras técnicas de modulación en el diseño como la modulación trifásica vectorial SVM (*Space Vector Modulation*) o incluir un sistema de lazo cerrado en el sistema de potencia asociando los contenidos vistos en asignaturas relacionadas con control electrónico.

Por último se podría mejorar el diseño hardware para crear un control óptimo de velocidad de motores trifásicos ampliando su utilización de esta aplicación a otros campos como, por ejemplo, Control de Máquinas. Anterior a este control de velocidad también se podría añadir al sistema de potencia elementos como células fotovoltaicas con baterías estables capaces de alimentar el bus de continua.

## SECCIÓN VII – DIAGRAMAS Y PLANOS. CÓDIGOS RELEVANTES.

En esta sección se mostrarán todos los códigos relevantes a cada módulo explicado en el Capítulo 3 de la Sección VI. Con la intención de que el lector pueda relacionar los módulos se sigue el mismo criterio de colores que se escogió en ese capítulo.

### VII.1. Códigos Módulo configuración.

```
-----GESTIÓN DE SEÑALES DE ACTIVACIÓN PARA LOS BOTONES-----
process(clock,reset)
begin
if reset='1' then
    interruptor_mot_11<='0';
    int_mot_01<='0';
    int_mot_01menos<='0';
elseif rising_edge(clock) then
    -----mot MÁS-----
    interruptor_mot_11<=sumar;
    if interruptor_mot_11 = '0' and sumar='1' and restar='0' then
        -- Paso a nivel alto.
        int_mot_01<='1';
    else
        int_mot_01<='0';
    end if;
    if interruptor_mot_11 = '1' and sumar='0' and restar='0' then
        -- Paso a nivel bajo.
        int_mot_01menos<='1';
    else
        int_mot_01menos<='0';
    end if;
else
    end if;
end process;
```

Código VII.1 Ejemplo de gestión de señal de nivel alto de los botones para aumentar señales.

```
-----GESTIÓN DE SEÑALES DE RELOJ PARA CUENTA LENTA-----
process( clock,reset)
variable contador01:integer:=0;
begin
    if reset='1' then
        contador01:=0;
        sem03<='0';
    elseif rising_edge( clock ) then
        if int_mot_01='1' or int_mot_02='1' then
            sem03<='1';
        end if;
    end if;
end process;
```

```
end if;
if sem03='1' then
    contador01:=contador01+1;
    if contador01 = 7500000 then-- 0.15 seg 7 500 000.
        contador01:=0;
        sem03<='0';-- Activa la posibilidad de cambiar señal.
    end if;
end if;
end if;
end process;
```

Código VII.2 Ejemplo de gestión de señal de Reloj cuenta lenta.

```
-----GESTIÓN DE LA SEÑAL F1-----
process(clock,reset)
constant limite_bajo_f1: integer:=5;--20 Hz.
constant limite_alto_f1: integer:=85;--100 Hz.
constant pasof1: integer:=1; -- Paso lento de 1 en 1.
variable contador01:integer:=0;
constant pasof1_rapido: integer:=5; -- Paso rápido de 5 en 5.
begin
if reset='1' then
    f1<=35;
    f12<=35;
    f13<=35;
    sem_dividir1<='0';
    contador01:=0;
elsif rising_edge(clock) then
    if SW(2 downto 0)="100" then
        if sem03='0' then--Paso lento activado.
            if int_mot_01 ='1' then
                f1<= f1+pasof1;
                sem_dividir1<='1';-- Activa la cuenta de latencia del divisor.
            elsif int_mot_02 ='1' then
                f1<= f1-pasof1;
                sem_dividir1<='1';
            else
                end if;
            -- Límites de la señal.
            if f1< limite_bajo_f1 then
                f1<=5;--20
                sem_dividir4<='1';
            elsif f1>limite_alto_f1 then
                f1<=85;--100
                sem_dividir4<='1'; -- Activa la cuenta de latencia del divisor.
            else

```

```
        sem_dividir4<='0';
    end if;
else
    sem_dividir1<='0';
end if;
if sem01='1' then-- Paso rápido activado.
    contador01:=contador01+1;
    if contador01 = 10000000 then-- 15 cambios por segundo 10 000 000.
        contador01:=0;
        if sumar='1' and restar='0' then
            f1<= f1+pasof1_rapido;
            sem_dividir1<='1';
        elsif sumar='0' and restar='1' then
            f1<= f1-pasof1_rapido;
            sem_dividir1<='1';
        else
            end if;
        else
            sem_dividir1<='0';
        end if;
    else
        end if;
    end if;
    f12<=f1;
    if f1=f12 then
        f13<=f1;
    else
        f13<=f13;
    end if;
else
end if;
end process;
```

Código VII.3 Ejemplo de gestión de la señal f1.

```
-----ELECCIÓN DE LA SEÑAL CRÍTICA ENVIADA AL MÓDULO DISPLAY-----
process(clock,reset)
begin
if reset='1' then
    dato_entrada <= "000000000000";-- Dato Display.
elsif rising_edge(clock) then
    case SW(2 downto 0) is
        when "001" => dato_entrada <= mf_01(9)&mf_01(9)&mf_01(9)&mf_01(8 downto 0) ;
        when "010" => dato_entrada <= ma_01(8)&ma_01(8)&ma_01(8)&ma_01(8 downto 0);
```

```
when "100" => dato_entrada <= f1_01(7)&f1_01(7)&f1_01(7)&f1_01(7)&f1_01(7)
downto 0);
when "111" => dato_entrada <= grados_01(8)&grados_01(8)&grados_01(8)
&grados_01(8 downto 0);
when "101" => dato_entrada <= tm1;
when "110" => dato_entrada <= ma_02(8)&ma_02(8)&ma_02(8)&ma_02(8 downto 0);
when "011" => dato_entrada <= ma_02(8)&ma_02(8)&ma_02(8)&ma_02(8 downto 0);
when others => dato_entrada <= "000000000000";
end case;
else
end if;
end process;
```

Código VII.4 Ejemplo de elección de la señal enviada al Módulo Display.

```
-----GESTIÓN DE LA SEÑAL QUE INTRODUCE UNA LATENCIA-----
-----EN LA ACTUALIZACIÓN DE CONTADOR TRIANGULAR-----
process(clock,reset)
variable contador1: integer:=0;
variable sem_conta:std_logic:='0';
begin
if reset='1' then
sem_ready<='0';
sem_conta:='0';
contador1:=0;
elsif rising_edge(clock) then
--Se activa con cualquier cambio de señal de f1 o mf.
if (((sem_dividir1='1' or sem_dividir2='1') or (sem_dividir3='1' or
sem_dividir4='1')) or sem_dividir5='1') or sem_conta='1' then
contador1:= contador1+1;
sem_conta:='1';
if contador1 = 40 then --800ns de latencia.
sem_ready<='1';
sem_conta:='0';
contador1:=0;
else
sem_ready<='0';
end if;
else
sem_ready<='0';
end if;
end if;
end process;
```

Código VII.5 Ejemplo de activación de *sem\_ready* para introducir una latencia en la división.



## VII.2. Códigos Módulo Display.

```
-----GESTIÓN DEL DISPLAY-----
process (clk,resetbin)
variable contador04: integer:=0;
begin
    if resetbin='1' then
        contador04:=0;
        num_display<=0;
        punto_bin<="000";
        entradaBCD <= "0000";
    elsif rising_edge(clk)then
        contador04:=contador04+1;
        if contador04=250000 then --200Hz => 250000
            num_display<=num_display+1;
            contador04:=0;
        end if;
        if num_display=4 then
            num_display<=0;
        end if;
        punto_bin<=std_logic_vector(to_signed(num_display,3));
        case num_display is
            when 0 => AN(0) <= '0'; AN(1) <= '1'; AN(2) <= '1'; AN(3) <= '1'; entradaBCD <=
unidades;
            when 1 => AN(0) <= '1'; AN(1) <= '0'; AN(2) <= '1'; AN(3) <= '1'; entradaBCD <=
decenas;
            when 2 => AN(0) <= '1'; AN(1) <= '1'; AN(2) <= '0'; AN(3) <= '1'; entradaBCD <=
centenas;
            when 3 => AN(0) <= '1'; AN(1) <= '1'; AN(2) <= '1'; AN(3) <= '0'; entradaBCD <=
millares;--punto
            when 4 => AN(0) <= '1'; AN(1) <= '1'; AN(2) <= '1'; AN(3) <= '0'; entradaBCD <=
millares;
            when others => AN(0) <= '1'; AN(1) <= '1'; AN(2) <= '1'; AN(3) <= '1';
entradaBCD <= "0000";
        end case;
    end if;
end process;
```

Código VII.6 Ejemplo de gestión del Display.

```
-----PASO DE BINARIO A BCD-----
process(clk,resetbin)
variable temp: STD_LOGIC_VECTOR (11 downto 0):=(others => '0');
variable BCD: STD_LOGIC_VECTOR (15 downto 0) := (others => '0');
begin
if resetbin='1' then
    temp:=(others => '0');
```

```
BCD:= (others => '0');
unidades <= "0000";
decenas <= "0000";
centenas <= "0000";
millares <= "0000";
elsif rising_edge(clk) then
  if SW_bin(2 downto 0)/="010" then—Para todas las señales menos para ma.
    sem_punto<='0';
    for i in 0 to 15 loop
      bcd(i) := '0'; --Ponemos a cero la variable bcd.
    end loop;
    temp(11 downto 0) := binIN;-- Dato de entrada al módulo Display.
--12 veces al tener una variable de entrada de 12 bits.
    for i in 0 to 11 loop
      if bcd(3 downto 0) > 4 then
        bcd(3 downto 0) := bcd(3 downto 0) + 3;
      end if;
      if bcd(7 downto 4) > 4 then
        bcd(7 downto 4) := bcd(7 downto 4) + 3;
      end if;
      if bcd(11 downto 8) > 4 then
        bcd(11 downto 8) := bcd(11 downto 8) + 3;
      end if;
-- Millares no pueden ser mayores de 4 para 12 bits.
--Shift bcd left by 1 bit.
      bcd(15 downto 1) := bcd(14 downto 0);
-- Copia el bit más significativo de temp en el menos significativo de bcd.
      bcd(0 downto 0):= temp(11 downto 11);
--Shift temp left by 1 bit.
      temp(11 downto 1) := temp(10 downto 0);
    end loop;
    unidades <= bcd(3 downto 0);
    decenas <= bcd(7 downto 4);
    centenas <= bcd(11 downto 8);
    millares <= bcd(15 downto 12);
  end if;
end process;
```

Código VII.7 Ejemplo de paso de binario a BCD.

```
process(BCD,punto_bcd)
begin
  if sem_punto='0' then
    case BCD is
      when "0000" => Display <= "00111111";--0
      when "0001" => Display <= "00000110";--1
```

```
when "0010" => Display <= "01011011";--2
when "0011" => Display <= "01001111";--3
when "0100" => Display <= "01100110";--4
when "0101" => Display <= "01101101";--5
when "0110" => Display <= "01111101";--6
when "0111" => Display <= "00000111";--7
when "1000" => Display <= "01111111";--8
when "1001" => Display <= "01100111";--9
when others => Display <= "00000000";
end case;
end if;
end process;
```

Código VII.8 Ejemplo de paso de BCD a los segmentos del Display.

### VII.3. Código Módulo generador de señales.

```
-----RELOJ SEÑAL SENO-----
process( clock,reset)
variable contador01:integer:=0;
begin
  if reset='1' then
    contador01:=0;
    clock_sen<='0';
  elsif rising_edge( clock ) then
    if SW_sen(7)='0' or sem_ready_tri='1' then-- cada vez que se actualice el
--contador triangular después de 800ns se resetea clock_sen
    contador01:=0;
    clock_sen<='0';
  end if;
  if SW_sen(7)='1' and sem_ready_tri='0' then
    contador01:=contador01+1;
    if contador01 = conta_sen_f1 then-- contador seno enviado
desde módulo configuración
    clock_sen<='1';
    contador01:=0;
  else
    clock_sen<='0';
  end if;
  end if;
end if;
end process;
```

Código VII.9 Ejemplo de generación del Reloj seno.

```
-----RELOJ DE TIEMPO MUERTOS -----
process( clock,reset)
variable sem06:std_logic:='0';
```

```
variable contador02:integer:=0;
begin
  if reset='1' then
    contador02:=0;
    conta_tm<=0;
    clock_tm<='0';
    sem04<='0';
  elsif rising_edge( clock ) then
    sem04<=sem01 or sem011 or sem02 or sem022 or sem03 or sem033; -- Cuando haya un paso a nivel alto de las señales PWM.
    if sem04='1' then
      sem06:='1';
    end if;
    if SW_sen(4)='0' then
      conta_tm<=0;
      contador02:=0;
    clock_tm<='0';
    else
      if tm_sen=1 then --100ns
        conta_tm<=2;--100ns
      elsif tm_sen=2 then --3us
        conta_tm<=147;
      elsif tm_sen=3 then --6us
        conta_tm<=297;
      end if;
      if sem06='1' then
        contador02:=contador02+1;
        if contador02 = conta_tm then
          clock_tm<='1';
          contador02:=0;
          sem06:='0';
        else
          clock_tm<='0';
        end if;
      else
        clock_tm<='0';
      end if;
    end if;
  end if;
end process;
```

Código VII.10 Ejemplo gestión del reloj que control los tiempos muertos.

#### -----CREACIÓN DE SEÑAL TRIANGULAR-----

```
process (clock,reset)
variable sem02,sem01:std_logic:='0';
```

```
variable sem04,sem03:integer:=0;
constant paso:signed(7 downto 0):="00000001";
begin
if reset = '1' then
    sem01:='0';
    sem02:='0';
    sem03:=0;
    sem04:=0;
    salida_triangular2<="000000000000";
    triang<="00000000";
elseif rising_edge( clock ) then
if SW_sen(7)='0' then
    sem01:='0';
    sem02:='0';
    sem03:=0;
    sem04:=0;
    salida_triangular2<="000000000000";
    triang<="00000000";
end if;
if SWA_sen(7)='1' and sem05='1' then
    if clock_tri = '1' then
        if sem01='0' then
            sem04:=0;
            triang <=triang - paso;
            sem03:=sem03+1;
        elsif sem01='1' then
            sem03:=0;
            triang <= triang + paso;
            sem04:=sem04+1;
        end if;
        if sem02='0' then
            if sem03=64 then
                sem01:='1';
                sem02:='1';
            end if;
            elsif sem03=128 then
                sem01:='1';
            end if;
            if sem04=128 then
                sem01:='0';
            end if;
            salida_triangular2<=salida_triangular1;
        end if;
    end if;
end if;
end if;
```

end process;

Código VII.11 Generación de señal triangular.

```
-----CREACIÓN DE LAS SEÑALES DE CONTROL-----
process(clock,reset)
variable i: integer range 0 to 256:=0;
begin
if reset='1' then
i:=0;
salida_seno01<="00000000";
salida_seno02<="00000000";
salida_seno03<="00000000";
salida_seno04<="00000000";
sem05<='0';
elsif rising_edge( clock ) then
if SWB_sen(7)='0' then
i:=0;
salida_seno01<="00000000";
salida_seno02<="00000000";
salida_seno03<="00000000";
salida_seno04<="00000000";
sem05<='0';
else
if clock_sen='1' then
if i=256 then
i:=0;
end if;
if SWB_sen(6 downto 3)="0000" or SWB_sen(6 downto 3)="0010" or SWB_sen(6
downto 3)="1000" or SWB_sen(6 downto 3) ="1010" or SWB_sen(6 downto 3) ="0001" or
SWB_sen(6 downto 3) ="0011" or SWB_sen(6 downto 3) ="0110" or SWB_sen(6 downto 3)
="0100" then-- PWM BIPOLAR, UNIPOLAR y cancelación de tensión y trifásica CLÁSICA.
salida_seno01<= std_logic_vector(to_signed(valor_seno01(i),8));
end if;
if SWB_sen(6 downto 3)="0001" or SWB_sen(6 downto 3) ="0011" then -- PWM
TRIPAFISCA.
salida_seno02<= std_logic_vector(to_signed(valor_seno02(i),8));
salida_seno03<= std_logic_vector(to_signed(valor_seno03(i),8));
elsif SWB_sen(6 downto 3)="1101" or SWB_sen(6 downto 3)="1111" then--CB-
SVPWM.
salida_seno01<= std_logic_vector(to_signed(valor_CBSVPWMseno01(i),8));
salida_seno02<= std_logic_vector(to_signed(valor_CBSVPWMseno02(i),8));
salida_seno03<= std_logic_vector(to_signed(valor_CBSVPWMseno03(i),8));
elsif SWB_sen(6 downto 3)="1001" or SWB_sen(6 downto 3)="1011" then--THSPWM
OPCION 1/4.
salida_seno01<= std_logic_vector(to_signed(valor_THSPWM1seno01(i),8));
```

```
        salida_seno02<= std_logic_vector(to_signed(valor_THSPWM1seno02(i),8));
        salida_seno03<= std_logic_vector(to_signed(valor_THSPWM1seno03(i),8));
        elsif SWB_sen(6 downto 3)="0101" or SWB_sen(6 downto 3)="0111" then--THSPWM
OPCION 1/6.
        salida_seno01<= std_logic_vector(to_signed(valor_THSPWM2seno01(i),8));
        salida_seno02<= std_logic_vector(to_signed(valor_THSPWM2seno02(i),8));
        salida_seno03<= std_logic_vector(to_signed(valor_THSPWM2seno03(i),8));
        elsif SWB_sen(6 downto 3)="1000" or SWB_sen(6 downto 3) ="1010" then-- PWM
UNIPOLAR.
        salida_seno04<= std_logic_vector(not(to_signed(valor_seno01(i),8)));
    end if;
    sem05<='1';
    i:=i+1;
    end if;
    end if;
end if;
end process;
```

Código VII.12 Generación de señales de control o moduladora.

```
----GENERACIÓN DE LAS SEÑALES DE SALIDA PWM CON O SINTIEMPOS MUERTOS-PWM TC----
process(clock,reset)
variable sem1:std_logic:='1';
variable sem2:std_logic:='1';
begin
    if reset='1' then
        TC_mas2<='0';
        TC_menos2<='0';
        sem1:='1';
        sem2:='1';
        sem03<='0';
        sem033<='0';
    elsif rising_edge( clock ) then
        if SW_sen(4)='0' then
            TC_mas2<=TC_mas;-- Señal de salida del comparador.
            TC_menos2<=TC_menos;
            sem1:='1';
            sem2:='1';
            sem03<='0';
            sem033<='0';
        else-- tiempos muertos activados

            -----tc_mas-----
            if TC_mas='1' and TC_mas_desplazada='0' then
                sem1:='0';-- subida
                sem03<='1';
            end if;
        end if;
    end if;
end process;
```

```

else
sem03<='0';
end if;
if TC_mas_desplazada='1' then
sem1:='1';
end if;
TC_mas2<=TC_mas and sem1;
-----tc_menos-----
if TC_menos='1' and TC_menos_desplazada='0' then
sem2:='0';-- subida
sem033<='1';
else
sem033<='0';
end if;
if TC_menos_desplazada='1' then
sem2:='1';
end if;
TC_menos2<=TC_menos and sem2;

end if;
end if;
end process;

```

Código VII.13 Generación de las señales de salida PWM con o sin tiempos muertos PWM.

```

-----BLOQUE DE RESTA-----
process(clock,reset)
begin
if reset='1' then
resta1<=0;
resta4<=0;
resta5<=0;
resta6<=0;
resta7<=0;
resta8<=0;
elsif rising_edge( clock ) then
if SW_sen(7)='0' then
resta1<=0;
resta4<=0;
resta5<=0;
resta6<=0;
resta7<=0;
resta8<=0;
end if;
retardo<=to_signed(A1,32);
resta1<=to_integer(parte_entera01-salida_triangular2);

```



```

if SW_sen(6 downto 3)="0001" or SW_sen(6 downto 3)="0011" or SW_sen(6 downto
3)="1001" or SW_sen(6 downto 3)="1011" or SW_sen(6 downto 3)="0101" or SW_sen(6 downto
3)="0111" or SW_sen(6 downto 3)="1101" or SW_sen(6 downto 3)="1111" then—Todos los
métodos menos el unipolar.
    resta5<=to_integer(parte_entera01-salida_triangular2);
    resta6<=to_integer(parte_entera02-salida_triangular2);
    resta7<=to_integer(parte_entera03-salida_triangular2);
end if;
if SW_sen(6 downto 3)="1000" or SW_sen(6 downto 3)="1010" then—UNIPOLAR
    resta4<=to_integer(parte_entera04-salida_triangular2);
    resta5<=to_integer(parte_entera01-salida_triangular2);
end if;
end if;
end process;

```

Código VII.14 Bloque de resta.

```

-----COMPARADOR-----
process(clock,reset)
begin
if reset='1' then
    TA_mas<='0';
    TA_menos<='0';
    TB_mas<='0';
    TB_menos<='0';
    TC_mas<='0';
    TC_menos<='0';
elsif rising_edge( clock ) then
    if SW_sen(7)='0' then
        TA_mas<='0';
        TA_menos<='0';
        TB_mas<='0';
        TB_menos<='0';
        TC_mas<='0';
        TC_menos<='0';
    end if;
    if SW_sen(7)='1' and sem05='1' then
        if clock_tri='1' then
            if SW_sen(6 downto 3)="0000" or SW_sen(6 downto 3)="0010" then----- BIPOLAR Y
TRIFASICA. Comparador Tipo 1.
                if resta1>=1 or resta1=0 then-- seno MAYOR que la triangular
                    TA_mas<='1';
                    TA_menos<='0';
                    TB_mas<='0';
                    TB_menos<='1';
                elsif resta1<=-1 then-- seno MENOR que la triangular

```

```
        TA_mas<='0';
        TA_menos<='1';
        TB_mas<='1';
        TB_menos<='0';
    end if;
    elsif SW_sen(6 downto 3)="0100" or SW_sen(6 downto 3)="0110" then --
cancelacion de tension
        if A1/=0 then
            if parte_entera01>=0 then-- seno MAYOR 0
                TB_mas<='0';
                    TB_menos<='1';
                elsif parte_entera01<0 then-- seno MENOR que 0
                    TB_mas<='1';
                        TB_menos<='0';
                end if;
                if A1=31 or A1=79 then --31 o79
                    ---- parte retrasada
                    if puente2>=0 then-- seno MAYOR que 0
                        TA_mas<='1';
                            TA_menos<='0';
                    elsif puente2<0 then-- seno MENOR que 0
                        TA_mas<='0';
                            TA_menos<='1';
                    end if;
                    elsif A1<31 then
                        ---- parte retrasada
                        if puente1>=0 then-- seno MAYOR que 0
                            TA_mas<='1';
                                TA_menos<='0';
                        elsif puente1<0 then-- seno MENOR que 0
                            TA_mas<='0';
                                TA_menos<='1';
                        end if;
                    else
                        --- parte original
                        if salida1>=0 then-- seno MAYOR que 0
                            TA_mas<='1';
                                TA_menos<='0';
                        elsif salida1<0 then-- seno MENOR que 0
                            TA_mas<='0';
                                TA_menos<='1';
                        end if;
                    end if;
                else
                    --- parte original
                    if parte_entera01>=0 then-- seno MAYOR que 0
                        TA_mas<='1';
                            TA_menos<='0';
                        TB_mas<='0';
                            TB_menos<='1';
                    elsif parte_entera01<0 then-- seno MENOR que 0
                        TA_mas<='0';
                    end if;
                end if;
            end if;
        end if;
    end if;
    else
        if parte_entera01>=0 then-- seno MAYOR que 0
            TA_mas<='1';
                TA_menos<='0';
            TB_mas<='0';
                TB_menos<='1';
        elsif parte_entera01<0 then-- seno MENOR que 0
            TA_mas<='0';
        end if;
    end if;
end if;
```

```

        TA_menos<='1';
        TB_mas<='1';
        TB_menos<='0';
    End if;
end if;
    elsif SW_sen(6 downto 3)="0001" or SW_sen(6 downto 3)="0011" or SW_sen(6 downto
3)="1001" or SW_sen(6 downto 3)="1011" or SW_sen(6 downto 3)="0101" or SW_sen(6 downto
3)="0111" or SW_sen(6 downto 3)="1101" or SW_sen(6 downto 3)="1111" then-- PWM
TRIFASICA. Comparador Tipo 1.
    if resta5>=1 or resta5=0 then-- Seno MAYOR que la triangular.
        TA_menos<='0';
        TA_mas<='1';
    elsif resta5<=-1 then-- Seno MENOR que la triangular.
        TA_menos<='1';
        TA_mas<='0';
    end if;
    if resta6>=1 or resta6=0 then-- Seno MAYOR que la triangular.
        TB_menos<='0';
        TB_mas<='1';
    elsif resta6<=-1 then-- Seno MENOR que la triangular.
        TB_menos<='1';
        TB_mas<='0';
    end if;
    if resta7>=1 or resta7=0 then-- Seno MAYOR que la triangular.
        TC_menos<='0';
        TC_mas<='1';
    elsif resta7<=-1 then-- Seno MENOR que la triangular.
        TC_menos<='1';
        TC_mas<='0';
    end if;
    elsif SW_sen(6 downto 3)="1000" or SW_sen(6 downto 3)="1010" then—UNIPOLAR.
Comparador Tipo 1.
    if resta5>=1 or resta5=0 then-- Seno MAYOR que la triangular.
        TA_menos<='0';
        TA_mas<='1';
    elsif resta5<=-1 then-- Seno MENOR que la triangular.
        TA_menos<='1';
        TA_mas<='0';
    end if;
    if resta4>=1 or resta4=0 then-- Seno MAYOR que la triangular.
        TB_menos<='0';
        TB_mas<='1';
    elsif resta4<=-1 then-- Seno MENOR que la triangular.
        TB_menos<='1';
        TB_mas<='0';
    end if;
end if;
end if;
```

```
if sem05='0' then -- SEMAFORO PARA ESPERA DE INICIO.
    TA_mas<='0';
    TA_menos<='0';
    TB_mas<='0';
    TB_menos<='0';
end if;
end if;
end if;
end process;
```

Código VII.15 Comparador.

## SECCIÓN VIII – PLIEGO DE CONDICIONES.

Todo lo relacionado con la condiciones de funcionamiento se muestran en el manual de usuario donde se explican las condiciones de seguridad que hay que mantener mientras se utilice el sistema además de servir como guía al usuario en el proceso de configuración.

No obstante en esta sección se hace una recopilación de los resúmenes de los datasheets de los elementos principales del sistema diseñado. Si se quiere conocer más detalles se recomienda utilizar la documentación referenciada en la bibliografía.

*Application Note AN-8005, IGBT Power Electronics. Teaching System. Principle for sizing power converters [3]:*

### Inside the box

Before unpacking, please ensure that the following elements are inside the box.

- The stack itself
- A test certificate, which is a guarantee of safe working of the stack
- The technical description

### Very important safety recommendations

To avoid damage to the converter and for the safety of the operator, it is strongly recommended to follow these instructions:

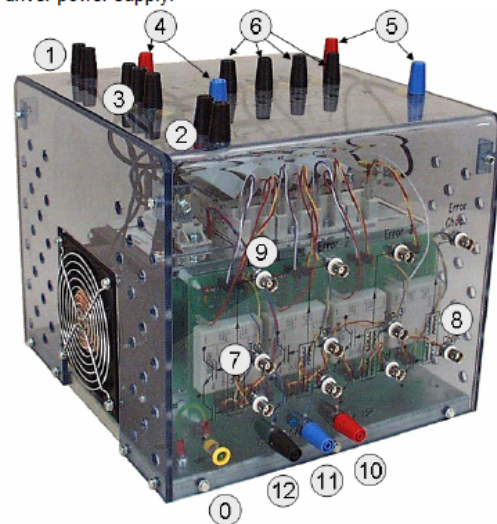
Always monitor the voltage at the capacitor bank. It must never exceed the maximum value of 750 Vdc, as there is no protection against DC over-voltage embedded in the Power Electronics Teaching Unit. After the tests, the capacitors may remain charged for a couple of minutes. One must anticipate that the DC voltage limit shall never be exceeded when designing a control unit board. When powering the unit, a pre-charging device (a choke or a resistance) should be inserted to prevent very high

charge currents. Never carry or move the device while it is electrically connected to anything. The error signal from the drivers must be taken into account in the control process. When connecting the command signals, it is preferable to use an anti-static protection bracelet. Never exceed the maximum allowed current (30 A). Connect a circuit breaker between the supply voltage and the converter. A thermal contact switch has been placed in the heat sink, close to the warmest point, to disconnect the circuit in case of abnormal heating of the heat sink. As a protection device, it should be connected in series with the driver power supply.

### The interfaces / connectors

#### Preliminary remark

Even though this power electronics teaching system has been designed in order to avoid all risks of electrical contact, lethal high voltage can be present in the connectors. All connections should be made taking care that all security measures have been undertaken. In particular, the integrity of all cables should be checked prior to any exercise. For safety reasons, there is no direct access to the gate-emitter connections on the high-power level, which is the voltage triggering signal of the IGBT. If you intend to monitor this charge-discharge of the gate of the IGBT, please remove the side covers but **disconnect the power supply**. For safety reasons the covers should always be attached when power is applied. Please note, with the covers removed there is the risk of electrical shock. Only qualified people should work on the system with the covers removed.



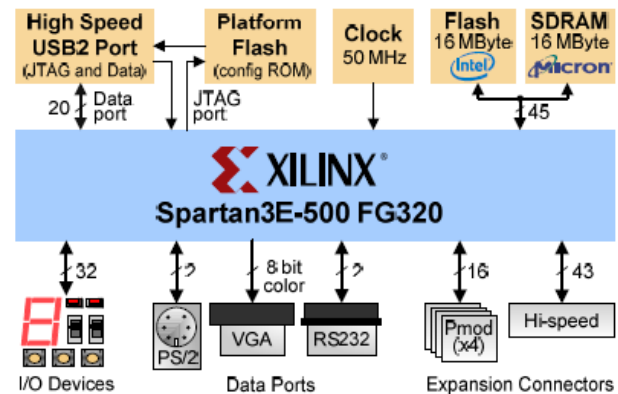
*Digilent Nexys2 Board Reference Manual [20].*

## Overview

The Nexys2 circuit board is a complete, ready-to-use circuit development platform based on a Xilinx Spartan 3E FPGA. Its on-board high-speed USB2 port, 16Mbytes of RAM and ROM, and several I/O devices and ports make it an ideal platform for digital systems of all kinds, including embedded processor systems based on Xilinx's MicroBlaze. The USB2 port provides board power and a programming interface, so the Nexys2 board can be used with a notebook computer to create a truly portable design station.

The Nexys2 brings leading technologies to a platform that anyone can use to gain digital design experience. It can host countless FPGA-based digital systems, and designs can easily grow beyond the board using any or all of the five expansion connectors. Four 12-pin Peripheral Module (Pmod) connectors can accommodate up to eight low-cost Pmods to add features like motor control, A/D and D/A conversion, audio circuits, and a host of sensor and actuator interfaces. All user-accessible signals on the Nexys2 board are ESD and short-circuit protected, ensuring a long operating life in any environment.

The Nexys2 board is fully compatible with all versions of the Xilinx ISE tools, including the free WebPack. Now anyone can build real digital systems for less than the price of a textbook.



- 500K-gate Xilinx Spartan 3E FPGA
- USB2-based FPGA configuration and high-speed data transfers (using the free Adept Suite Software)
- USB-powered (batteries and/or wall-plug can also be used)
- 16MB of Micron PSDRAM & 16MB of Intel StrataFlash ROM
- Xilinx Platform Flash for nonvolatile FPGA configurations
- Efficient switch-mode power supplies (good for battery powered applications)
- 50MHz oscillator plus socket for second oscillator
- 60 FPGA I/O's routed to expansion connectors (one high-speed Hirose FX2 connector and four 6-pin headers)
- 8 LEDs, 4-digit 7-seg display, 4 buttons, 8 slide switches
- Ships in a plastic carry case with USB cable

Figure 1: Nexys2 block diagram and features

Digilent PmodDA2™ Digital to Analog Module Converter Board Reference Manual [12]:

## Overview

The Digilent PmodDA2 Digital to Analog Module Converter, converts signals from digital values to analog voltages on two channels simultaneously with twelve bits of resolution. The PmodDA2 uses a 6-pin header connector and, at less than one square inch, is small enough to be located where the reconstructed signal is required.

Features include:

- two National Semiconductor DAC121S101, 12-bit D/A converters
- a 6-pin header and 6-pin connector
- two simultaneous D/A conversion channels
- very low power consumption
- small form factor (0.80" x 0.80").

## Functional Description

The PmodDA2 can produce an analog output ranging from 0-3.3 volts when operated with a 3.3V power supply. It has two simultaneous D/A conversion channels, each with a 12-bit converter that can process separate digital signals.

The PmodDA2 is equipped with two DAC121S101 digital to analog converters. Sending commands via the SPI/MICROWIRE™ serial bus to the D/A converters produces outputs. The two converters are connected in parallel so that commands are sent to both converters simultaneously.

The PmodDA2 is designed to work with either Digilent programmable logic system boards or embedded control system boards. Most Digilent system boards, such as the Nexys, Basys, or Cerebot, have 6-pin

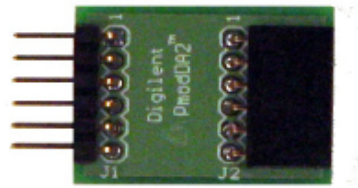


Figure 1  
Digilent PmodDA2

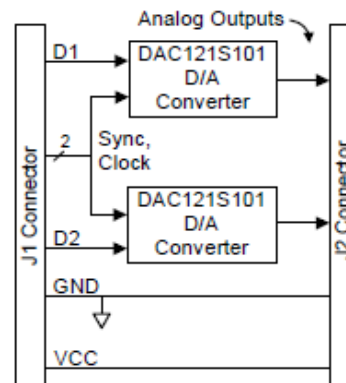


Figure 2  
Block Diagram

connectors that allow the PmodDA2 to plug directly into the system board or to connect via a Digilent six-wire cable

Some older Digilent boards may need a Digilent Module Interface Board (MIB) and a 6-pin cable to connect to the PmodDA2. The MIB plugs into the system board and the cable connects the MIB to the PmodDA2.

## SECCIÓN IX – PRESUPUESTO DEL PROYECTO.

### IX.1. Consideraciones previas.

A lo largo de este proyecto se han utilizado tanto medios materiales como ingenio y destreza en la programación para desarrollar el software. Debido a esto, el presupuesto aquí mostrado, hace referencia a los costes directos debidos a las horas de trabajo como programador (el propio alumno) y confeccionamiento del manual de usuario, y los costes del material necesario para su desarrollo. Sin embargo, no se han tenido en cuenta los tiempos de formación e investigación para el desarrollo del mismo.

El presupuesto del proyecto que aquí se expone, resulta sólo orientativo, y no está pensado en vistas a una posible comercialización y por tanto amortización de la herramienta creada. En este caso la aplicación software diseñada, satisface una necesidad planteada por el Departamento de Electrónica de la Universidad de Alcalá de Henares para su uso interno quien se reserva el derecho de comercialización si así la universidad lo cree oportuno.

Aunque se ha incluido en el presupuesto el precio de los materiales utilizados es necesario comentar que el propio departamento ha puesto a disposición del alumno todos los materiales y licencias necesarias para la realización del proyecto.

### IX.2. Coste íntegro de material utilizado.

Material utilizado:	Unidades:	coste:
Cubo de potencia Semikron Semiteach-IGBT:	1	1.800 €
Tarjeta Digilent Nexus2 Spartan3E-XC3S1200E FG320-4:	1	150 €
Fuente de alimentación Delta Elektronika SM 35-45:	1	2.700€
DAC Digilent Pmod2:	2	50 €
PC Intel i3, 4G RAM, 1T HDD:	1	500 €
Osciloscopio Digital YOKOGAWA DL9140L:	1	5.000 €
Circuito de adaptación [4]:	1	100 €
Sistema conjunto motor-generator ASTI BECA 1:	1	1.000 €
<b>TOTAL:</b>		<b>8.600 €</b>

Tabla IX.1 Presupuesto. Costes de material utilizado.

Suponiendo que estos equipos tengan un período de utilización de 5 años, y teniendo en cuenta que el tiempo estimado del proyecto en el cual se han utilizado es de 8 meses, el gasto en este período se puede estimar por 1147€.

### IX.3. Costes directos de programación.

Para obtener los costes de programación, se ha asumido un coste estándar como “programador” de 65 €/h.

El desglose de las horas de programación se ha dividido en cuatro grandes bloques, cada uno de ellos centrados en la creación del módulo correspondiente, Seguido de su comunicación interna y de la corrección de errores a través de las simulaciones de funcionamiento hasta obtener el software adecuado. El desglose temporal en el proceso de creación de la herramienta y sus costes asociados se muestran en la siguiente tabla.



Desarrollo del software:	Coste/hora:	Horas:
Creación del software:		
Creación del Módulo configuración:	65 €	80
Creación del Módulo Display:	65 €	20
Creación del Módulo generador de señales:	65 €	150
Creación del Módulo DAC:	65 €	10
Comunicación interna de módulos:	65 €	50
Corrección de errores:	65 €	100
Simulaciones ModelSim:	65 €	130
	Subtotal:	35.100 €
Pruebas:	Coste/hora:	Horas:
Señales de salida PWM tarjeta:	65 €	40
Señales inversor:	65 €	30
	Subtotal:	4.550 €
	<b>TOTAL:</b>	<b>39.650 €</b>

Tabla IX.2 Presupuesto. Costes del desarrollo del hardware.

#### IX.4. Costes indirectos en la creación de la aplicación.

En este apartado se reflejan todos los costes indirectos, entiendo por estos los costes que no son de gran importancia en la aplicación pero que implícitamente se han llevado a cabo para su desarrollo como por ejemplo licencias.

Licencia:	Coste:
Licencia de Xilinx ISE 14.5:	1.200 €
Licencia Matlab R2012b:	2.000 €
Licencia Adept 2.3:	0 €
Licencia Microsoft Office 2013:	450 €
<b>TOTAL:</b>	<b>3.650 €</b>

Tabla IX.3 Presupuesto. Costes indirectos.

Suponiendo que estas licencias tengan un período de validez de 5 años, y teniendo en cuenta que el tiempo estimado del proyecto es de 8 meses, el gasto en este período se puede estimar por 480€.

#### IX.5. Coste total estimado del proyecto.

Costes de material entregado al alumno para el desarrollo del proyecto: 8.600€ de los cuales el gasto real en el período de duración del proyecto es de 1.146€

Costes del desarrollo del software: 39.650€.

Costes indirectos: 3.650€ de los cuales gasto real en el período de duración del proyecto es de 480€.

**COSTE ÍNTEGRO DEL PROYECTO: 51.900€.**

**COSTE TOTAL DEL PROYECTO EN EL PERÍODO DE DURACIÓN DEL MISMO: 41.276€.**

## SECCIÓN X – MANUAL DE USUARIO.

En este apartado se resumen las condiciones más importantes de funcionamiento, las especificaciones a tener en cuenta, además de los métodos de configuración de la tarjeta y el cableado del sistema para su instalación. Como extra se añade en el CD adjunto a este trabajo la versión imprimible del manual de usuario.

### X.1. Requisitos generales de seguridad.

A continuación se describen las condiciones de seguridad que hay que mantener para que ni el sistema ni el usuario corran peligro.

- 1- Para evitar daños en la tarjeta o en el sistema convertidor se recuerda que los equipos eléctricos, electrónicos de medición y otros, tienen más de una fuente de alimentación, y un límite superior de voltaje, sea para la entrada de alimentación como para la de medición. Se invita a los usuarios a que, antes de efectuar cualquier manipulación o medición, tomen el tiempo necesario para estudiar los manuales de uso, diagramas de cableado del sistema o circuito, para asegurarse que las fuentes de alimentación de tales circuitos y equipos, deban operarse en el modo y secuencia específica y tener en cuenta los voltajes y corrientes máximos que puede soportar un equipo o sonda de medición en su entrada.
- 2- Cualquier tipo de sustancias líquidas, tal como agua, refrescos, alcohol, gasolina, etc. no deben dejarse cerca de los circuitos o equipos eléctricos.
- 3- Antes de iniciar la alimentación del sistema hay que asegurarse de que las conexiones están bien efectuadas.
- 4- Si se quiere cambiar cualquier conexión del sistema, primero se debe apagar las fuentes de alimentación, proceder a hacer el cambio de conexión y volver a alimentar el sistema, no se debe cambiar en caliente las conexiones.
- 5- Se debe respetar los límites de las alimentaciones proporcionados en este manual para cada parte del sistema incluido en el anexo.
- 6- Por su seguridad, es recomendable no trabajar solo.
- 7- En caso de mal funcionamiento debe pedir ayuda a personal cualificado.
- 8- Se recomienda no usar cables en mal estado ni con fibras de cobre al descubierto que puedan provocar cualquier tipo de conexión indeseada.

### X.2. Requisitos de seguridad del cubo de potencia Semiteah-IGBT.

- 1- No se debe alimentar el sistema a más de 750 VDC, no existe ninguna protección contra sobretensión de DC por parte de la unidad.
- 2- Después de apagar el sistema, los condensadores pueden permanecer cargados durante un par de minutos.
- 3- Está prohibido transportar o mover el sistema mientras está conectado eléctricamente.
- 4- La señal de error que proporciona la unidad debe ser tenida en cuenta para el proceso de control en el caso de obtener señales indeseadas.
- 5- Nunca se debe al sistema una corriente superior a 30A.
- 6- En caso de aumento de temperatura un sensor se ha colocado en el disipador de calor cerca del punto más caliente del disipador de calor avisa de cualquier aumento crítico.
- 7- Se recomienda conectar el sistema de refrigeración adecuadamente.

### X.3. Requisitos de seguridad de la tarjeta Digilent Nexus2 Spartan3E-XC3S1200E.

- 1- La tarjeta dispone de diferentes opciones que el usuario puede escoger mediante la unión de Jacks azules que hacen de puente. Antes de encender la tarjeta hay que asegurarse de que las opciones escogidas son las deseadas. Para ello se recomienda al usuario revisar el manual de referencia de la tarjeta Nexyus 2 proporcionado por Digilent [20].
- 2- No se debe alimentar vía USB a más de 5V. Se recomienda comprobar si la alimentación externa es válida para esta tarjeta en tensión y corriente.
- 3- Se pide al usuario que cuide las conexiones de los elementos de la tarjeta FPGA.

### X.4. Requisitos de seguridad del circuito de adaptación.

- 1- No se debe alimentar el circuito de adaptación a más de 20V.
- 2- Está prohibido tirar de los cables mientras estén conectados al circuito o maltratar la placa en cualquier momento.

### X.5. Visión global del sistema.

#### X.5.1. Diseño general. Conexionado

El objetivo de este sistema es el de crear señales AC a partir de señales DC en un entorno educativo mostrando las diferentes estrategias de modulación PWM y reforzando los contenidos teóricos dados en asignaturas como Electrónica de Potencia.

El sistema modulador de estrategias PWM para inversor monofásico y trifásico está compuesto por varios equipos que generan, convierten, alimentan y miden el sistema.

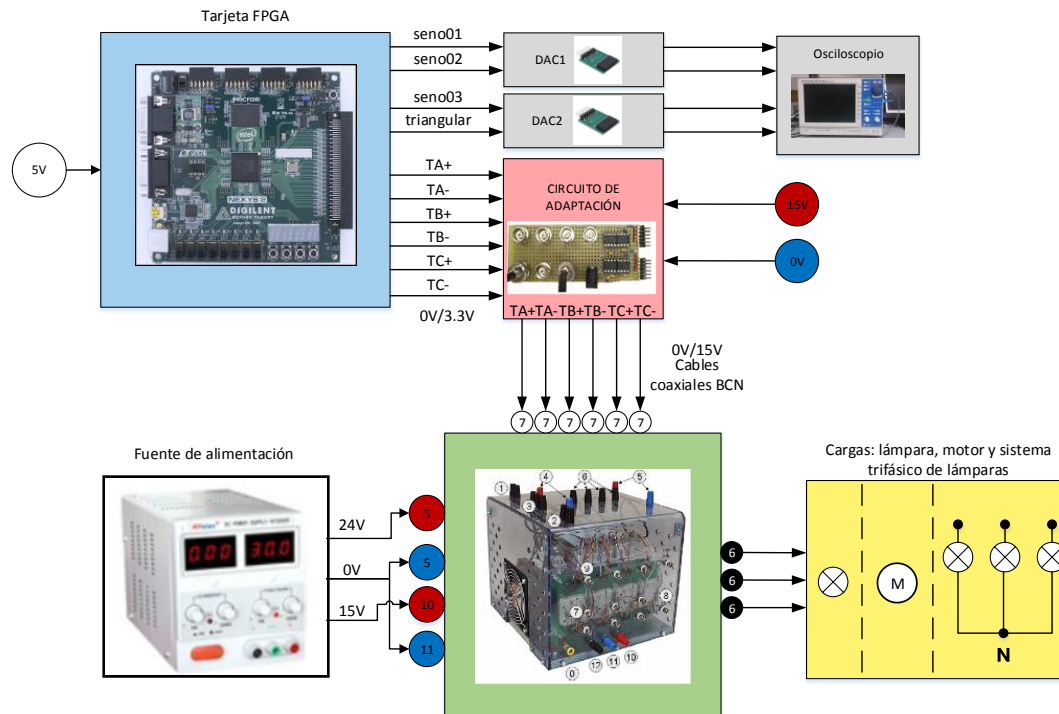


Figura 3.13 Esquema general del sistema de potencia.

El equipo está formado por la tarjeta FPGA Digilent Nexus2 Spartan3E-XC3S1200E FPGA, dos DAC's Digilent PmodDA2 serie, un circuito de adaptación que amplifica las señales provenientes de la tarjeta y las envía al cubo además de aislar las dos zonas de potencia, una fuente de alimentación con dos salidas independientes, el cubo de potencia Semiteach-IGBT, una alimentación externa de la tarjeta FPGA, y diferentes tipos de cargas tanto para una fase como para tres fases.

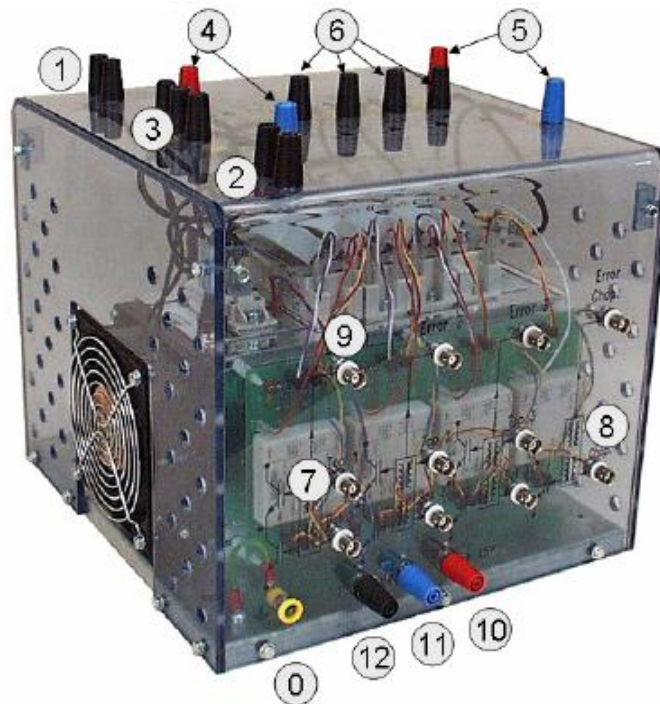


Figura 3.4 Cubo de potencia Semiteach-IGBT [3].

Las conexiones entre los equipos fuente de alimentación, cubo de potencia, circuito de adaptación y carga, son indicadas con números en las dos imágenes anteriores y en la tabla ubicada en el anexo de este manual donde además se muestran las especificaciones del cubo (las conexiones utilizadas en para sistema están sombreadas).

Para conectar los DAC's a la tarjeta FPGA se utilizan las salidas de JC1 a la JC6 (primera fila del Conector JC) para un DAC que proporciona las señales de control  $0^\circ$  desfasada y la señal triangular y las salidas de JD1 a JD6 (primera fila del Conector JD) para las salidas de la señal de control desfasadas  $-120^\circ$  y  $+120^\circ$ .

Para conectar el circuito de adaptación se debe alimentar a 15V y conectar la tarjeta a la segunda fila de los conectores JA y JB.

La figura X.1 muestra el aspecto de la tarjeta FPGA con los DAC's y del circuito de adaptación. Además indica cómo se conectan y sus funciones.

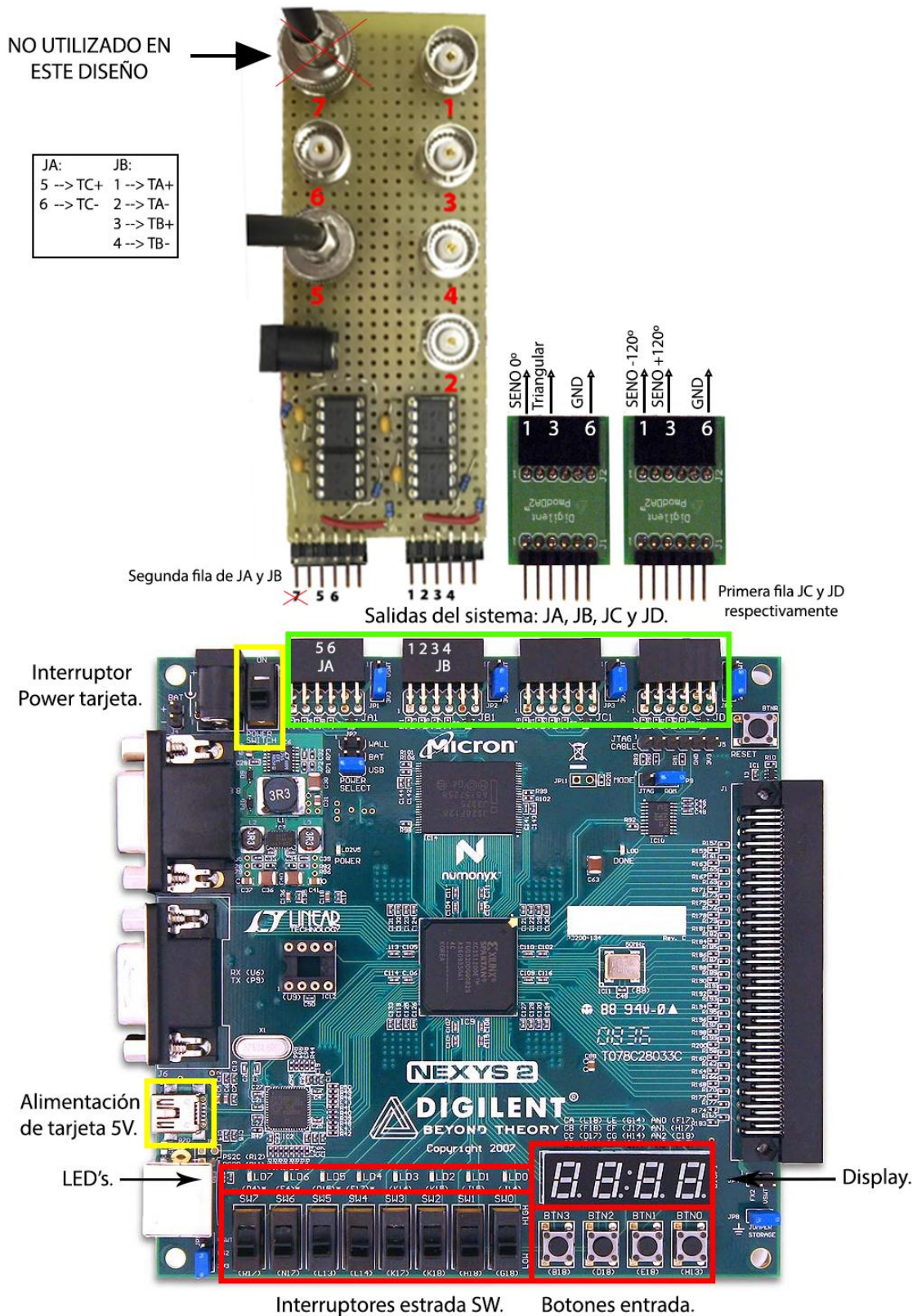


Figura X.1 Esquema conexiones tarjeta FPGA, circuito de adaptación y DAC's.

### X.5.2. Configuración.

Las entradas de la tarjeta compuesta por interruptores y botones con la cual se configura todo el sistema tienen en las funciones definidas por la figura X.2.

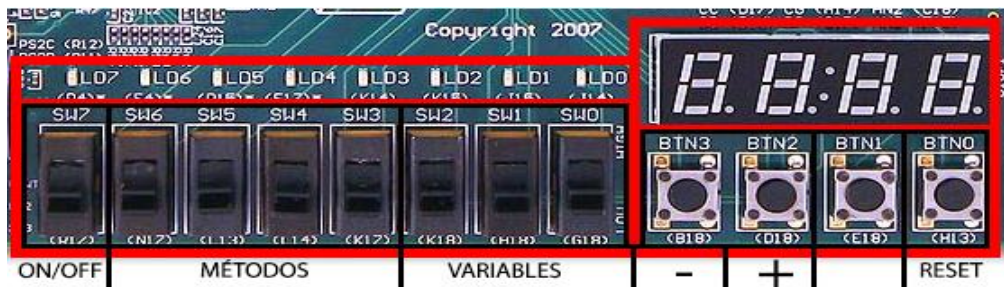


Figura X.2 Función de las entradas de la tarjeta FPGA.

- El interruptor SW7 activa o pausa el envío de señales PWM.
- Los interruptores SW6, SW5, SW4 y SW3 escogen el método de modulación.
- Los interruptores SW2, SW1 y SW0 escogen la señal crítica que se quiere cambiar y representar por el Display.
- Los botones BTN3 y BTN2 restan y suman respectivamente la señal escogida.
- El botón BTN0 hace un reseteo del programa.

A continuación se representa los diferentes métodos que se pueden configurar:

Nº	Configuración de interruptores SW6 SW5 SW4 SW3.	Método PWM escogido.
1		PWM Monofásico bipolar.
2		PWM Monofásico unipolar.
3		PWM Monofásico Cancelación de tensión.
4		PWM Trifásica Clásica.
5		THIPWM Opción 1/4.
6		THIPWM Opción 1/6.
7		CB-SVPWM.

Tabla 3.10 Configuración de los interruptores SW(6:3) para la elección del método PWM.

La siguiente tabla muestra cómo configurar los tiempos muertos.

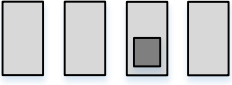
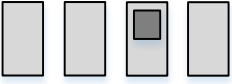
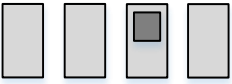
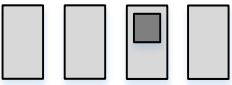
Configuración de interruptores SW6 SW5 SW4 SW3	Opción escogida	Tiempo muerto escogido
	0	0s
	1	100ns
	2	3us
	3	6us

Tabla 3.12 Opciones de tiempo muerto.

La siguiente tabla muestra las señales que se pueden escoger y modificar.

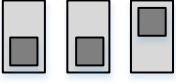
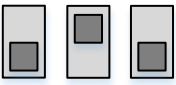
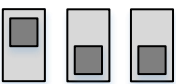
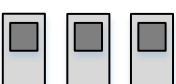
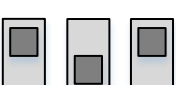
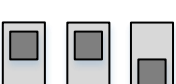
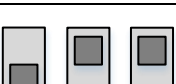
Nº	Configuración de interruptores SW2 SW1 SW0	Señal crítica escogida
1		Índice de modulación de frecuencia $m_f$
2		Índice de modulación de amplitud $m_a$
3		Frecuencia moduladora o fundamental $f_1$
4		Grados desplazados en cancelación de tensión: grados
5		Tiempos muertos $t_m$
6		motor (opción1)
7		motor (opción2)

Tabla 3.7 Configuración de interruptores SW(2:0) para modificar y visualizarlas distintas señales.

La opción 1 y opción 2 de la señal motor cambia la pendiente de un recta que cambia a la vez la frecuencia moduladora o fundamental  $f_1$  y el índice de modulación de amplitud  $m_a$  para excitar un motor.

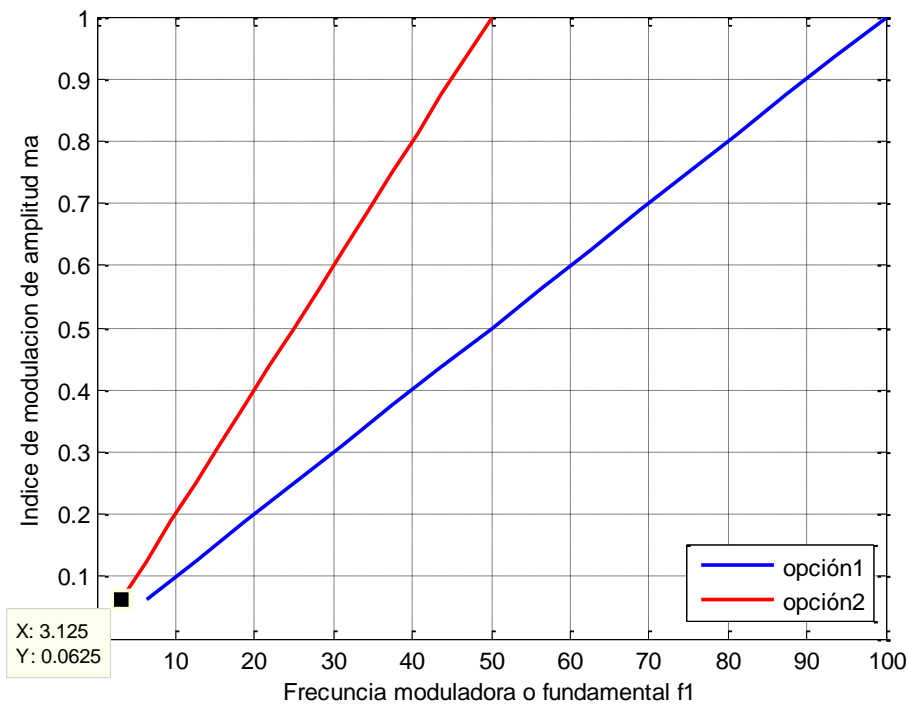


Figura 3.18 Gráfico de las distintas opciones de excitación del motor.

### X.6. Especificaciones del sistema.

Los valores posibles que se pueden tener de las señales críticas son los siguientes:

Señal crítica		Valores
Tiempos muertos, $t_m$		100ns, 3us, 6us
grados		0° : 5° : 160°
$m_f$		1 : 1 : 255
$f_1$		20 : 1 : 100 (Hz)
$m_a$		0.0625 : 0.0625 : 15.9375
motor (opción1) 0:1:15	$f_{1\_motor}$	6.25 : 6.25 : 100 (Hz)
	$m_{a\_motor}$	0.0625 : 0.0625 : 1
motor (opción2) 0:1:15	$f_{1\_motor}$	3.125 : 3.125 : 50 (Hz)
	$m_{a\_motor}$	0.0625 : 0.0625 : 1

Tabla 3.8 Límites y valores posibles de las señales críticas.

### X.7. Consideraciones de uso.

Es recomendable que se sigan los siguientes pasos para configurar la tarjeta.

- 1- Pausar el envío de señales PWM con SW7 en OFF.
- 2- Escoger el método PWM deseado.
- 3- Escoger la señal crítica que se desea modificar
- 4- Modificar la señal crítica. Si se deja pulsado el botón de sumar o restar más de un segundo el paso de sumar o restar se aumenta.
- 5- Revisar configuración.
- 6- Activar el envío de señales PWM con SW7 en ON.

La modificación de las señales críticas se puede hacer en tiempo real.



**¡ATENCIÓN! ES OBLIGATORIO ACTIVAR Y DESACTIVAR EL INTERRUPTOR SW7 CADA VEZ QUE SE CAMBIE DE MÉTODO DE MODULACIÓN PARA EVITAR PROBLEMAS INTERNOS.** Esta acción resetea las señales de control y triangular sincronizándolas y ayuda a que la configuración del método se realice correctamente. En caso de tener cualquier anomalía desactivar todos los interruptores SW(7:0) y pulsar el botón BTN0 para realizar un reseteo del sistema.

#### X.8. Anexo del manual de usuario.

Tabla conexiones y especificaciones del cubo de potencia Semiteach-IGBT.

Nº	Tipo	Función	Nivel de Voltaje	Máximo nivel de corriente
0	Tierra del panel	Conexión tierra	0	30A
1	Conector Banana 4mm	Fuente de alimentación del ventilador	230V/50Hz	1A
2	Conector Banana 4mm	Termal trip	15V	5A
3	Conector Banana 4mm	Entrada rectificador	230/ 400V	30A
4	Conector Banana 4mm	Salida DC rectificador	600VDC (rojo positivo, azul negativo)	30A
5	Conector Banana 4mm	Entradas DC del inversor IGBT	600VDC (rojo positivo, azul negativo)	30A
6	Conector Banana 4mm	Inversor IGBT AC + salidas choppers	400 VAC / 600 VDC	30A
7	Coaxial aislado BNC	Entrada PWM inversor	C-MOS lógico 0/15V, 0V= IGBT abierto, 15V=IGBT cerrado	1A
8	Coaxial aislado BNC	Entrada PWM chopper	C-MOS lógico 0/15V, 0V= IGBT abierto, 15V=IGBT cerrado	1A
9	Coaxial aislado BNC	Error de salida	C-MOS lógico 0/15V	1A
10	Conector Banana 4mm	15V Alimentación del driver	15V	5A
11	Conector Banana 4mm	0V Alimentación del driver	15V	5A
12	Conector Banana 4mm	Sensor de temperatura	0-5V	1A

Tabla 3.2 Conexiones del cubo de potencia Semiteach-IGBT [3].

Especificaciones críticas del cubo de potencia Semiteach-IGBT.

- Corriente máxima del cubo: 30A.
- Tensión de excitación del IGBT: 15V.
- tensión de alimentación del driver: 15V.
- Tensiona de entrada máxima no superable: 750VDC.
- Tiempo medio transitorio del IGBT ON -> OFF: 3 $\mu$ s.
- Banco de condensadores. Capacidad equivalente de 1100  $\mu$ F y 800V.

Especificaciones de la tarjeta Digilent Nexus2 Spartan3E-XC3S1200E:

- 1,200,000 puertas lógicas incorporadas en la FPGA.
- Alimentación USB 5VDC 500mA (facilitando la alimentación con baterías).
- 16Mbytes de RAM y 16Mbytes de ROM.
- Gran eficiencia energética en la alimentación del sistema.
- Interruptor de alimentación.
- Oscilador de 50MHz más un socket para un segundo oscilador.
- 60 I/O's ruteadas a conectores de expansión fiables.
- 8 LEDs, Display de 4 dígitos y 7 segmentos, 4 botones/pulsadores y 8 interruptores.
- Botón RESET para borrado completo del programa.
- Tensión de salida digital de los conectores PMOD JA, JB, JC, JD de 3.3V.

## SECCIÓN XI – ORGANIZACIÓN DE ARCHIVOS DEL CD ADJUNTO.

La distribución de las carpetas en el CD adjunto a este proyecto se muestra en la siguiente figura.

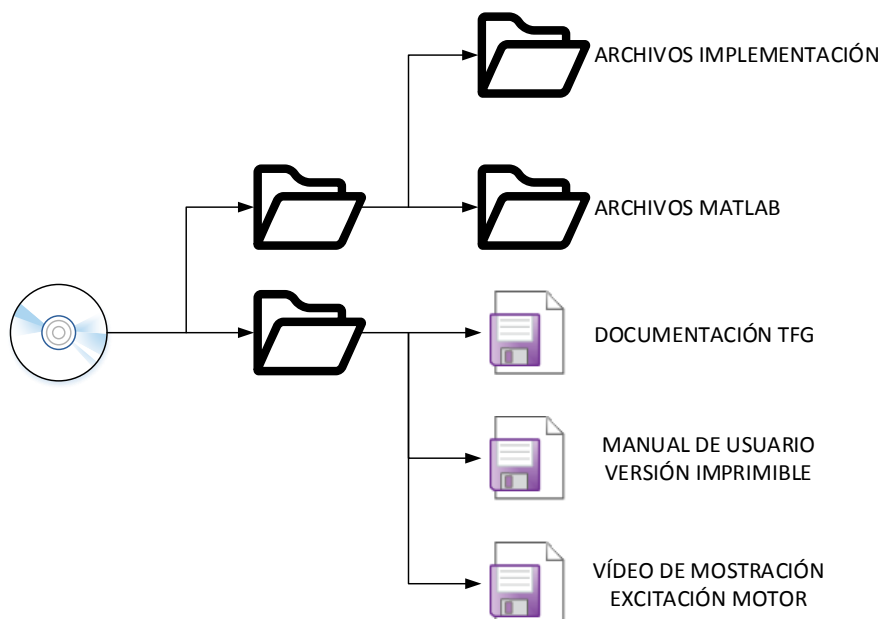


Figura XI.1 Organización interna del CD adjunto.

## SECCIÓN XII – BIBLIOGRAFÍA.

- [1] N. Moham, T.M. Undeland, W.P. Robbins, **“Electrónica de Potencia: Convertidores, aplicaciones y diseño.”**, Mc Graw Hill, 2009.
- [2] Xilinx, Inc. **“Spartan-3E FPGA Family: complete data sheet”**, Especificaciones del Producto, 2007. Disponible en: <http://www.xilinx.com>.
- [3] Semikron, Frédéric Sargos. Application Note AN-8005, **“IGBT Power Electronics. Teaching System. Principle for sizing power converters”**, 2008. Disponible en: <http://www.thierry-lequeu.fr>.
- [4] Cristina de Evan de Marcos, **“Configuración y prueba de convertidores DC/DC para prácticas de laboratorio”**, Trabajo de fin de Grado, Universidad de Alcalá, Septiembre 2015.
- [5] R. Barco, **“Sistema HW de control PWM gestionado desde Matlab”**, Trabajo de Fin de Grado, Departamento de Electrónica, Universidad de Alcalá de Henares, Madrid, 2014.
- [6] G. Pérez, A. Garrigós, J. M. Blanes, R. Gutiérrez, **“Plataforma basada en MATLAB, FPGA Xilinx y Semiteach-IGBT para docencia en electrónica potencia”**, Grupo de Electrónica Industrial, Universidad Miguel Hernández, Elche, 2013.
- [7] E. Monmasson, Marcian N. Cirstea, **“FPGA design methodology for industrial control systems- A Review”**, IEEE Transactions on Industrial Electronics, vol.54, no. 4, pp. 1824-1842, August 2007.
- [8] **“Guía Docente Electrónica de Potencia”**, Grado en Ingeniería en Electrónica y Automática Industrial (G60), Universidad de Alcalá, Curso Académico 2013/2014.
- [9] J. Ureña, M. A. Sotelo, F.J. Rodríguez, R. Barea, M. Domínguez, E. J. Bueno, P. A. Revenga, **“Electrónica de Potencia”**, Texto Universitario, Servicio de publicaciones, Universidad de Alcalá, 1999.
- [10] D.J. López, G. A. Camacho, J. O. Díaz, C. A. Gaviria, **“Modulación PWM aplicada a inversores trifásicos dentro del esquema de accionamientos eléctricos AC.”**, Facultad de Ingeniería Electrónica y Telecomunicaciones (FIET), Universidad del Cauca, Popayán, Cauca, 2007.
- [11] M. Malinowski, **“Sensorless Control Strategies for Three-Phase PWM Rectifiers”**. Ph.D.Thesis, Institute of Control and Industrial Electronics. Faculty of Electrical Engineering, Warsaw, University of Technology, Poland, 2001.
- [12] Digilent, Inc. **“Digilent PmodDA2™ Digital to Analog Module Converter Board Reference Manual”**, 2006 Disponible en: <http://www.digilent.com>.
- [13] Código del driver DAC Digilent Pmod-DA2: [https://github.com/nryoung/project-stupid-robot/blob/master/PmodLS1%20RefProj/SourceFiles/PMOD\\_DA2.vhd](https://github.com/nryoung/project-stupid-robot/blob/master/PmodLS1%20RefProj/SourceFiles/PMOD_DA2.vhd), último acceso septiembre de 2015.
- [14] Xilinx, Inc. **“LogiCORE IP Divider Generator v3.0”**, 2011. Disponible en: <http://www.xilinx.com>.

[15] Xilinx, Inc. **“Using Embedded Multipliers in Spartan-3 FPGAs”**, 2013. Disponible en: <http://www.xilinx.com>.

[16] Xilinx, Inc. **“Using Digital Clock Managers (DCMs) in Spartan-3 FPGAs”**, 2006. Disponible en: <http://www.xilinx.com>.

[17] **“Guía Docente Electrónica de Potencia”**, Grado en Ingeniería en Tecnología de Telecomunicación (G35), Universidad de Alcalá, Curso Académico 2013/2014.

[18] **“Guía Docente Electrónica de Potencia”**, Grado en Ingeniería Electrónica de Comunicaciones (G37), Universidad de Alcalá, Curso Académico 2013/2014.

[19] Stephen J. Chapman, **“Electric Machinery Fundamentals”** Mc Graw Hill, 4ª Edición, 2005.

[20] Digilent, Inc. **“Digilent Nexys2 Board Reference Manual”**, Especificaciones del Producto, 2011. Disponible en: <http://www.digilent.com>.

[21] Delta Elektronika, Inc. **“Manual SM1500N Series”**, 2012 Disponible en: <http://www.delta-elektronika.nl>