

**DISEÑO DE UNA ETAPA DE
AMPLIFICACIÓN PARA UN
SISTEMA DE BALIZAS
ULTRASÓNICAS**

**Máster Universitario en Sistemas Electrónicos Avanzados
Sistemas Inteligentes
Departamento de Electrónica**

**Presentado por:
Adrián Moreno Pina**

**Dirigido por:
Álvaro Henández Alonso
Jesús Ureña Ureña**

Alcalá de Henares, a 6 de enero de 2014

Índice General

1. RESUMEN	11
2. INTRODUCCION	12
2.1 Problemática	13
2.2 Justificaciones	14
2.3 Contexto.....	15
2.4 Estructura.....	15
3. ANTECEDENTES	16
3.1 Introducción a los sistemas de posicionamiento.....	16
3.2 Técnica CDMA	20
Generación de la señal CDMA.....	21
Acceso múltiple por división de código (CDMA síncrono)	22
CDMA asíncrono.....	23
4. REGLAS DE DISEÑO DE UN CIRCUITO IMPRESO	25
4.1 Introducción.....	25
Problemas debidos a la alta velocidad.....	26
Los dominios del tiempo y la frecuencia.....	27
Efectos de línea de Transmisión.....	28
Impedancia característica y adaptación de impedancia	30
Diafonía	31
El rebote de masa y las conmutaciones simultáneas	32
Trazado de las pistas de señal	33
Asignación de capas y selección del sustrato	34
4.2 Conceptos Aplicados al diseño del PCB	35
Líneas de transmisión en PCBs	36
Impedancia característica en las distintas topologías de un PCB.	41
Longitudes críticas.....	51
Líneas de transmisión en un PCB	55
Terminaciones de las líneas	61
Crosstalk	64

Stack-UP	81
Redes de desacoplo.....	91
Compatibilidad electromagnética	103
5. DISEÑO DEL PCB	110
5.1 Especificaciones de Diseño	110
5.2 Esquemas Eléctricos.....	111
Etapa de Alimentación	111
FPGA	116
Memorias DDR2	120
Etapa analógica	121
Comunicaciones	123
Circuitos periféricos	125
5.3 LayOut PCB.....	127
Áreas del PCB	127
Situación de los componentes	128
Stack-Up seleccionado	133
Rutado del Circuito.....	133
5.4 Especificaciones del sistema	135
Especificaciones Técnicas.....	135
Especificaciones Eléctricas	135
Especificaciones Mecánicas	136
Especificaciones de Funcionamiento	136
6. RESULTADOS	137
6.1 Accesos de usuario.....	137
6.2 Imágenes resultados obtenidos.....	138
7. CONCLUSIONES Y TRABAJOS FUTUROS	141
8. BIBLIOGRAFIA	142
9. ANEXOS	145
9.1 Esquemas eléctricos.....	145
9.2 Planos de LayOut	153

9.3	Lista de Materiales.....	179
-----	--------------------------	-----

Índice de Figuras

Figura 1: Método de lateración	18
Figura 2: Método de Angulación	19
Figura 3: Técnica CDMA.....	21
Figura 4: CDMA Síncrono.....	22
Figura 5: Espectro de la señal	27
Figura 6: Reflexión de la Señal.....	28
Figura 7: Señal de reloj digital	29
Figura 8: Construcción de un circuito impreso.....	30
Figura 9: Terminaciones de señal	31
Figura 10: Efecto de Diafonía	32
Figura 11: Efecto de rebote de masa.....	33
Figura 12: Línea de Transmisión I.....	36
Figura 13: Línea de Transmisión II	37
Figura 14: Línea de transmisión III.....	38
Figura 15: Línea de transmisión IV	38
Figura 16: Rizado de la señal	40
Figura 17: Impedancia característica I.....	40
Figura 18: Impedancia característica II.....	41
Figura 19: Impedancia característica III.....	41
Figura 20: Modelo de Microstrip.....	42
Figura 21: Modelo de Microstrip en paralelo.....	42
Figura 22: Impedancia característica III.....	43
Figura 23: Impedancia característica IV	43
Figura 24: Impedancia característica V	44
Figura 25: Microstrip empotrado	44
Figura 26: Microstrip con dos pistas empotrado	45
Figura 27: Modelo de Stripline	45
Figura 28: Modelo de dos pistas Stripline	46
Figura 29: Impedancia característica VI	47
Figura 30: Impedancia característica VII	47
Figura 31: Impedancia característica VIII	48
Figura 32: Stripline asimétrico.....	48
Figura 33: Impedancia característica IX.....	49
Figura 34: Impedancia característica X.....	49
Figura 35: Impedancia característica XI.....	50
Figura 36: Frecuencia de codo.....	51
Figura 37: Longitud crítica	52

Figura 38: Perturbación por diferencia de longitud	52
Figura 39: Modelo de efecto pelicular	53
Figura 40: Aumento de la atenuación	53
Figura 41: Modelo de Surfaceroughness.....	54
Figura 42: Absorción dieléctrica	54
Figura 43: Tipos de atenuaciones	55
Figura 44: Líneas diferenciales de un PCB	55
Figura 45: Modelo de ruido	56
Figura 46: Modelo de línea diferencial.....	56
Figura 47: Terminación punto a punto.....	57
Figura 48: Terminación bidireccional	57
Figura 49: Interferencia entre símbolos	58
Figura 50: Análisis de señal.....	58
Figura 51: Diagrama de ojos I	59
Figura 52: Diagrama de ojos II	59
Figura 53: Diagrama de ojos III	59
Figura 54: Diagrama de ojos IV.....	60
Figura 55: Diagrama de ojos V.....	60
Figura 56: Terminaciones de líneas	61
Figura 57: Serie fuente	61
Figura 58: Serie en la fuente con más de una carga.....	62
Figura 59: Ejemplo de serie en la fuente en un PCB	62
Figura 60: Paralelo en la carga.....	63
Figura 61: Modelo de Thevenin.....	63
Figura 62: Modelo de AC	63
Figura 63: Terminación mediante diodos.....	64
Figura 64: Acoplamiento eléctrico.....	65
Figura 65: Perturbaciones magnéticas y eléctricas de un PCB.....	65
Figura 66: Acoplamiento inductivo	66
Figura 67: Acoplamiento capacitivo	67
Figura 68: Efectos magnéticos.....	67
Figura 69: Efecto magnético sobre otra pista	68
Figura 70: Efectos provocados por un campo eléctrico	69
Figura 71: Efecto de dos pistas paralelas	69
Figura 72: Matriz de capacitancia.....	71
Figura 73: Circuito equivalente.....	71
Figura 74: Efecto del crosstalk.....	73
Figura 75: Modelo de Backward Crosstalk ó Near-End Crosstalk	73
Figura 76: Efecto del Crosstalk	74

Figura 77: Efecto del Crosstalk sobre la otra línea	74
Figura 78: Modelo de Forward Crosstalk o Far-End Crosstalk	74
Figura 79: Efecto del Crosstalk	75
Figura 80: Flanco de subida	75
Figura 81: Crosstalk provocado por un flanco de subida.....	75
Figura 82: Even Mode.....	76
Figura 83: Odd Mode.....	76
Figura 84: Iteración de los campos magnéticos	77
Figura 85: Circulación de corriente I.....	77
Figura 86: Circulación de corriente II.....	78
Figura 87: Circulación de corriente III.....	78
Figura 88: Circulación de corriente IV	79
Figura 89: Retardo de propagación	80
Figura 90: Efecto del Crosstalk	80
Figura 91: Circuito Multicapa	81
Figura 92: Pre-Preg	81
Figura 93: Propiedades de los materiales	82
Figura 94: Detalle del Stack-Up	82
Figura 95: Detalle Vía y Pad	82
Figura 96: Generación de las capas internas.....	83
Figura 97: Pulido mediante UV.....	83
Figura 98: Proceso final de limpieza	83
Figura 99: Resultado final del PCB.....	84
Figura 100: Realización de los taladros y vías	84
Figura 101: Metalización de las vías	84
Figura 102: Máscara fotosensible	85
Figura 103: Atacado químico.....	85
Figura 104: Proceso de UV	86
Figura 105: Acabado metálico	86
Figura 106: Tipos de Vías	87
Figura 107: Panel de PCB.....	87
Figura 108: PCB de Tester.....	87
Figura 109: Camino de menor inductancia	88
Figura 110: Diferencia de alta frecuencia y baja frecuencia	89
Figura 111: Densidad de corriente	89
Figura 112: Discontinuidad entre planos	89
Figura 113: Clearance de los planos	90
Figura 114: Circuito equivalente de Stack Up	90
Figura 115: Condensador de Bulk.....	91

Figura 116: Efecto del condensador de Bulk I	91
Figura 117: Efecto del condensador de Bulk II	92
Figura 118: Condensadores de desacoplo de un CI	93
Figura 119: Capacidad equivalente del Stack-Up	93
Figura 120: Impedancia en función de la frecuencia	94
Figura 121: Ancho de banda	94
Figura 122: Circuito equivalente	96
Figura 123: Conexión Vía plano	97
Figura 124: Capacidad entre planos	101
Figura 125: Efecto del FR4	101
Figura 126: Capacidad entre planos	101
Figura 127: Tipos de materiales dieléctricos	102
Figura 128: Modelo de cavidad	102
Figura 129: Plano de masa de una FPGA	103
Figura 130: Curva de coste	106
Figura 131: Proceso de fabricación	107
Figura 132: Elementos EMC de un PCB	107
Figura 133: Modelos de ruido	108
Figura 134: Reglas básicas	108
Figura 135: Diagrama de bloques	110
Figura 136: Conversor 230Vac a 24Vdc	112
Figura 137: Etapa de entrada de alimentación	112
Figura 138: Conversor de +24Vdc a ± 15 Vdc	113
Figura 139: Etapa de alimentación de ± 15 Vdc	113
Figura 140: Conversor de +24Vdc a +5Vdc	114
Figura 141: Etapa de alimentación de 5Vdc	114
Figura 142: Etapa de alimentación de +2.5Vdc y +1.2Vdc	115
Figura 143: Etapa de alimentación de +3.3Vdc y +1.8Vdc	116
Figura 144: Etapa de alimentación de +0.9Vdc	116
Figura 145: Puerto de programación	117
Figura 146: Memoria de programación	118
Figura 147: Memoria auxiliar de programación	118
Figura 148: Reloj del sistema	119
Figura 149: Condensadores de desacoplo	120
Figura 150: Memorias DDR2	121
Figura 151: Conversor DAC	122
Figura 152: Amplificador de potencia	123
Figura 153: Comunicación USB	123
Figura 154: Comunicación Ethernet	124

Figura 155: Comunicación WiFi	125
Figura 156: Sensor de Temperatura	125
Figura 157: Reloj Calendario.....	126
Figura 158: Puerto libre y Leds de depuración.....	127
Figura 159: Elementos del PCB.....	128
Figura 160: Circuitos de la tarjeta	128
Figura 161: Etapa de alimentación, cara Top	129
Figura 162: Etapa de alimentación, cara Bottom	129
Figura 163: Circuitos periféricos.....	130
Figura 164: FPGA	130
Figura 165: Memorias DDR2.....	131
Figura 166: Etapa Analógica	131
Figura 167: Puertos Libres	132
Figura 168: Etapa de comunicación	132
Figura 169: Stack Layer de la PCB.....	133
Figura 170: Accesos de Usuario.....	137
Figura 171: Resultado final I.....	138
Figura 172: Resultado final II	139
Figura 173: Resultado final III	139
Figura 174: Resultado final IV.....	140
Figura 175: Resultado final V.....	140

Índice de Tablas

Tabla 1: Longitud crítica para familias lógicas.....	52
Tabla 2: Perdidas por transmisión.....	53
Tabla 3: Clases de PCB.....	86
Tabla 4: Modelos de condensadores Multicapa.....	95
Tabla 5: Tamaños de condensadores multicapa.....	95
Tabla 6: Porcentaje de condensadores de desacoplo.....	100
Tabla 7: Valor de los condensadores en función de la frecuencia.....	100
Tabla 8: Consumos de la tarjeta.....	111

1. RESUMEN

En este trabajo se mostrarán los conceptos esenciales a tener en cuenta a la hora de realizar un diseño electrónico de alta velocidad. Este documento muestra los elementos hardware y la disposición de los mismos a la hora de llevar a cabo el diseño de una tarjeta electrónica, impidiendo posibles problemas una vez fabricada y posibilitando el cumplimiento de las normativas vigentes.

A modo de ejemplo se ha realizado un diseño de una tarjeta de control de un sistema de posicionamiento interior basado en balizas ultrasónicas. La elección de dicho diseño está basada en que en él se pueden encontrar los circuitos más característicos y comunes a los que deberá enfrentarse un diseñador. Contando con circuitos de potencia, analógicos y digitales de alta velocidad, que hacen de dicho circuito, él idóneo para mostrar toda la información recibida en la parte teórica.

This master thesis deals with relevant concepts to be deemed when developing a high-speed electronic design. It shows the hardware elements and their placement and arrangement in order to carry out the design of an electronic card, not only avoiding possible problems appearing after manufacturing, but also enabling compliance with regulations.

As an guidance example, a design of a control board of an indoor positioning system based on ultrasonic beacons has been presented. The interest of this design is based on the fact that most characteristic and common circuits in electronic design can be found here, such as power electronic circuits, or high-speed analog and digital circuits. This makes the proposed design suitable to show all the techniques, considerations and information described previously in the theoretical part.

2. INTRODUCCION

En el presente trabajo se detalla los detalles técnicos existentes a la hora de implementar o diseñar un circuito impreso. Debido a las altas velocidades de los circuitos digitales y el nivel de integración de la electrónica que encontramos en estos días, el diseño de circuitos impresos se ha convertido en una especialidad de muchos diseñadores electrónicos de la actualidad.

Antiguamente los diseñadores electrónicos que tenían que enfrentarse a un diseño carecían de las herramientas informáticas que actualmente se tiene, su método de diseño y rutado era de modo manual y carecían de análisis informáticos sobre posibles efectos que podrían aparecer en la tarjeta una vez fabricada, dificultando el proceso de diseño y fabricación del mismo.

Es cierto, que la electrónica ha variado mucho desde su comienzo, llegando a obtener niveles de integración y velocidad de las señales unas 1000 veces mayor que en sus inicios. La dificultad en los primeros diseños electrónicos se basaba en la colocación de los componentes que formaban el circuito en la placa, teniendo en cuenta la manera más simple para llevar a cabo el proceso de rutado y el tamaño de la misma.

A comienzos de los años 80 el nivel de integración aumento y la velocidad de conmutación de los procesadores se disparó, apareciendo los primeros problemas de acoplamiento y diseño de las líneas de transmisión. Con la aparición de los ordenadores personales el nivel de integración llegó a su punto óptimo, donde era necesario conseguir que un gran número de componentes y conexiones funcionaran en un pequeño espacio. La respuesta a esto fue los circuitos multicapa, dichos circuitos impresos permitían al diseñador llevar a un gran número de señales por la tarjeta sin aumentar el tamaño de la misma. La unión de esta tecnología junto con los circuitos integrados en SMD permitieron a los diseñadores llevar la tecnología a el plano del diseño 3D.

La aparición con el tiempo de procesadores de velocidad mayor, los problemas técnicos que aparecían en las transmisión de las señales aumentaron siendo de estudio el comportamiento y aparición de los primeros manuales técnicos sobre el correcto diseño de circuitos integrados.

A partir de la última década las frecuencias de los circuitos integrados fueron multiplicándose complicando aún más el diseño de las tarjetas electrónicas. La ayuda a este problema apareció gracias al aumento en la computación informática y la aparición de software de diseño y simulación del comportamiento de un diseño electrónico que aplican las reglas estudiadas en dicho documento.

Las herramientas informáticas que existen actualmente necesitan de un diseñador experto y con conocimientos en las reglas existentes a la hora de acontecer un diseño electrónico. En el presente trabajo se llevará a cabo la explicación y demostración de las reglas a tener en cuenta a la hora de diseñar un circuito electrónico de alta frecuencia. Para llevar a cabo dicha explicación se diseñara una tarjeta electrónica que combina el diseño digital de alta velocidad con el diseño analógico de alta potencia.

La tarjeta electrónica forma parte de un sistema de posicionamiento interior basado en balizas de ultrasonidos que tienen la función de emitir impulsos de ultrasonidos al entorno que serán captados por el receptor, posicionando el mismo.

Dicha tarjeta por lo tanto contendrá una parte digital de procesamiento de la señal de ultrasonidos a enviar basado en una arquitectura abierta de una FPGA, también dicho procesador tendrá la responsabilidad de llevar a cabo la comunicación con un usuario a través de una conexión vía Ethernet y USB.

En cuanto a la etapa de potencia se divide en dos partes, en la etapa de alimentación y la etapa de amplificación de la señal de ultrasonidos. La etapa de potencia tendrá que convertir la alimentación de la red de 220Vac a las diferentes alimentaciones que tiene la tarjeta. La etapa de amplificación estará compuesta por una batería de convertidores ADC y Amplificadores de potencia que tendrán la función de aumentar la potencia del pulso ultrasónico para ser enviado las balizas de las mismas.

En las siguientes páginas del documento se detallarán todas las etapas y diferentes circuitos de los que está compuesta la tarjeta explicando teóricamente los efectos que podemos encontrar en el diseño y las razones o justificaciones de porque se ha llevado a cabo el diseño del mismo de dicha manera.

2.1 Problemática

El gran problema que se encuentra actualmente en el diseño electrónico se divide en ciertos apartados:

- **Problemas del nivel de integración** -> Debido a la cantidad de funcionalidades y reducidos tamaños de los diseños electrónicos actuales, pues dificulta y encarece el método de fabricación y ensamblaje de los componentes electrónicos en la tarjeta. Antiguamente en los primeros diseños electrónicos, los componentes de las tarjetas eran de un tamaño aparentemente grande y el método de montaje era la inserción, por lo que simplificaba mucho el proceso de montaje de las tarjetas electrónicas. A medida que el número de prestaciones fue en aumento los componentes fueron reduciendo de tamaño hasta llegar en la actualidad al orden de micras en el tamaño de los mismos.

Pero la gran evolución se dio cuando se introdujeron los componentes en SMD. Este tipo de componentes permitían a los diseñadores la utilización de las dos caras de las tarjetas para el posicionamiento de los dispositivos, lo que redujo el tamaño de las mismas.

A medida que los componentes fueron reduciendo el tamaño, aparecieron ciertos problemas en el montaje de los mismos, pues era necesaria la utilización de maquinaria y utillaje especializado para llevar a cabo el montaje de los componentes sobre el circuito.

- **Problemas de temperatura** -> Debido a lo comentado anteriormente, el aumento de nivel de integración junto con el aumento de la velocidad de los dispositivos ha llevado a un aumento en la temperatura de los diseños electrónicos. Está es una de las mayores problemáticas a las que se enfrenta un diseñador a la hora de llevar a cabo la colocación y disposición de los componentes en una tarjeta, pues dicho posicionamiento recaerá en un futuro en la posible colocación mecánica de radiadores y ventiladores que permitan evacuar el calor de dichos componentes al exterior. Es por ello que habrá que tener en cuenta a la hora de llevar el diseño electrónico el uso de planos mecánicos y colocación de los componentes en la tarjeta a diseñar.
- **Problemas de acoplamientos y ruidos en la señal** -> Sin duda este es uno de los mayores problemas a los que se enfrenta un diseñador electrónico a la hora de realizar una tarjeta. Debido a las causas anteriormente comentadas, alto nivel de integración y aumento de la velocidad y número de señales el trazado de las pistas por el circuito y acomodación de las mismas se ha convertido en una de las tareas más complejas en el diseño de las mismas.

En el presente trabajo se tratará de justificar las acciones tomadas durante el diseño del circuito, la colocación de los componentes, selección de los mismos y rutado de las señales en la tarjeta de control del sistema de posicionamiento interno basado en balizas ultrasónicas.

2.2 Justificaciones

Existen en el mercado actualmente tarjetas electrónicas que contienen la mayor parte de la electrónica de cómputo necesaria para el control de las balizas del sistema de posicionamiento, pero su precio y recursos son demasiados elevados para la aplicación final a diseñar.

Es por ello que la justificación de llevar a cabo el diseño y fabricación de una tarjeta que contenga únicamente la electrónica requerida por la aplicación, que permitirá disminuir el precio del sistema de posicionamiento y aumentar las características del sistema, optimizando también el tamaño del equipo.

2.3 Contexto

El grupo de investigación GEINTRA (Grupo de Ingeniería Electrónica Aplicada a Espacios Inteligentes y Transporte). Es un grupo oficialmente reconocido por la UAH (referencia CCTT2006/R37) que aglutina a un total de 23 profesores doctores y numerosos becarios asociados a distintos proyectos de investigación y programas de formación.

Las líneas de investigación abordadas comprenden un amplio conjunto de áreas de trabajo en aplicaciones relacionadas, principalmente, con el uso de la tecnología electrónica en los espacios inteligentes y los sistemas de transporte.

El grupo GEINTRA participa de forma permanente en un gran número de proyectos de investigación, tanto de financiación pública como privada. Fruto de la intensa labor investigadora llevada a cabo se genera de forma continuada una importante actividad de: transferencia tecnológica a diversas empresas del sector electrónico, divulgación de resultados en revistas de alto índice de impacto, ponencias en congresos, desarrollo de tesis doctorales, generación de patentes, etc.

El presente trabajo está relacionado con las actividades de investigación sobre sistemas de posicionamiento interior, basados en balizas ultrasónicas.

2.4 Estructura

En la primera parte del documento se tratarán todos los aspectos teóricos relacionados con el diseño de un circuito impreso.

En esta sección se detallarán las reglas e implantaciones necesarias que se deberán llevar a cabo durante la fase de diseño, antes de la fabricación del circuito. En ella se tratarán los temas relacionados con las terminaciones de las líneas de transmisión, los efectos de acople entre las líneas, la utilidad y uso de los condensadores de desacople y los efectos y soluciones con los problemas relacionados con EMC.

En la segunda parte del documento se tratará un ejemplo de diseño implementado para el control de un sistema de posicionamiento basado en balizas ultrasónicas. En esta tarjeta se observan distintos tipos de electrónicas de potencia, digital y analógica que deberán coexistir en el mismo entorno. Para ello será necesario el uso de las reglas explicadas en la primera parte del documento.

3. ANTECEDENTES

3.1 Introducción a los sistemas de posicionamiento

Aunque el trabajo presentado está más relacionado a explicar las reglas básicas a implementar a la hora de realizar un circuito impreso, se ha utilizado a modo de ejemplo el diseño de un PCB que se encargará del control de un sistema de posicionamiento interior basado en ultrasonidos.

Desde hace muchos años el ser humano ha intentado buscar las formas de posicionarse dentro del mundo que le rodea. Ya era desde la antigüedad cuando los navegantes utilizaban la cosmología como elemento necesario para llevar a cabo la navegación de sus naves a través de los mares.

Posteriormente en la edad media aparecieron novedosos artilugios como el astrolabio, que utilizaban la posición del Sol para conocer la latitud a la que se encontraban los navíos.

A comienzos del siglo XX empezaron a aparecer los primeros sistemas electrónicos de posicionamiento basados en balizas electrónicas que transmitían una señal de radio, que era captada por los navíos y a través de triangulación, con esta ayuda, estos eran capaces de posicionarse dentro de los océanos.

A lo largo del siglo XX los sistemas electrónicos fueron evolucionando hasta llegar al sistema de posicionamiento global, basado en satélites geoestacionarios denominado GPS. El GPS se ha convertido en una herramienta fundamental en los tiempos que corren permitiendo llevar a cabo el guiado de barcos, aviones y ayudando a los conductores a encontrar su destino cuando llevan su automóvil.

Pero el GPS presenta un fundamental inconveniente y es que su uso queda delimitado a espacios exteriores impidiendo su utilización en los espacios cerrados. La necesidad de llevar a cabo el posicionamiento en espacios cerrados ha aumentado su demanda en función del desarrollo tecnológico de la robótica y del desarrollo de dispositivos electrónicos móviles personales (teléfonos, tabletas electrónicas....).

Debido a esta necesidad de consumo ha sido necesario desarrollar sistemas que nos permitan conocer nuestra posición o la posición de un robot móvil en un espacio interior. No existe en la actualidad un sistema ni técnica estandarizada para el posicionamiento interior que permita definir una arquitectura fija de sistemas, a continuación se mostrarán las utilidades de los sistemas de posicionamiento, los sistemas más comúnmente utilizados y que se encuentran a nuestro alcance.

Pero, ¿Cuáles pueden ser las aplicaciones de un sistema de posicionamiento interior?

- Localización y guiado de personas dentro de infraestructuras.
- Sistemas y servicios de emergencias.
- Aplicaciones de guiado de personal y enfermos en hospitales.
- Juegos.
- Modelado de infraestructuras.
-

Las características principales que diferencia de un sistema de posicionamiento a otro son las siguientes:

- Sistema diseñado para posicionamiento Interior o Exterior.
- Si las posiciones son físicas o simbólicas.
- Si la posición dictada por el sistema es absoluta o relativa.
- Precisión.
- Escala de operación.
- Algoritmos de procesamiento.
- Sistema de sensorización.
- Reconocimiento del objeto.
- Coste.
- Operación en tiempo real o procesado.
- Limitaciones.

Los sistemas de posicionamiento se diferencian en dos tipos, dependiendo de la información que generan:

- Posición física: Proporciona una posición física respecto de un origen de referencia. Por ejemplo el GPS.
- Posición simbólica: Proporciona una posición relativa a un objeto o punto de un escenario conocido. Por ejemplo la distancia en un punto de un edificio a la salida más cercana.

En cuanto a la sensorización más comúnmente utilizada, se destacan:

- Sistemas de posicionamiento global.
 - o GPS.
 - o GSM, UMTS, WiMAX.
- Sistemas de posicionamiento local.
 - o Encoders. Basados en odometría.
 - o Ultrasonidos. Basados en la medición del tiempo de vuelo de la señal.
 - o Infrarrojos y Laser. Basados en principios de interferometría.
 - o Sistemas de radio frecuencia.

- LORAN
- Radar
- WiFi
- Bluetooth
- Zigbee
- RFID

Las técnicas de posicionamiento más comúnmente utilizados son tres:

- Triangulación
- Análisis del escenario
- Proximidad

La técnica de triangulación o multilateración se basa en el uso de las propiedades geométricas o triángulos para la localización del objeto. Existen dos métodos:

- Lateración
- Angulación

La lateración consiste en la medida de las distancias de balizas al objeto. Para la localización e 2D es necesario el uso de tres balizas no colineales, mientras que para la localización 3D es necesario el uso de 4 balizas.

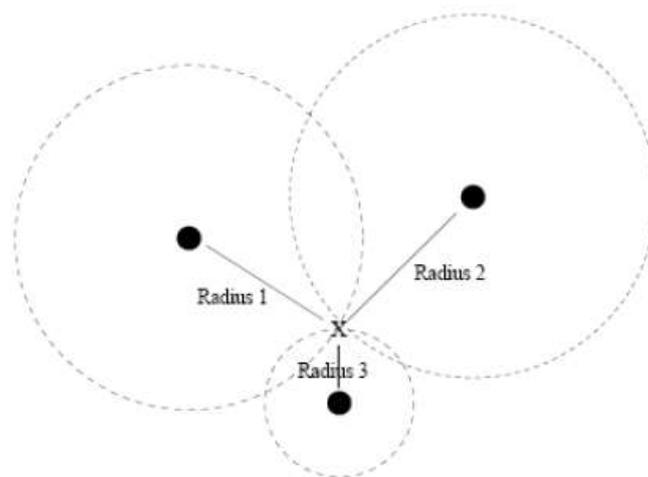


Figura 1: Método de lateración

Para el uso de esta técnica existen tres tipos de medidas:

- **Medida Directa.** Requiere una acción física o movimiento del objeto. Es complicada de llevar a cabo en la realidad.
- **Tiempo de Vuelo.** Se basa en la medición del tiempo que tarda la señal en recorrer la distancia entre la baliza y el objeto.

- **Atenuación de la Señal.** Medida de la pérdida de intensidad de la señal en función de la distancia.

La técnica de angulación se basa en medir el ángulo de incidencia que existe entre la baliza y el objeto móvil. Para el posicionamiento en 2D es necesario un mínimo de 2 balizas.

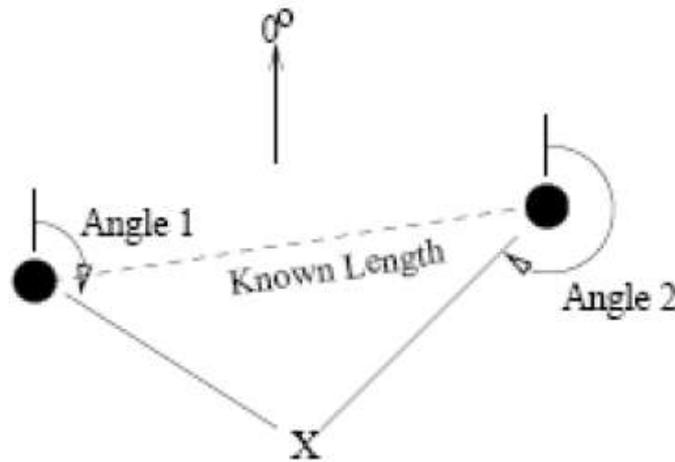


Figura 2: Método de Angulación

Es un método utilizado en antenas arrays y en los sistemas de navegación.

En cuanto a las técnicas de proximidad. Se basan en determinar cuándo un objeto está cercano a una posición conocida. Existen tres métodos para ello.

- Contacto físico.
- Monitorizando la distancia a un acceso inalámbrico.
- A través de un sistema de identificación automática, como por ejemplo son los códigos de barras, tarjetas ID...

La técnica de análisis del escenario se basa en la utilización de señales que barren todo el espacio y analizan el movimiento de objetos en dicho espacio en función del tiempo transcurrido. Ejemplos de sistemas que utilizan estas técnicas son los radares y sonares.

Para llevar a cabo el posicionamiento de objetos es necesario el desarrollo de una infraestructura que deberá de contener los elementos hardware que posibiliten la localización. Estos elementos deberán estar compuestos por la red de sensores, la red de comunicación la unidad de procesamiento de la información y el software de control necesario.

Una vez llevado a cabo la introducción sobre los diferentes tipos de sistemas de posicionamiento y el hardware necesario para llevarlo a cabo hay que destacar el método utilizado y presentado en este trabajo. El sistema de posicionamiento desarrollado por este trabajo consiste en un sistema de posicionamiento basado en balizas ultrasónicas, en concreto cinco que permiten realizar el posicionamiento de un objeto móvil dentro de un espacio 3D.

Nuestro sistema de posicionamiento estará compuesto por unos sensores ultrasónicos que deberán de ser capaces de enviar una información única por cada baliza al objeto móvil a localizar. Dicho objeto móvil deberá de procesar la información y ser capaz de analizar la distancia existente a cada una de las balizas, permitiéndole así localizarse dentro del escenario.

Para la encriptación de la información será necesaria la utilización de codificaciones y técnicas especiales de codificación como es el CDMA.

3.2 Técnica CDMA

La multiplexación por división de código, acceso múltiple por división de código o CDMA (del inglés Code División Múltiple Access) es un término genérico para varios métodos de multiplexación o control de acceso al medio basados en la tecnología de espectro expandido.

La traducción del inglés spread spectrum se hace con distintos adjetivos según las fuentes; pueden emplearse indistintamente espectro ensanchado, expandido, difuso o disperso para referirse en todos los casos al mismo concepto. Habitualmente se emplea en comunicaciones inalámbricas (por radiofrecuencia), aunque también puede usarse en sistemas de fibra óptica o de cable.

En CDMA, la señal se emite con un ancho de banda mucho mayor que el precisado por los datos a transmitir; por este motivo, la división por código es una técnica de acceso múltiple de espectro expandido. A los datos a transmitir simplemente se les aplica la función lógica XOR con el código de transmisión, que es único para ese usuario y se emite con un ancho de banda significativamente mayor que los datos.

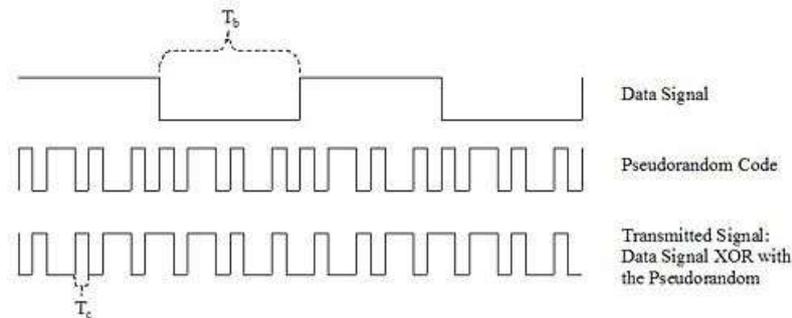


Figura 3: Técnica CDMA

Generación de la señal CDMA

A la señal de datos, con una duración de pulso T_b , se le aplica la función XOR con el código de transmisión, que tiene una duración de pulso T_c . (Nota: el ancho de banda requerido por una señal es $1/T$, donde T es el tiempo empleado en la transmisión de un bit). Por tanto, el ancho de banda de los datos transmitidos es $1/T_b$ y el de la señal de espectro expandido es $1/T_c$. Dado que T_c es mucho menor que T_b , el ancho de banda de la señal emitida es mucho mayor que el de la señal original, y de ahí el nombre de "espectro expandido".

Cada usuario de un sistema CDMA emplea un código de transmisión distinto (y único) para modular su señal. La selección del código a emplear para la modulación es vital para el buen desempeño de los sistemas CDMA, porque de él depende la selección de la señal de interés, que se hace por correlación cruzada de la señal captada con el código del usuario de interés, así como el rechazo del resto de señales y de las interferencias multi-path (producidas por los distintos rebotes de señal).

El mejor caso se presenta cuando existe una buena separación entre la señal del usuario deseado (la señal de interés) y las del resto; si la señal captada es la buscada, el resultado de la correlación será muy alto, y el sistema podrá extraer la señal. En cambio, si la señal recibida no es la de interés, como el código empleado por cada usuario es distinto, la correlación debería ser muy pequeña, idealmente tendiendo a cero (y por tanto eliminando el resto de señales). Y además, si la correlación se produce con cualquier retardo temporal distinto de cero, la correlación también debería tender a cero. A esto se le denomina autocorrelación y se emplea para rechazar las interferencias multi-path.

En general, en división de código se distinguen dos categorías básicas: CDMA síncrono (mediante códigos ortogonales) y asíncrono (mediante secuencias pseudoaleatorias).

Acceso múltiple por división de código (CDMA síncrono)

El CDMA síncrono explota las propiedades matemáticas de ortogonalidad entre vectores cuyas coordenadas representan los datos a transmitir. Por ejemplo, la cadena binaria "1011" sería representada por el vector (1, 0, 1, 1).

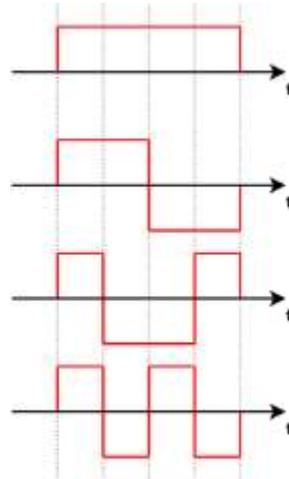


Figura 4: CDMA Síncrono

Dos vectores pueden multiplicarse mediante el producto escalar (\cdot), que suma los productos de sus respectivas coordenadas. Si el producto escalar de dos vectores es 0, se dice que son ortogonales entre sí. (Nota: si dos vectores se definen $u = (a, b)$ y $v = (c, d)$; su producto escalar será $u \cdot v = a \cdot c + b \cdot d$).

Algunas propiedades del producto escalar ayudan a comprender cómo funciona CDMA. Si los vectores a y b son ortogonales, y representan los códigos de dos usuarios de CDMA síncrono A y B, entonces:

$$\mathbf{a} \cdot (\mathbf{a} + \mathbf{b}) = \|\mathbf{a}\|^2 \quad \text{pues} \quad \mathbf{a} \cdot \mathbf{a} + \mathbf{a} \cdot \mathbf{b} = \|\mathbf{a}\|^2 + 0,$$

Ecuación 1

$$\mathbf{a} \cdot (-\mathbf{a} + \mathbf{b}) = -\|\mathbf{a}\|^2 \quad \text{pues} \quad -\mathbf{a} \cdot \mathbf{a} + \mathbf{a} \cdot \mathbf{b} = -\|\mathbf{a}\|^2 + 0,$$

Ecuación 2

$$\mathbf{b} \cdot (\mathbf{a} + \mathbf{b}) = \|\mathbf{b}\|^2 \quad \text{pues} \quad \mathbf{b} \cdot \mathbf{a} + \mathbf{b} \cdot \mathbf{b} = 0 + \|\mathbf{b}\|^2,$$

Ecuación 3

$$\mathbf{b} \cdot (\mathbf{a} - \mathbf{b}) = -\|\mathbf{b}\|^2 \quad \text{pues} \quad \mathbf{b} \cdot \mathbf{a} - \mathbf{b} \cdot \mathbf{b} = 0 - \|\mathbf{b}\|^2.$$

Ecuación 4

Por tanto, aunque el receptor capte combinaciones lineales de los vectores a y b (es decir, las señales procedentes de A y B al mismo tiempo, sumadas en el aire), si conoce

el código de transmisión del usuario de interés siempre podrá aislar sus datos de los del resto de usuarios, simplemente mediante el producto escalar de la señal recibida con el código del usuario; al ser el código del usuario ortogonal respecto a todos los demás, el producto aislará la señal de interés y anulará el resto. Este resultado para dos usuarios es extensible a todos los usuarios que se desee, siempre que existan códigos ortogonales suficientes para el número de usuarios deseado, lo que se logra incrementando la longitud del código.

Cada usuario de CDMA síncrono emplea un código único para modular la señal, y los códigos de los usuarios en una misma zona deben ser ortogonales entre sí. En la imagen se muestran cuatro códigos mutuamente ortogonales. Como su producto escalar es 0, los códigos ortogonales tienen una correlación cruzada igual a cero, y, en otras palabras, no provocan interferencias entre sí.

Este resultado implica que no es necesario emplear circuitería de filtrado en frecuencia (como se emplearía en FDMA), ni de conmutación de acuerdo con algún esquema temporal (como se emplearía en TDMA) para aislar la señal de interés; se reciben las señales de todos los usuarios al mismo tiempo y se separan mediante procesado digital.

En el caso de IS-95, se emplean códigos ortogonales de Walsh de 64 bits para codificar las señales y separar a sus distintos usuarios.

CDMA asíncrono

Los sistemas CDMA síncronos funcionan bien siempre que no haya excesivo retardo en la llegada de las señales; sin embargo, los enlaces de radio entre teléfonos móviles y sus bases no pueden coordinarse con mucha precisión. Como los terminales pueden moverse, la señal puede encontrar obstáculos a su paso, que darán origen a cierta variabilidad en los retardos de llegada (por los distintos rebotes de la señal, el efecto Doppler y otros factores). Por tanto, se hace aconsejable un enfoque algo diferente.

Por la movilidad de los terminales, las distintas señales tienen un retardo de llegada variable. Dado que, matemáticamente, es imposible crear secuencias de codificación que sean ortogonales en todos los instantes aleatorios en que podría llegar la señal, en los sistemas CDMA asíncronos se emplean secuencias únicas "pseudoaleatorias" o de "pseudoruido" (en inglés, PN sequences). Un código PN es una secuencia binaria que parece aleatoria, pero que puede reproducirse de forma determinista si el receptor lo necesita. Estas secuencias se usan para codificar y decodificar las señales de interés de los usuarios de CDMA asíncrono de la misma forma en que se empleaban los códigos ortogonales en el sistema síncrono.

Las secuencias PN no presentan correlación estadística, y la suma de un gran número de secuencias PN resulta en lo que se denomina interferencia de acceso múltiple (en inglés, MAI, multiple access interference), que puede estimarse como un proceso gaussiano de ruido que sigue el teorema central del límite estadístico. Si las señales de todos los usuarios se reciben con igual potencia, la varianza (es decir, la potencia del ruido) de la MAI se incrementa en proporción directa al número de usuarios. En otras palabras, a diferencia de lo que ocurre en CDMA síncrono, las señales del resto de usuarios aparecerán como ruido en relación con la señal de interés, y provocarán interferencia con la señal de interés: cuantos más usuarios simultáneos, mayor interferencia.

Por otra parte, el hecho de que las secuencias sean aparentemente aleatorias y de potencia distribuida en un ancho de banda relativamente amplio conlleva una ventaja adicional: son más difíciles de detectar en caso de que alguien intente captarlas, porque se confunden con el ruido de fondo. Esta propiedad ha sido aprovechada durante el siglo XX en comunicaciones militares.

Todos los tipos de CDMA aprovechan la ganancia de procesamiento que introducen los sistemas de espectro extendido; esta ganancia permite a los receptores discriminar parcialmente las señales indeseadas. Las señales codificadas con el código PN especificado se reciben, y el resto de señales (o las que tienen el mismo código pero distinto retardo, debido a los diferentes trayectos de llegada) se presentan como ruido de banda ancha que se reduce o elimina gracias a la ganancia de procesamiento.

Como todos los usuarios generan MAI, es muy importante controlar la potencia de emisión. Los sistemas CDMA síncrono, TDMA o FDMA pueden, por lo menos en teoría, rechazar por completo las señales indeseadas (que usan distintos códigos, ranuras temporales o canales de frecuencia) por la ortogonalidad de estos esquemas de acceso al medio. Pero esto no es cierto para el CDMA asíncrono; el rechazo de las señales indeseadas sólo es parcial. Si parte (o el total) de las señales indeseadas se reciben con potencia mucho mayor que la de la señal deseada, ésta no se podrá separar del resto. Para evitar este problema, un requisito general en el diseño de estos sistemas es que se controle la potencia de todos los emisores; se busca asegurar que la potencia captada por el receptor sea aproximadamente la misma para todas las señales entrantes. En los sistemas de telefonía celular, la estación base emplea un esquema de control de potencia por bucle cerrado (fast closed-loop power control, en inglés) para controlar estrictamente la potencia de emisión de cada teléfono.

4. REGLAS DE DISEÑO DE UN CIRCUITO IMPRESO

4.1 Introducción

Cuando se debe diseñar una nueva tarjeta de circuito impreso multicapa compleja con cuatro o más capas, con frecuencias de reloj muy altas, con comunicaciones de alta velocidad, con tensiones de alimentación bajas, con alta complejidad de conexionado, con memorias de alta velocidad (DDR2 por ejemplo) y con circuitos integrados con muchas patillas, se presenta un importante reto: asegurar la integridad de la señal.

Para estar al día en el mundo de la electrónica en continuo cambio, cada vez con circuitos integrados más densos operando cada vez con mayores velocidades, un ingeniero de diseño tiene que ser consciente de los continuos nuevos retos de diseño. Los efectos como las líneas de transmisión, la falta de adaptación de impedancias, la diafonía y los rebotes de masa (“groundbounce”) pueden impedir que el producto funcione correctamente. Del mismo modo, estos efectos pueden crear problemas difíciles de encontrar y difíciles de resolver que pueden retardar el inicio de la producción del nuevo producto.

Los diseños digitales han sido tradicionalmente bastante más inmunes a los problemas más comunes en los sistemas analógicos. Las interferencias electromagnéticas (EMI) o el trazado de la tarjeta de circuito impreso (TCI) no han representado grandes problemas en los circuitos digitales de baja velocidad. Desde hace un tiempo, la tecnología ha cambiado y no para facilitar el proceso del diseño electrónico.

La comprensión y el control de la integridad de la señal (calidad de señal) son aspectos esenciales para el diseñador para realizar su diseño tal como se espera. Hay varios aspectos importantes en la integridad de la señal a considerar: la miniaturización, la alta densidad de los encapsulados, la disminución de los anchos de pista, la disminución de la separación entre pistas, las tecnologías incompatibles cerca unas de otras, las bajas tensiones de alimentación, las altas corrientes de alimentación, los niveles lógicos bajos, los bajos márgenes de ruido, las señales digitales de alta frecuencia, las altas velocidades de los datos, los componentes rápidos con altas corrientes de conmutación, los encapsulados con muchas patillas de E/S, los efectos de las líneas de transmisión, y el número de capas y su funcionalidad en las TCIs.

La miniaturización de los componentes obliga a los diseñadores electrónicos a colocar uno muy cerca del otro. Simplemente no hay espacio adicional disponible en las TCIs. La alta densidad de componentes requiere disminuir el ancho de las pistas y la separación entre ellas, con lo que se propicia tener problemas de diafonía. Como el nivel de integración de sistemas se hace mayor día a día, provoca que diferentes

tecnologías y funciones (como la fuente de alimentación, los circuitos digitales, los subsistemas analógicos o los módulos de RF) se deban disponer cerca de las demás.

Las frecuencias de operación, los niveles de impedancia, así como los niveles de tensión y corriente varían en gran medida entre ellas y pueden interferir entre las diferentes tecnologías cercanas. Los niveles de tensión de alimentación disminuyen debido a los cambios en los procesos productivos de los semiconductores. Hoy en día, las tensiones como 5V, 3.3V, 2.8V, 2.5V, 1.8V, 1.5V son comunes en los sistemas electrónicos.

Los dispositivos de baja tensión utilizan niveles lógicos bajos, y como resultado, los márgenes de ruido del sistema también son bajos.

En los sistemas de alto rendimiento, el consumo de energía es alto, tienen bajas tensiones de alimentación y en consecuencia circulan corrientes de alimentación muy altas. Los dispositivos rápidos no toleran largas pistas en las TCI sin las adaptaciones de impedancia adecuadas, debido a las reflexiones en las líneas de transmisión, que pueden reducir la calidad de la señal. A bajas velocidades, la respuesta en frecuencia de la pista tiene poca influencia sobre la señal, a menos que la pista sea excesivamente larga.

Conforme aumenta la velocidad, el número de efectos de alta velocidades más y más importante. La inductancia de las pistas conectadas a los circuitos integrados (CIs) con encapsulados con muchas patillas de E/S puede introducir nuevos retos como los efectos del rebote de masa (“groundbounce”).

Problemas debidos a la alta velocidad

Los problemas y efectos comunes a los que se enfrenta el diseñador durante el diseño de alta velocidad digital y sus pruebas son típicamente:

- Efectos de línea de transmisión
- Desadaptación de impedancia
- Diafonía
- Rebotes de masa (“groundbounce”)
- Atenuación de la señal

Estos efectos pueden obstaculizar seriamente la integridad, la calidad y la respuesta de la señal. Sólo se puede superar estos problemas primero entendiendo la base de sus síntomas, en segundo lugar estudiando cuidadosamente el diseño a realizar para identificar las áreas más problemáticas y en tercer lugar siguiendo unas buenas técnicas de diseño. Descuidar estos efectos y simplemente cerrar los ojos durante la

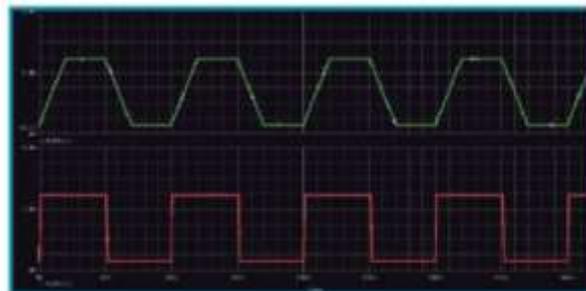
fase de diseño no ayudará a evitar y resolver los problemas de integridad, propiciando retardos en el desarrollo y en la llegada del producto al mercado.

Localizar el origen de los problemas que puedan existir en el prototipo, por no mencionar su solución puede ser difícil. Soldar hilos o unos componentes al aire en una TCI problemática no suele solucionar prácticamente nada, sino que simplemente puede crear todavía más problemas. En los diseños de alta velocidad, el conocimiento y la previsión son los factores clave para evitar que estos problemas aparezcan.

Los dominios del tiempo y la frecuencia

Hoy en día, la mayoría de los diseños de sistemas electrónicos principalmente son digitales. Las señales analógicas se convierten normalmente al mundo digital tan pronto como es posible porque así es más fácil procesarlas.

El ancho de banda de una señal digital depende de la forma de la señal, tiempos de subida y bajada, los métodos de modulación, etc. Sin embargo, el ancho de banda de la señal se propaga a través de un amplio espectro que excede la frecuencia de su banda base (frecuencia fundamental) debido a los flancos verticales de la señal digital.



Señales de reloj de 100 MHz con 2 ns y 100 ps de tiempos de conmutación



Espectro de frecuencia de las señales de reloj de 100 MHz. La señal de 2 ps tiene armónicos de mayor frecuencia.

Figura 5: Espectro de la señal

La figura muestra dos señales de reloj y sus espectros de frecuencia. Las frecuencias de las señales son iguales (100 MHz), pero los tiempos de subida son diferentes (2 ns y 100 ps). Cuando los tiempos de conmutación de las señales son más rápidos, el

espectro de frecuencia de sus armónicos se extiende a mayores frecuencias (señal y espectro rojos en la figura). Cuanta más alta es la frecuencia, más probable es tener problemas de integridad y compatibilidad electromagnética.

Efectos de línea de Transmisión

Conforme aumenta la velocidad de la señal, se deben considerar los efectos de línea de transmisión en la pista. Estos efectos entran en juego cuando la longitud de la pista de circuito impreso (o cualquier otro cableo conductor que lleve la señal) es tan larga que el retardo de la señal hacia atrás y hacia adelante por la pista es mayor que el tiempo de conmutación de la señal.

Las diferencias entre la impedancia característica de la pista y la impedancia de salida del conductor o la impedancia de entrada de la carga crean reflexiones de la señal. Estas reflexiones, a su vez distorsionan la forma de onda de la señal de la figura.

Las reflexiones reducen los márgenes de ruido del sistema y pueden causar fallos no deseados en las señales. Los efectos de líneas de transmisión dependen del tiempo de conmutación y no de la frecuencia de la señal.

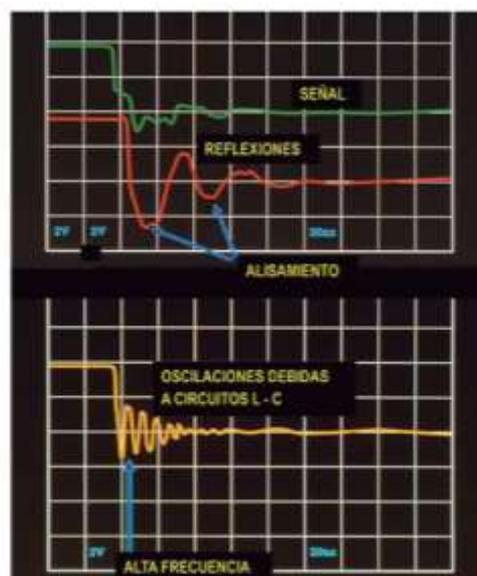


Figura 6: Reflexión de la Señal

La figura muestra gráficamente la diferencia entre las oscilaciones y las reflexiones. Nótese el alisamiento de la señal entre cada transición; lo cual es característico de las reflexiones.

Esta parte lisa o llana puede dar una idea del retardo de propagación de la línea de transmisión. Las oscilaciones se muestran mayormente como el comportamiento típico de un circuito estándar L-C con una mayor frecuencia. Se puede optar por utilizar un

solo dispositivo rápido (con señales de flancos rápidos) en un sistema de baja velocidad. En este caso, los efectos de líneas de transmisión pueden dar problemas inesperados. Los efectos de línea de transmisión deben tenerse en cuenta en todos los sistemas que contienen señales rápidas, sin importar la frecuencia de la señal de reloj.

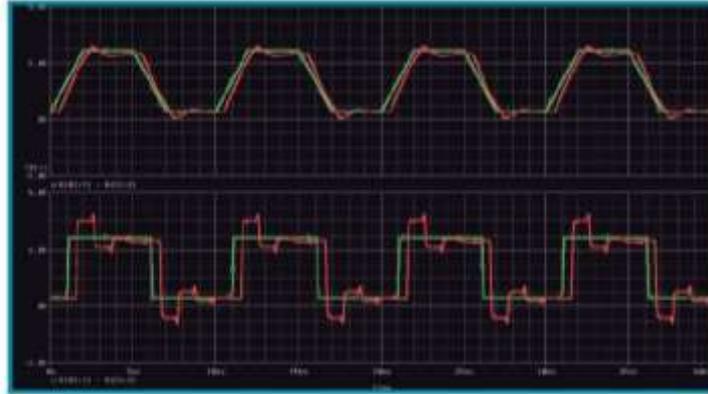


Figura 7: Señal de reloj digital

La figura muestra señales de reloj (verdes arriba y abajo) que tienen frecuencias idénticas, pero diferentes tiempos de conmutación. Nótese que la señal con tiempos lentos de conmutación resulta en señales de buena calidad en la carga (roja superior), pero los tiempos rápidos de subida generan una gran distorsión en la carga (roja inferior). El material dieléctrico de la TCI afecta al retardo de propagación de la señal. Cuanto mayor es la constante dieléctrica del sustrato, el retardo de propagación es más alto. Como regla general, el retardo de propagación TPD de una pista con un dieléctrico FR-4 típico de una TCI es de aproximadamente 5,5 ns/m.

La longitud de una pista de TCI en la que se deben considerar los efectos de línea de transmisión (oscilaciones y sobre-impulsos) depende del retardo de propagación y del tiempo de subida del flanco. La longitud máxima de una línea de transmisión, sin necesitar adaptación de impedancia es $L_{max} = tr/4t_{pd}$, donde L_{max} es la longitud máxima de la pista, tr es el tiempo de subida de la señal y t_{pd} es el retardo de propagación de la señal. Por ejemplo, si el tiempo de subida/bajada de la señal (tr) es de 2 ns, y el retardo de propagación de la señal es de 5,5 ns/m, la longitud máxima de una pista trazada sin terminaciones es de 90 mm. Si hay múltiples cargas conectadas a la pista, la capacidad de estas cargas aumenta aún más el retardo de propagación.

Por lo tanto, como un resultado, una pista muy cargada requiere adaptación de impedancias, incluso con pistas más cortas que una pista ligeramente cargada.

Impedancia característica y adaptación de impedancia

Cada conductor tiene una impedancia característica, que depende de sus limitaciones físicas. La impedancia característica Z_0 se refiere a la línea de transmisión equivalente si el conductor fuese infinitamente largo. Un conductor uniforme adaptado con su impedancia característica no tiene ondas estacionarias (reflexiones). Por lo tanto, tiene una relación constante de tensión a corriente a una frecuencia dada, en cada punto del conductor. La impedancia característica de cada tipo de conductor depende de su construcción: las dimensiones, la forma de la ruta de retorno de la señal, las propiedades dieléctricas, etc.

Los circuitos impresos normalmente contienen pistas tipo microstrip y stripline. Al igual que con todos los tipos de conductores, la impedancia característica de estas pistas dependen de las dimensiones de la pista y de la construcción del circuito impreso.

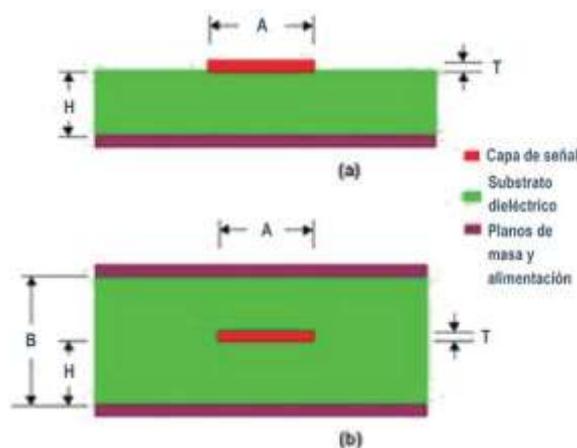


Figura 8: Construcción de un circuito impreso

Típicamente, la impedancia de una pista “microstrip” está en un intervalo de 50 a 150 Ω , y la de una “stripline” en una gama de 30 a 80 Ω , debido a la mayor proximidad al plano de masa. Se necesita la conexión de una fuente de señal (generador) a una carga para que la transferencia de la señal tenga lugar. Si las impedancias de la fuente y de la carga son distintas inevitablemente habrá reflexiones y pérdidas de señal. Ajustando las impedancias (adaptación de impedancias) de las distintas partes del sistema, el diseñador puede minimizar estas reflexiones y garantizar la calidad de la señal adecuadamente.

Por ejemplo, un sistema de distribución de vídeo requiere el uso de conexiones de 50 o 75 Ω con el fin de conectar varios sistemas juntos. Con el vídeo, las reflexiones debido a la desadaptación de impedancias pueden causar ruido y efecto de doble imagen en el monitor. En los sistemas digitales, las desadaptaciones de impedancia pueden dar

como resultado una señal distorsionada de reloj, interrupciones espúreas, o incluso datos erróneos leídos desde un dispositivo periférico. Esto puede provocar un mal funcionamiento grave del sistema.

En los sistemas digitales, se utilizan diversos métodos de adaptación de impedancias.

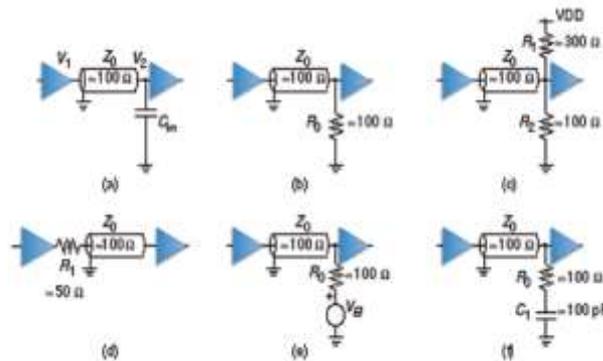


Figura 9: Terminaciones de señal

Diafonía

La diafonía es un problema en las TCI con CI con encapsulados con muchas patillas. Los dispositivos empotrados contienen sistemas de señales mixtas, todo en un área pequeña de una TCI. Algunos sistemas contienen sistemas analógicos sensibles como amplificadores y convertidores A/D, y otros pueden contener electrónica de potencia (control de motor DC o AC, drivers de solenoides o similares). Los mecanismos típicos de interferencia en sistemas empotrados son:

- Acoplamiento de la fuente de alimentación (por impedancia común)
- Diafonía capacitiva
- Diafonía inductiva.

Varias partes del diseño comparten las fuentes de alimentación, por lo que, la parte digital del diseño pueden interferir la parte analógica o viceversa. Las transiciones rápidas de tensiones tienden a acoplarse a otras partes de la circuitería a través de la capacidad mutua entre los circuitos.

En algunos sistemas, las corrientes de retorno pueden compartir la misma trayectoria, que se traduce en diafonía debido a la impedancia mutua: los cambios en la corriente que fluye a través de la impedancia son acopladas al otro subsistema. Los diseños de alta densidad tienen componentes y pistas muy cercanas.

Como cada parte o pista están conectados realmente otros circuitos alrededor, con capacidad parásita, es propensa a la diafonía a través de la capacidad. Las señales de alta velocidad con flancos muy rápidos trazadas cerca de un circuito de alta

impedancia (por ejemplo, un circuito CMOS o analógico) son ejemplo de sistemas susceptibles a la diafonía capacitiva.

Las señales que se circulan en pistas de la TCI estrechamente adyacentes pueden perturbar las señales que circulan por otras pistas si la longitud de pistas paralelas es lo suficientemente larga, provocando picos de tensión o “clichés”.



Figura 10: Efecto de Diafonía

En los sistemas digitales de alta velocidad, las inductancias de los cables o pistas desempeñan un papel importante.

Las corrientes de retorno retornan a masa a través de una impedancia distinta de cero. La impedancia existe debida principalmente a los efectos resistivos e inductivos de las pistas de la TCI. La inductancia de la pista genera diferencias de tensión entre varios puntos de la masa de la TCI. Desde el punto de vista de la alta frecuencia del potencial de masa de referencia no es homogéneo y no tiene el mismo potencial en toda su superficie. Diferencias de tensión generados por las señales de alta frecuencia causan fácilmente problemas de integridad de la señal. Con demasiada frecuencia, los síntomas de un diseño inadecuado pueden ser detectados durante las mediciones de compatibilidad electromagnética como altas emisiones o un nivel de inmunidad deficiente.

El rebote de masa y las conmutaciones simultáneas

Cuando los dispositivos digitales son más rápidos, los tiempos de conmutación disminuyen. Para conmutar rápido, las salidas de los dispositivos deben cargar o descargar las capacidades de carga con altas corrientes.

Como las pistas, las conexiones internas en los encapsulados de los CIs (pequeños hilos unidos a las patillas del chip real) no son conductores ideales y su inductancia no es

siempre pequeña. Las altas corrientes de conmutación generan diferencias de tensión en estas inductancias de las patillas de alimentación y masa del CI (Ley de Lenz).

Este fenómeno se conoce como rebote de masa (“groundbounce”) y puede afectar a la TCI completa. El rebote de masa es debido a múltiples factores y no hay métodos estándar para la predicción de los problemas que genera. Hoy en día, los diseños contienen dispositivos integrados de gran escala de integración y dispositivos lógicos programables que pueden tener encapsulados con muchas patillas.

Basta pensar, por ejemplo, en un dispositivo FPGA con 1020 patillas en un encapsulado FBGA. Cuando varias salidas conmutan simultáneamente, inducen una caída de tensión en la distribución de alimentación del dispositivo. Al mismo tiempo, la corriente de conmutación aumenta momentáneamente la tensión de masa interna del dispositivo en relación a la masa del sistema.

Cuanto mayor es la inductancia de las conexiones de masa del dispositivo, mayor es la tensión del rebote de masa. Controlar el rebote de masa depende en gran medida del diseño de la TCI, ya que no queda mucho más por hacer a nivel de la arquitectura del diseño. Las altas corrientes transitorias debido a la conmutación simultánea de los CIs digitales pueden generar excesiva cantidad de ruido de masa.

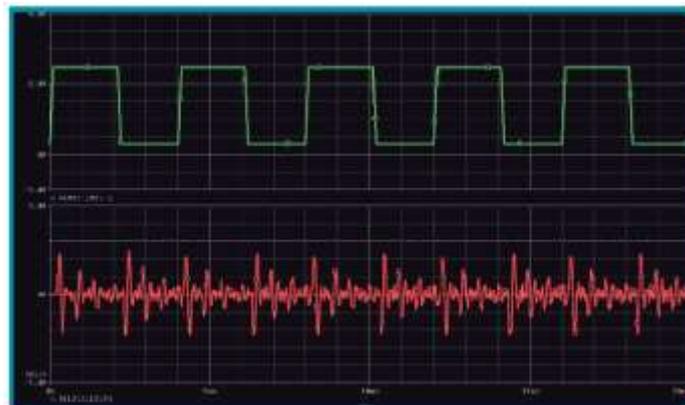


Figura 11: Efecto de rebote de masa

Los altos niveles de ruido de masa hacen que el sistema sea propenso al aumento de las emisiones (EMI). Además de esto, el sistema puede sufrir falta de fiabilidad y fallos funcionales.

Trazado de las pistas de señal

Para evitar problemas de funcionamiento es esencial realizar el trazado cuidadosamente de la TCI cuando se tiene CIs alta velocidad. Los efectos de línea de transmisión establecen los límites de la longitud de una pista de TCI sin adaptación de impedancias.

Las reflexiones de señal en las pistas largas pueden arruinar la integridad de la señal y provocar muchos fallos funcionales. Un grupo de señales rápidas a menudo tienen que llegar a la carga dentro de un intervalo de tiempo muy estrecho, para procesar la información en paralelo correctamente.

La variación de la longitud de las pistas provoca variaciones de tiempo que pueden ser difíciles de corregir. El retardo de propagación de una pista depende de su trazado y de la carga conectada a la pista.

Así las señales conectadas a las pistas cortas llegan mucho antes de las señales conectadas a las pistas largas. La diferencia a menudo se establece por el tiempo de la señal de reloj en comparación con las demás señales.

Hay otras consideraciones a tener en cuenta además de las longitudes de las pistas. La impedancia de la pista depende de las limitaciones físicas de la pista (anchura y espesor), así como de la construcción de la TCI (dimensiones, material dieléctrico, número y asignación de capas, etc.). La impedancia de la pista está relacionada también con la adaptación de impedancias y sus requisitos.

Debe diseñarse cuidadosamente la distribución de la señal de reloj para reducir al mínimo los retardos y el "jitter", y para garantizar que la señal de reloj pueda ser utilizada con seguridad en las diferentes partes de la placa de la TCI. Puede haber otras señales de control, además de las señales de reloj que requieran especial cuidado en su trazado. El pequeño espaciado entre pistas permite una alta densidad de trazado en la TCI, pero al disponer múltiples pistas en paralelo puede provocar interferencias entre las señales debido a una diafonía capacitiva excesiva.

Del mismo modo, el uso de pistas estrechas para aumentar el espacio de trazado disponible en la TCI aumenta la inductancia de la pista y puede hacer que la señal tenga peores problemas de integridad.

Asignación de capas y selección del sustrato

La construcción de la tarjeta de circuito impreso deseada depende de los encapsulados de los componentes utilizados en el diseño, de la requerida densidad de pistas de señal, de los requisitos de adaptación de impedancias, de la asignación funcional y número de capas, etc. Las TCIs tradicionales de dos capas usan pistas de alimentación y masa (no planos).

Este tipo de TCI no debe utilizarse con circuitos de alta velocidad, porque proporcionar un nivel de referencia sólido (masa) para estas señales es imposible.

Para las TCIs de alta velocidad, es obligatorio usar cuatro o más capas con planos de masa y alimentación. Los planos sólidos de cobre permiten al diseñador mantener cortas las conexiones de masa y alimentación de los componentes. Además, el plano de masa ofrece conexiones de masa de baja inductancia para las señales de alta velocidad. Conviene disponer el plano de masa y el plano de positivo muy juntos en el interior de la TCI para obtener la menor impedancia característica.

Hoy en día, el material laminado FR-4 se utiliza ampliamente en las TCIs, siendo una solución económica para la mayoría de los diseños digitales, siempre y cuando las frecuencias puedan mantenerse por debajo de un rango de 2,5 a 3 GHz. A altas velocidades, la señal digital puede verse afectada por los parámetros del sustrato de la TCI. Los sustratos para alta velocidad tienen mejores propiedades que el FR-4 en las frecuencias más altas.

El uso de materiales adecuados puede ayudar a los diseñadores a llegar a su objetivo de diseño más sencillo y más fiable que con el material FR-4. Una señal que viaja a través de la TCI tiene una velocidad que depende de la constante dieléctrica relativa de la TCI. Por ejemplo, cuando la frecuencia de la señal va más allá de 5 GHz, la constante dieléctrica típica de FR-4 (ronda 4.7) cae cerca de 4. Sin embargo, la constante dieléctrica relativa del material Rogers 4350 es constante (aproximadamente 3,5) de 0 hasta 15GHz. Si la constante dieléctrica de la TCI cambia en función de la frecuencia, las diferentes componentes de frecuencia de la señal (armónicos) tendrán diferentes velocidades.

Esto significa, que estas componentes llegan a la carga en diferentes momentos. Como resultado, esto es la causa de la distorsión de la señal digital. En segundo lugar, las pérdidas de señal debido al material de la TCI aumentan con la frecuencia. Una vez más, cada armónico de la señal digital será atenuado de acuerdo con su frecuencia. El aumento de las pérdidas de las componentes de la señal se sumará a la distorsión de la señal digital.

4.2 Conceptos Aplicados al diseño del PCB

A continuación se va llevar a cabo la descripción de una serie de conceptos específicos a tener en cuenta a la hora de llevar a cabo el diseño de un PCB. Todos los efectos comentados a continuación serán reflejados en el PCB diseñado realizado para la aplicación del sistema de posicionamiento.

Líneas de transmisión en PCBs

Definición

Las líneas de transmisión son el recurso para guiar la energía eléctrica de un punto a otro del circuito. Las líneas de transmisión confinan la energía electromagnética a una región del espacio limitada por el medio físico.

La línea de transmisión está formada por conductores eléctricos con una disposición geométrica, que condiciona las características de las ondas electromagnéticas que viajan por ella.

Los parámetros primarios que definen una línea de transmisión son:

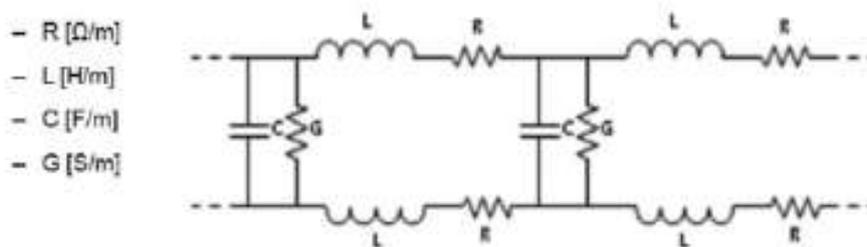


Figura 12: Línea de Transmisión I

- **R (en serie)** depende de la resistividad del conductor y de la frecuencia. Si la frecuencia aumenta -> Aumenta la Resistencia.
- **L (en serie)** es la consecuencia del hecho de que todo conductor por el que circula una corriente tiene una inductancia asociada.
- **Capacidad (en paralelo)**, una línea de transmisión, está formada por dos o más conductores separados por un dieléctrico, constituyendo un condensador cuya capacidad depende del área de los conductores, su separación y la constante del dieléctrico del material que los separa.
- **La conductancia (en paralelo)** es la consecuencia de que el dieléctrico no es perfecto y tiene resistividad finita, con lo que parte de la corriente se fuga entre los conductores.

La conductividad y la resistencia, son los elementos que contribuyen a las pérdidas o atenuación en una línea de transmisión.

Impedancia característica

Se define la impedancia característica como el ratio de tensión frente a la corriente en una línea de transmisión infinita. La impedancia característica se simboliza como Z_0 y se expresa en ohmios. Se representa a través de la ecuación:

$$Z_o = \sqrt{\frac{z}{y}} = \sqrt{\frac{R + j\omega L}{G + j\omega C}}$$

Ecuación 5

Si la frecuencia es alta como para que se cumpla que $R \ll \omega L$ y $G \ll \omega C$, se puede aproximar a la siguiente ecuación:

$$Z_o = \sqrt{\frac{L}{C}}$$

Ecuación 6

En estas condiciones, la impedancia es real, puramente resistiva y no depende de la frecuencia. Por lo tanto depende únicamente de la inductancia y capacidad distribuidas. La capacidad depende a su vez de la permitividad del dieléctrico.

La permitividad se define como la tendencia de un material a polarizarse ante la aplicación de un campo eléctrico y de esa forma anular parcialmente el campo interno del material. Por ejemplo, en un condensador una alta permitividad hace que la misma cantidad de carga eléctrica se almacene con un campo eléctrico menor y, por ende, a un potencial menor, llevando a una mayor capacitancia del mismo.

La caracterización de una línea de transmisión se representa de la siguiente forma:

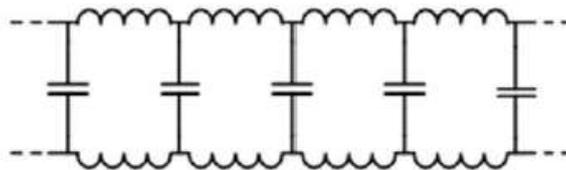


Figura 13: Línea de Transmisión II

Los problemas que pueden aparecer en una línea de transmisión son muy diversos, pero el principal son las reflexiones que a continuación comentaremos.

Es muy importante conocer que impedancia tiene la línea, ya que conociendo este valor se podrán minimizar las reflexiones de señal en ella.

Reflexiones

Teniendo en cuenta el siguiente modelo para representar una línea de transmisión:

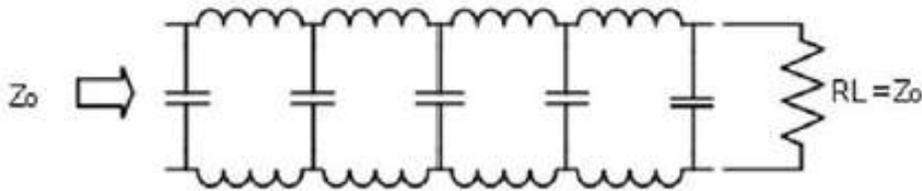


Figura 14: Línea de transmisión III

Si la longitud de la línea es de longitud infinita, la reflexión será de tiempo infinito y se asume que no existe reflexión. Para que esto ocurra, la uniformidad a lo largo de toda la línea de transmisión tiene que ser óptima.

En la realidad las líneas de transmisión han de ser finitas, y para que las reflexiones no aparezcan o no interfieran hay que acabar la línea con una terminación.

La terminación deberá ser del mismo valor óhmico que el de la impedancia característica de la línea:

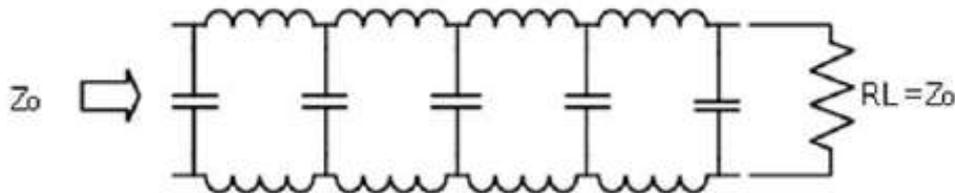


Figura 15: Línea de transmisión IV

Con este resultado se consigue una línea de transmisión infinita.

- Si Z_0 es un circuito abierto, la impedancia es infinita.
- Los condensadores C1-C5 estarán cargados.
- La corriente tenderá a eliminarse a través de ellos.
- Pero las inductancias, no pueden dejar de conducir de forma brusca.
- "Inyectar" corriente en la línea intentando mantener el flujo.
- Con este incremento de corriente, la tensión en los condensadores aumenta un poco más de la tensión de la amplitud de la señal transmitida.
- Esto va ocurriendo uno a uno y para cada asociación L-C.
- Produciendo un frente de ondas en sentido contrario al emitido.
- Provocando Overshoots y Undershoots (reflexiones en la señal).
- La señal a transmitir, al llegar al final de la línea.

- La pareja de inductancias finales conducen con una corriente que no puede variar bruscamente.
- Lo cual hace que la tensión en sus extremos empiece a decrecer.
- Por eso los condensadores finales ve un cortocircuito y empieza a descargarse suministrando a los inductores finales la corriente necesaria para que ellos la mantengan.
- Llegado el momento en el que el potencial en los condensadores finales sea 0V como en la carga del corto y todo esto sucede mientras las capacidades unas tras otras van descargándose hasta que todas quedan descargadas.
- El coeficiente de reflexión en este caso es negativo, con lo cual provoca una señal con la misma amplitud pero con polaridad negativa.
- Siguiendo la misma estrategia que en los ejemplos explicados, si la terminación de línea es igual en valor a la de la impedancia característica de la línea, el coeficiente de reflexión será nulo. Una vez transmitida la señal, cuando el frente de ondas llega a la terminación la corriente sigue fluyendo idénticamente igual en la línea de transmisión lo cual hace que haya onda reflejada.

Con una terminación de valor finito, superior a la de la impedancia característica la explicación es análoga. La diferencia será la amplitud de la sobretensión o reflexión. La magnitud y polaridad de la onda reflejada son descritas por el coeficiente de reflexión según se indica en la siguiente ecuación:

$$\rho = \frac{Z_t - Z_0}{Z_t + Z_0}$$

Ecuación 7

Pueden darse valores de ρ entre -1 y +1:

- Con $Z_t = \infty$ y $\rho = 1$ entonces la onda reflejada tendrá la misma amplitud que la transmitida y de la misma polaridad.
- Con $Z_t = 0$ y $\rho = -1$ entonces la onda reflejada tendrá la misma amplitud que la transmitida y con polaridad contraria a la transmitida.
- Con $Z_t = Z_{line}$ y $\rho = 0$ entonces no existirá onda reflejada.

Overshoot ringing

Cuando el coeficiente de reflexión no es nulo, produce reflexiones. Estas reflexiones provocan overshoots y ringing en la señal detectada en la carga. Las reflexiones, son interferencias que aumentan o disminuyen la amplitud (tensión de ruptura) de los circuitos empleados. Pueden provocar daños irreparables y/o producir interferencias en señales o sistemas adyacentes.

Pueden producir errores en las lecturas, disparos por flanco erróneos. La magnitud y frecuencia del rizado depende de:

- La velocidad de propagación de la señal.
- La longitud de línea.
- Del coeficiente de reflexión en cada discontinuidad de impedancia.

La forma de distorsión en la señal puede indicar el tipo de problema que lo provoca.

Una señal con excesivo rizado indica una excesiva influencia inductiva. Una señal con flancos lentos, indica una excesiva influencia capacitiva.

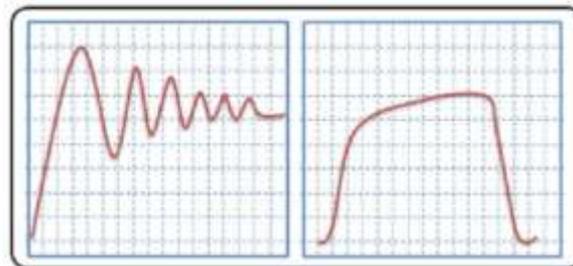


Figura 16: Rizado de la señal

Adaptación

La adaptación de impedancias tiene como finalidad reducir los efectos de reflexión que pueden provocar reflexiones en la línea.

La adaptación de impedancias puede realizarse con criterios distintos:

Adaptación en tensión de la impedancia característica, para evitar onda reflejada.

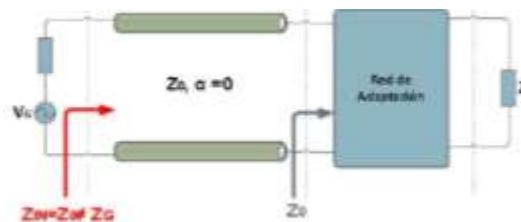


Figura 17: Impedancia característica I

Adaptación en potencia, para transmitir la señal con la mayor potencia posible.

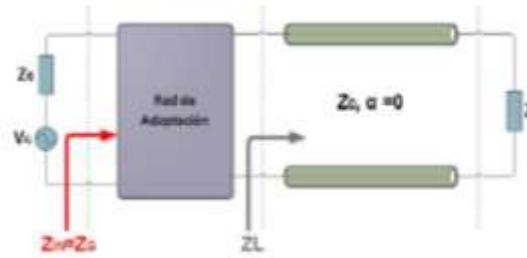


Figura 18: Impedancia característica II

Adaptación conjugada, combina las dos anteriores.

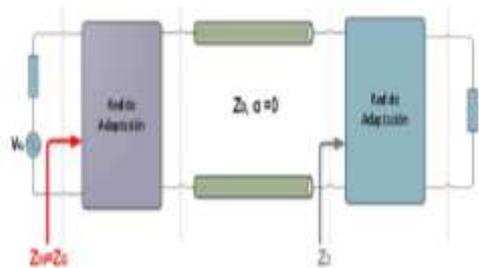


Figura 19: Impedancia característica III

Impedancia característica en las distintas topologías de un PCB.

En la práctica, calcular la impedancia característica y la inductancia de las pistas en un PCB es demasiado complejo. Depende en gran medida de la topología del circuito.

Las ecuaciones que se van a mostrar a continuación representan la forma general el comportamiento de las topologías existentes de la fabricación de PCBs.

Actualmente la tecnología ha permitido que el diseñador de PCBs tenga el control de decidir el ancho de la pista (w), y control parcial del espesor de cobre sobre la misma (t). Cualquier pista de un PCB tiene una impedancia característica asociada. Esta impedancia es dependiente del ancho de pista (w), espesor de la pista (t), la constante del dieléctrico ϵ y la distancia entre los planos de referencia (h).

Esta impedancia es dependiente del ancho de pista (w), espesor de la pista (t), la constante del dieléctrico ϵ y la distancia entre los planos de referencia (h).

De forma más genérica se puede resumir las ecuaciones de las topologías existentes en:

- Microstrip
- Stripline
- Stack Up, siendo la combinación de las dos anteriores.

Microstrip

En la siguiente figura puede observarse la representación de una pista por un PCB.

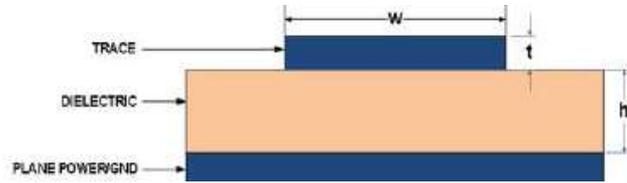


Figura 20: Modelo de Microstrip

En esta topología las ecuaciones están representadas por:

- Donde h es la distancia entre la pista y el plano de retorno y k es una constante con valores:
 - o K=87 -> cuando -> 15mils < W < 25mils
 - o K=79 -> cuando -> 5mils < W < 15mils.
- ϵ_r es la constante del dieléctrico que depende del material usado para el FR4 que está comprendido entre 4 y 4.5.
Las unidades de la medida se expresan en milésimas de pulgada (mils).

Las ecuaciones quedan:

$$Z_o = \frac{k}{\sqrt{\epsilon_r + 1.41}} \ln \left(\frac{5.98h}{0.8w + t} \right) [\Omega]$$

Ecuación 8

$$C_o = \frac{0.67(\epsilon_r + 1.41)}{\ln \left(\frac{5.98h}{0.8w + t} \right)} \left[\frac{pF}{inch} \right]$$

Ecuación 9

$$L_o = \frac{Z_o^2 * C_o}{12} \left[\frac{nH}{inch} \right]$$

Ecuación 10

En el caso de tener dos pistas en paralelo el modelo es el siguiente:

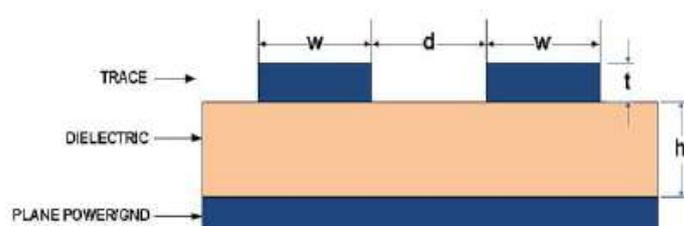


Figura 21: Modelo de Microstrip en paralelo

En el siguiente grafico se puede comprobar la relación de la impedancia Z_0 con la anchura de la pista (w).

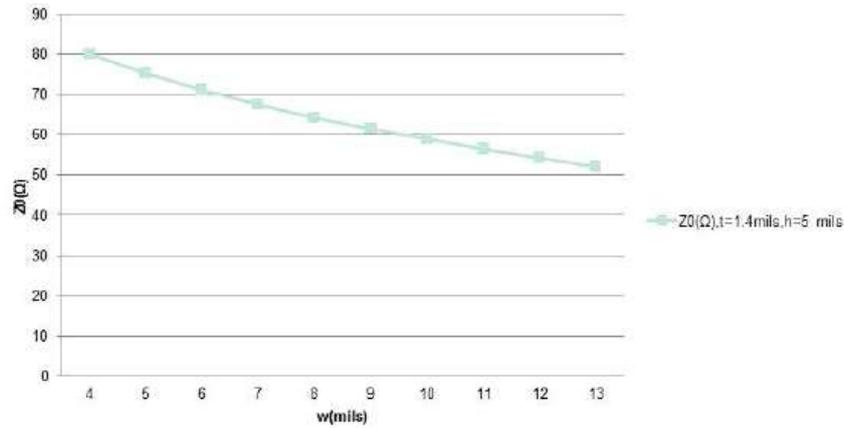


Figura 22: Impedancia característica III

En el siguiente grafico se puede comprobar la relación de la impedancia Z_0 con la anchura del dieléctrico (h).

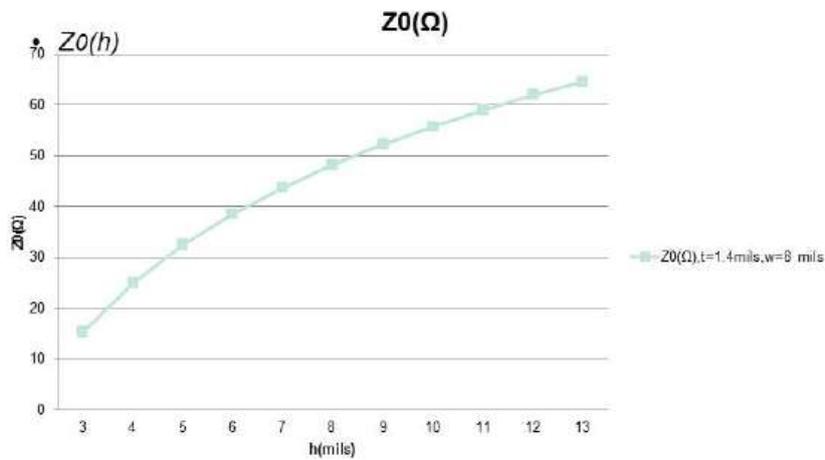


Figura 23: Impedancia característica IV

En el siguiente grafico se puede comprobar la relación de la impedancia Z_0 con la altura de la pista (t).

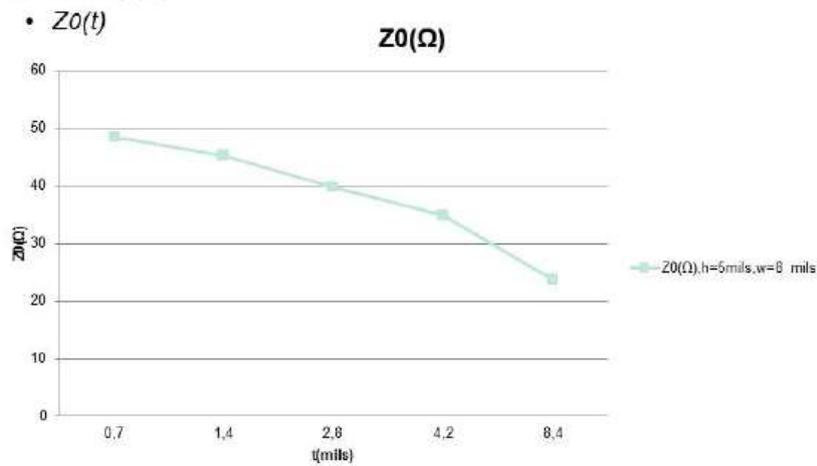


Figura 24: Impedancia característica V

Microstrip empotrado

A continuación se muestra el gráfico de una pista enterrada en un PCB.

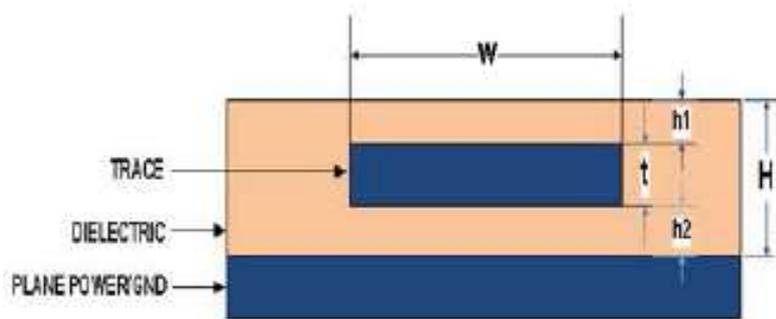


Figura 25: Microstrip empotrado

$$Z_0 = \frac{k}{\sqrt{\epsilon_r + 1.41}} \ln \left(\frac{5.98h}{0.8w + t} \right) \left(1 - \frac{h1}{0.1} \right) [\Omega]$$

Ecuación 11

$$C_0 = \frac{1.41 * \epsilon_{r,eff}}{\ln \left(\frac{5.98h}{0.8w + t} \right)} \left[\frac{pF}{inch} \right]$$

Ecuación 12

A continuación se muestra un gráfico de dos pistas empotradas y paralelas.

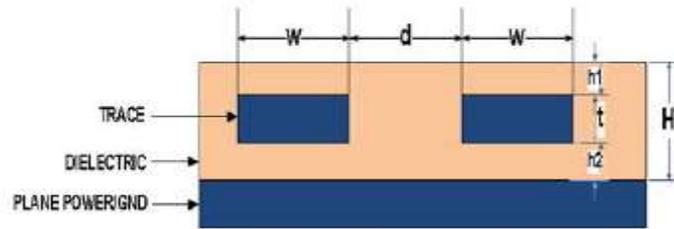


Figura 26: Microstrip con dos pistas empotrado

$$Z_{diff} = 2 * Z_0 [1 - 0.48 * e^{(-0.96 \frac{1}{2h-t})}] [\Omega]$$

Ecuación 13

- Dónde: $h=h_1=h_2$

Las restricciones que validan las ecuaciones son: $0.1 < w/h < 3$ y $1 < \epsilon_r < 15$ siendo $Z_0 < Z_{diff} < 2Z_0$

A continuación se detalla una serie de conceptos que deberán de aplicarse al diseño del microstrip:

- Retardo de propagación. El retardo de propagación T_{pd} es el tiempo que tarda en viajar una señal de un extremo a otro de la pista del PCB. Y depende principalmente de la constante del dieléctrico del material base del PCB.
- La topología del microstrip se calcula según la siguiente ecuación:

$$t_{PD} = 84.75 * \sqrt{0.475\epsilon_r + 0.67} \left[\frac{ps}{inch} \right]$$

Ecuación 14

Stripline

En el siguiente gráfico se muestra la disposición de una pista de un PCB en un stripline.

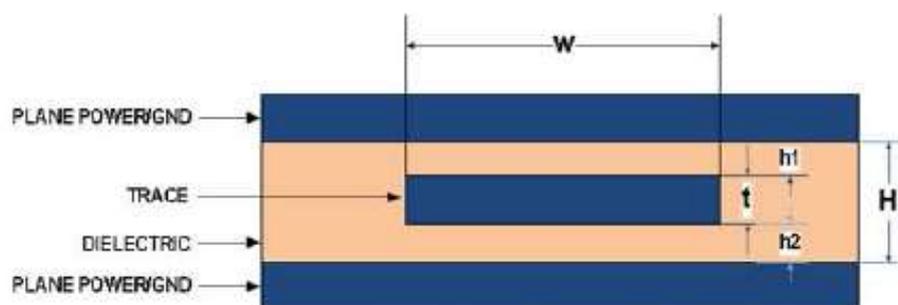


Figura 27: Modelo de Stripline

$$Z_o = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{1.9(H + h + t)}{0.8w + t} \right) [\Omega]$$

Ecuación 15

$$C_o = \frac{1.41 * \epsilon_{r,eff}}{\ln \left(\frac{3.81h}{0.8w+t} \right)} \left[\frac{pF}{inch} \right]$$

Ecuación 16

$$L_o = \frac{Z_o^2 * C_o}{1000} \left[\frac{nH}{inch} \right]$$

Ecuación 17

A continuación se muestra un stripline de un pcb con dos pistas en paralelo.

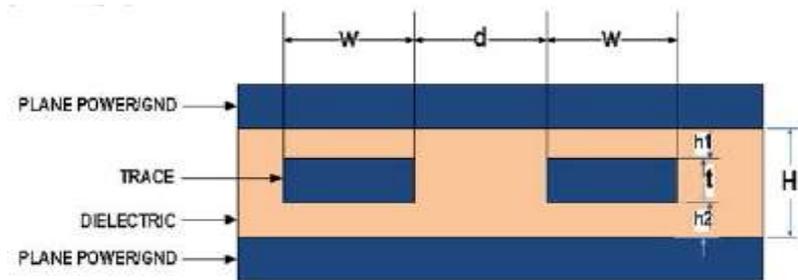


Figura 28: Modelo de dos pistas Stripline

$$Z_{diff} = 2 * Z_o \left[1 - 0.347 * e^{\left(\frac{-298}{2h-t} \right)} \right] [\Omega]$$

Ecuación 18

Las restricciones que validan las ecuaciones son: $w/(h-t) < 0.35$ y $w/h < 2$, $t/h < 0.25$ y $w < 15\text{mils}$

En el siguiente gráfico se muestra la relación de la impedancia Z_0 en función de la anchura de pista (w).

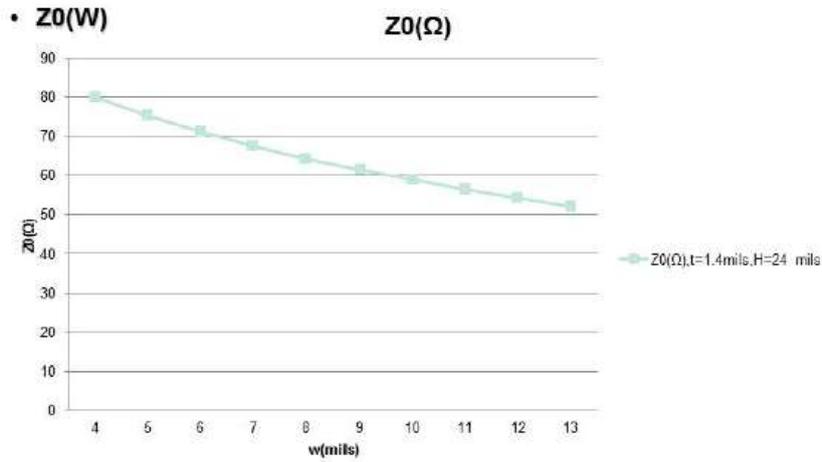


Figura 29: Impedancia característica VI

En el siguiente gráfico se muestra la relación de la impedancia Z_0 en función de la anchura del dieléctrico (h).

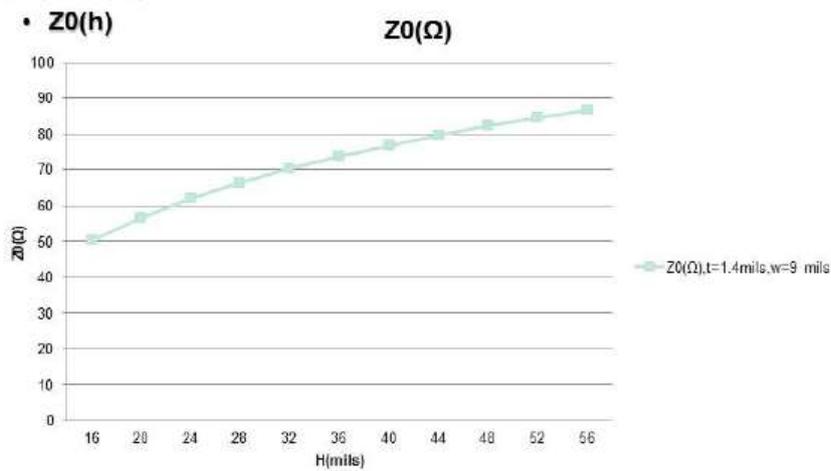


Figura 30: Impedancia característica VII

En el siguiente gráfico se muestra la relación de la impedancia Z_0 en función de la altura de la pista (t).

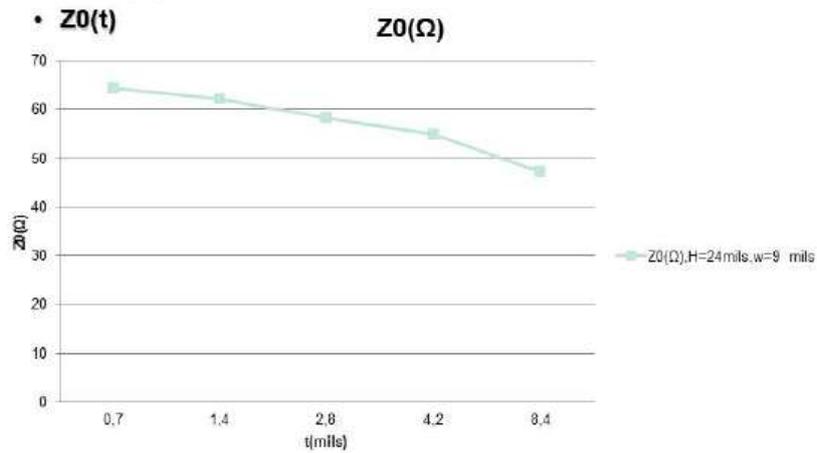


Figura 31: Impedancia característica VIII

Stripline Asimétrico

A continuación se muestra un gráfico de un stripline que contiene una pista en el dieléctrico asimétrica a los planos de referencia.

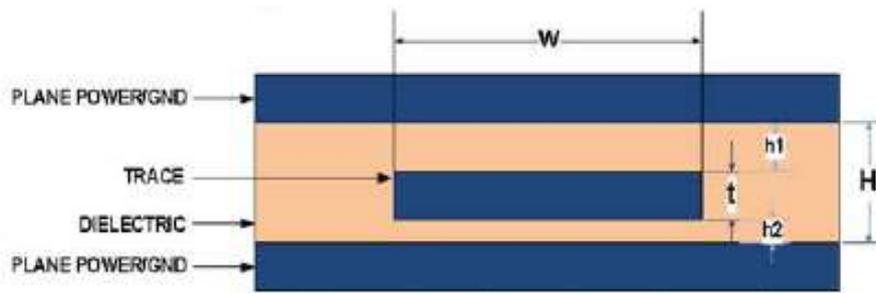


Figura 32: Stripline asimétrico

$$Z_o = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{1.9(h1 + h2 + t)}{0.8w + t} \right) \left(\frac{h2}{4(h1 + h2 + t)} \right) [\Omega]$$

Ecuación 19

$$C_o = \frac{2.82 * \epsilon_r}{\ln \left(\frac{2h2}{0.267w + 0.335t} \right)} \left[\frac{pF}{inch} \right]$$

Ecuación 20

Las restricciones que validan las ecuaciones son: $w/(h^2 \cdot t) < 0.35$ y $t/h^2 < 0.25$.

Existen una serie de cálculos adaptados a la configuración de stripline

- **Tiempo de retardo.** Queda representado por la siguiente ecuación.

$$t_{PD} = 84.75 \sqrt{\epsilon_r} \left[\frac{ps}{inch} \right]$$

Ecuación 21

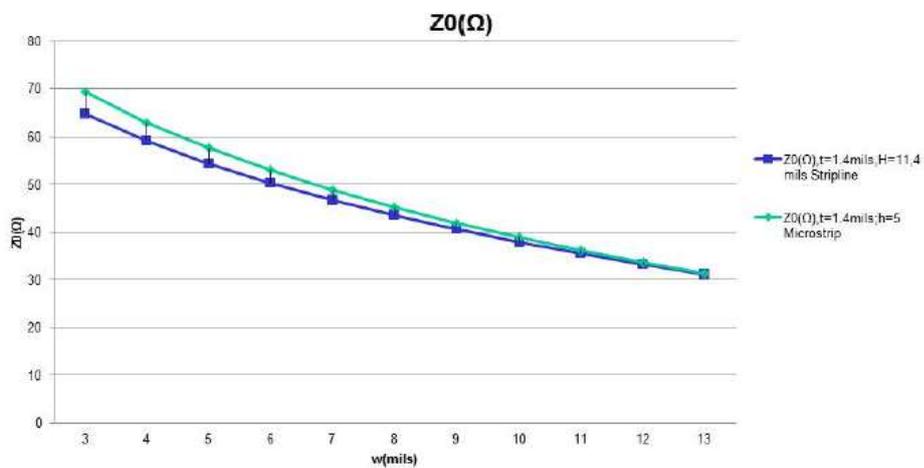


Figura 33: Impedancia característica IX

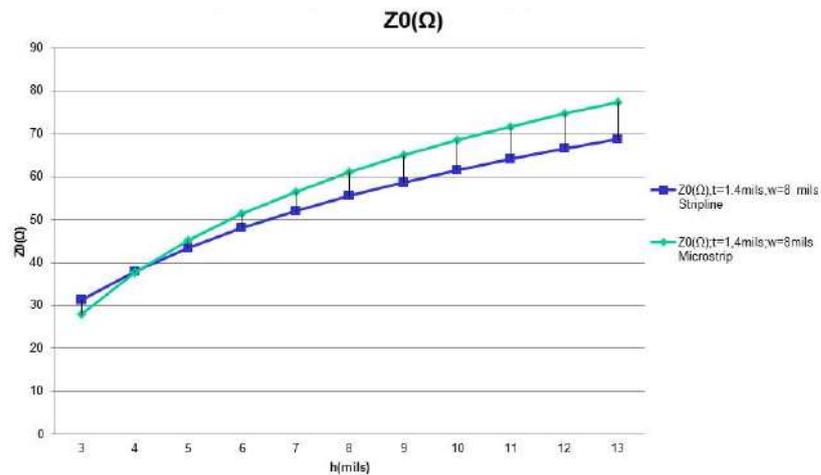


Figura 34: Impedancia característica X

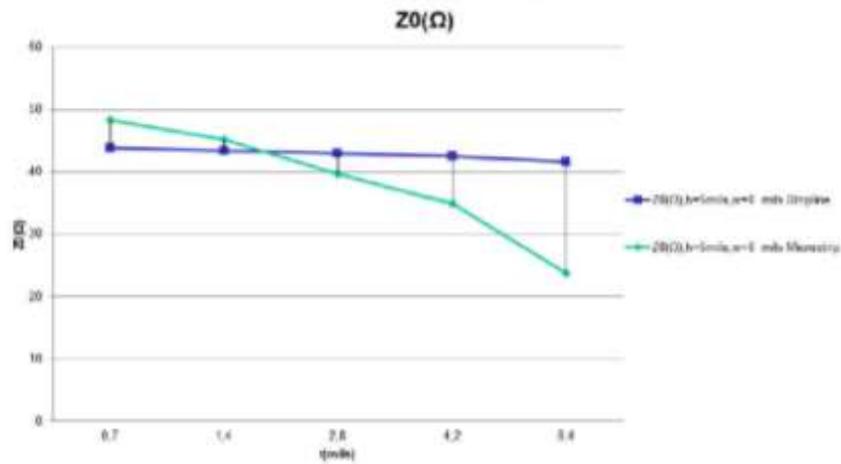


Figura 35: Impedancia característica XI

Calculo de la impedancia real de una pista

La impedancia característica de una pista también está influenciada por la geometría de está. Las ecuaciones anteriores no tienen en cuenta la geometría. Si el valor de Z0 depende en gran medida de la geometría complica el cálculo de Z0. Lo cual no se puede expresar con una ecuación.

La impedancia también se ve afectada por la carga capacitiva de la pista, ya que cada receptor y cada vía añaden un pequeño incremento de capacidad. En este caso se puede expresar mediante la ecuación:

$$Z_0' = \frac{Z_0}{\sqrt{1 + \frac{Cd}{C_0 + t}}}$$

Ecuación 22

Donde C0 es el valor de la capacidad que aporta el dispositivo, C0 es la capacidad por unidad de longitud intrínseca de la línea y l es la longitud de la línea.

Al igual se ve modificado el tiempo de propagación:

$$t'_{PD} = t_{PD} \sqrt{1 + \frac{Cd}{C_0 * l} \left[\frac{ps}{inch} \right]}$$

Ecuación 23

Además contando que el dieléctrico de los PCBs no es totalmente homogéneo, donde la constante del dieléctrico sufre irregularidades. Hace realmente complicado saber exactamente el valor de Z0, aunque las ecuaciones vistas nos darán un resultado aproximado.

Por estas razones el cálculo real de Z0 es excesivamente complicado. En la práctica en diseños de PCBs, se usan herramientas automatizadas para prever el valor de Z0.

Longitudes críticas

En los años 80 las interconexiones en un PCB no se consideraban como líneas de transmisión sino como cortocircuitos ideales. Hoy en día, los flancos de subida y bajada de una señal son tan cortos que la señal lleva componentes de muy alta frecuencia. Las interconexiones ya no son cortas comparadas con las longitudes de ondas asociadas. Esto afecta también a los caminos de retorno de las señales. Ya no son ideales.

Las líneas consideradas como largas, incluyendo sus caminos de retorno, afectarán negativamente a la propagación de las señales (reflexiones, distorsión, retardos, radiación) a no ser que se realice algo para evitarlo.

Concepto de Frecuencia de Codo

Dado el ancho de banda práctico de una señal digital, la frecuencia de codo se define como:

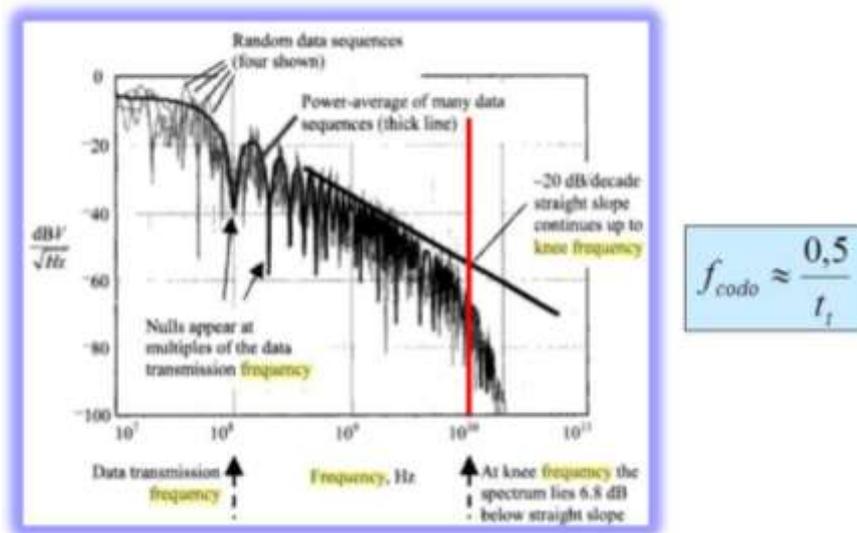


Figura 36: Frecuencia de codo

Criterio para considerar una pista como línea de transmisión.

Se trata de un concepto más o menos arbitrario pero se define como:

Cuando el tiempo que tarda una señal en propagarse hasta la carga es mayor a 1/5 de la duración del flanco.

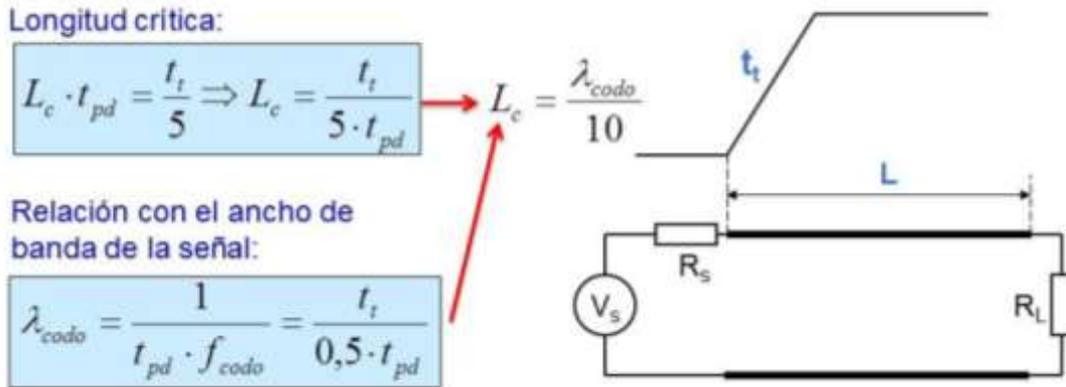


Figura 37: Longitud crítica

A continuación se detalla una tabla donde se especifican las longitudes críticas para las distintas familias lógicas, suponiendo $T_{pd}=60\text{ps/cm}$

Tabla 1: Longitud critica para familias lógicas

Familia	t_r (ns)	t_f (ns)	L_{limite} (cm)
LS	14	10	33,3
ALS	2.7	1.7	5,7
FAST	4.0	1.4	4,7
LVC	1.8	1.8	6
ALVC	1.2	1.1	3,7
LVT	0.8	0.6	1,8
ALVT	0.8	0.7	2,3
HC	2.9	2.9	9,7
AHC	2.1	1.6	5,3

En la siguiente figura se muestra un ejemplo gráfico de la perturbación que aparece en la señal debido a la diferencia de la longitud de su pista.

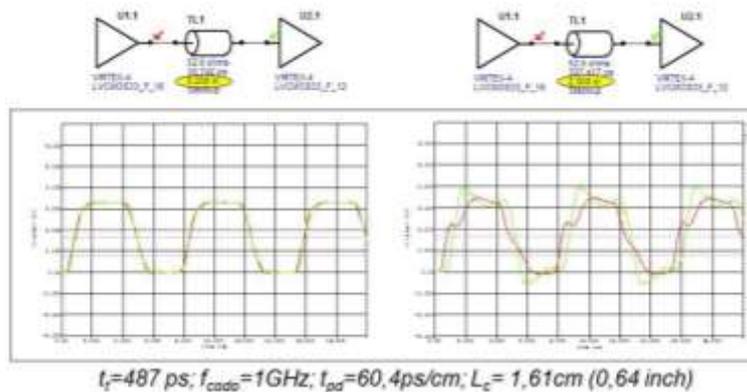


Figura 38: Perturbación por diferencia de longitud

Pérdidas de transmisión

A modo de esquema, podemos catalogar las pérdidas como:

Tabla 2: Perdidas por transmisión



Efecto Pelicular

La resistencia de un conductor aumenta con \sqrt{f} debido a una reducción de la sección efectiva del conductor por el que circula corriente.



Figura 39: Modelo de efecto pelicular

Para estimar el aumento de atenuación debido al efecto pelicular se debe de realizar los siguientes cálculos.

$$\begin{aligned}
 & \text{Sólo a partir de } \delta < \text{espesor pista } (t) \\
 & f_{codo} \approx \frac{0,5}{t_f} \\
 & R_{AC} \approx R_{DC} \cdot \frac{t}{66} \cdot \sqrt{f} \\
 & R_{Total} = R_{DC} + R_{AC} \\
 & H(w, x) \approx e^{-x[0,5R\sqrt{C}L + jw\sqrt{LC}]}
 \end{aligned}$$

Figura 40: Aumento de la atenuación

Surfaceroughness

Las capas de cobre en un PCB tienen una de las dos caras rugosas con el fin de aumentar la adherencia al dieléctrico, mejorando el retwork y la resistencia mecánica. La rugosidad se especifica con el valor rms de las irregularidades.

Cuando el Skin depth se aproxima a este valor, en frecuencias superiores a 100-300Mhz, la resistencia aumenta hasta un 50% respecto a lo que explicaría el efecto pelicular.

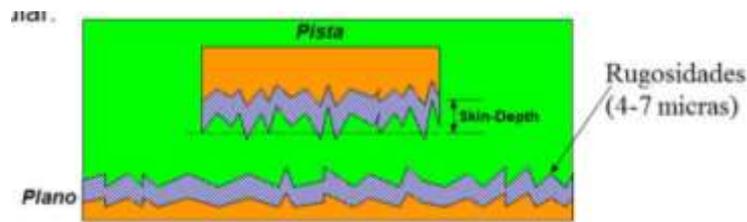


Figura 41: Modelo de Surfaceroughness

Absorción dieléctrica

Se trata de la energía perdida a la hora de reorientar los dipolos eléctricos en presencia de un campo eléctrico variable (flancos de la señal).

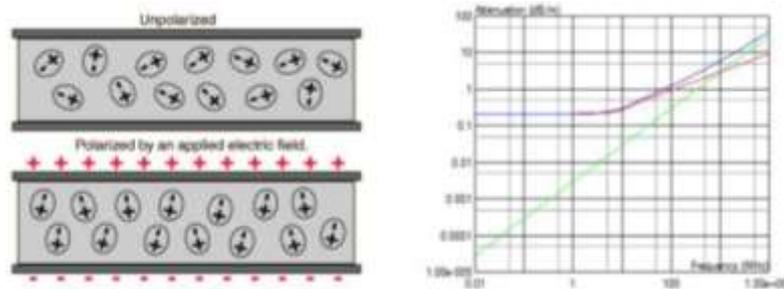


Figura 42: Absorción dieléctrica

Viene definida por la $\tan(\delta)$ que es la tangente o factor de pérdidas. En un condensador de capacidad C , la conductancia es: $G=2\pi*f*C*\tan(\delta)$. Como conclusión se obtiene que las pérdidas son proporcionales a la frecuencia y sólo a frecuencias muy altas $>1\text{Ghz}$ superan en valor a las pérdidas resistivas.

A modo de resumen de las diferentes pérdidas, se muestra el siguiente gráfico.

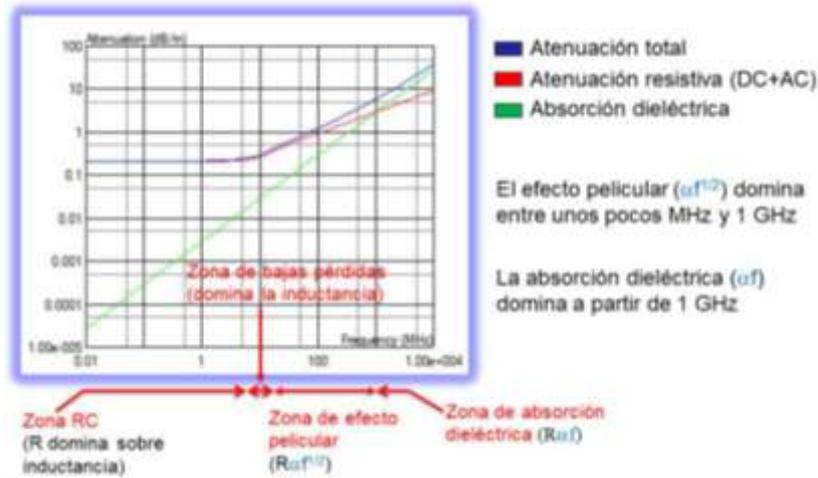


Figura 43: Tipos de atenuaciones

Líneas de transmisión en un PCB

Líneas diferenciales

En ciertos diseños es necesario el uso de líneas diferenciales de entrada y salida. En la siguiente imagen se observa un ejemplo de tarjeta con líneas diferenciales.

La transmisión diferencial consiste en dos salidas separadas con un offset fijo de tensión V_0 . El voltaje V_1 se suma a una línea, resta en la otra.



Figura 44: Líneas diferenciales de un PCB

La tensión diferencia (oddmode) es:

$$V_{diff} = (V_0 + V_1) - (V_0 - V_1) = 2V_1$$

Ecuación 24

La tensión en modo común (even mode) es:

$$V_{mc} = V_o$$

Ecuación 25

El ruido común, en la línea de masa o el que se acopla por crosstalk no afecta a la señal de entrada.

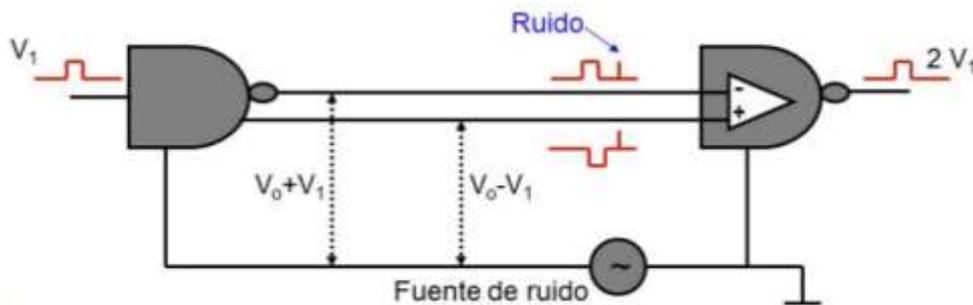


Figura 45: Modelo de ruido

El concepto de LVDS (Low-Voltage Differential Signaling) es un estándar que define una transmisión balanceada de hasta 655Mbps en un par de pistas de PCB o en un par de cables. La transmisión se realiza a corriente constante, aproximadamente a 3.5mA y el sentido de la corriente diferencia al 0 del 1.

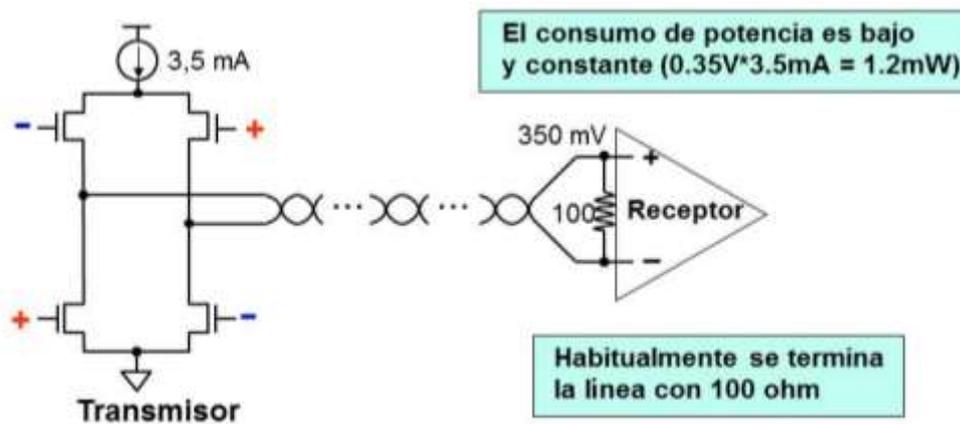


Figura 46: Modelo de línea diferencial

Existen dos tipos de topologías en las líneas diferenciales:

- Punto a Punto.

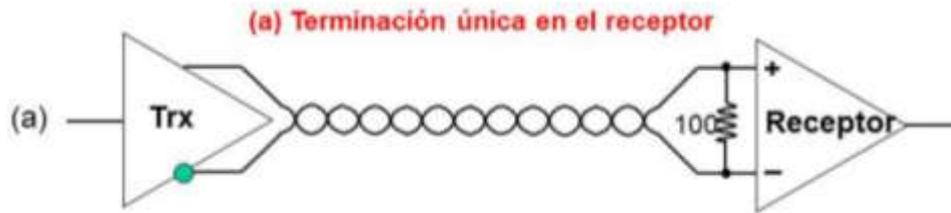


Figura 47: Terminación punto a punto

- Bidireccional o Half-Duplex.

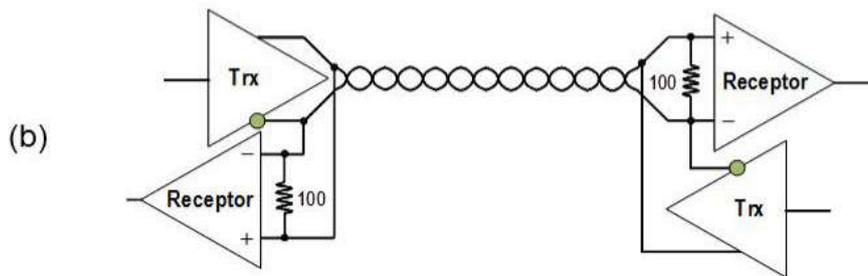


Figura 48: Terminación bidireccional

Cuando resulta idóneo utilizar una transmisión diferencial:

- Cuando se quiere reemplazar un grupo de líneas single-ended lentas por un número reducido de pares diferenciales rápidos.
- Cuando haya que transmitir datos/relojes entre dos circuitos (PCBs) cuyas masas estén a distinta tensión. Por ejemplo Ethernet.
- Cuando la señal vaya a sufrir un elevada atenuación.
- Cuando haya que transmitir datos/relojes por encima de los 100-150Mb/s.

Para rutarlas de una manera correcta hay que intentar llevarlas lo más paralelas posibles, intentando mantener la misma longitud en cada una de ellas, también es aconsejable, separarlas un poco más cuando sea necesario sin alterar significativamente Z_0 . Además hay que reducir el ancho de la pista para reducir las pérdidas.

Interferencias entre símbolos

La interferencia entre símbolos aparece cuando tras varios símbolos del mismo valor hay una transición al valor contrario.

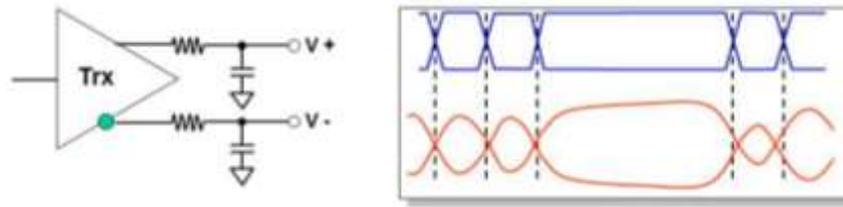


Figura 49: Interferencia entre símbolos

Como consecuencia, el primer símbolo del nuevo valor queda atenuado y puede no ser detectado. Esta atenuación afecta a la posición temporal de los flancos de señal. Se aprecia el fenómeno de Jitter.

Para entender este fenómeno se ha de pensar qué línea es un condensador que se carga durante el tiempo que dura un valor y se descarga durante el valor contrario. La interferencia entre símbolos se puede solucionar aplicando un pre-énfasis al primer bit de una secuencia de 1s o 0s.

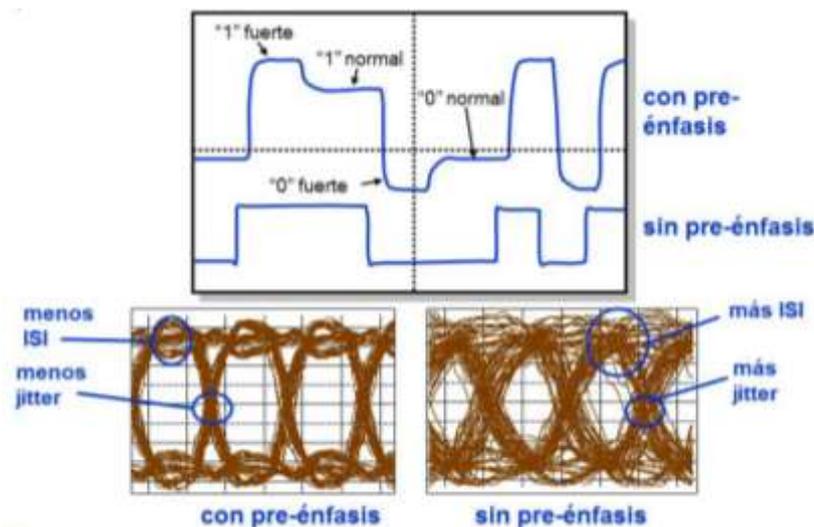


Figura 50: Análisis de señal

Diagramas de ojos

El diagrama de ojos es la herramienta que permite estudiar el Jitter total y la interferencia entre símbolos, así como la amplitud, constituyendo una importante herramienta en el análisis de señales multigigabit.

El diagrama de ojos se forma superponiendo secuencias de señal de la misma duración, alineadas con los flancos de reloj.

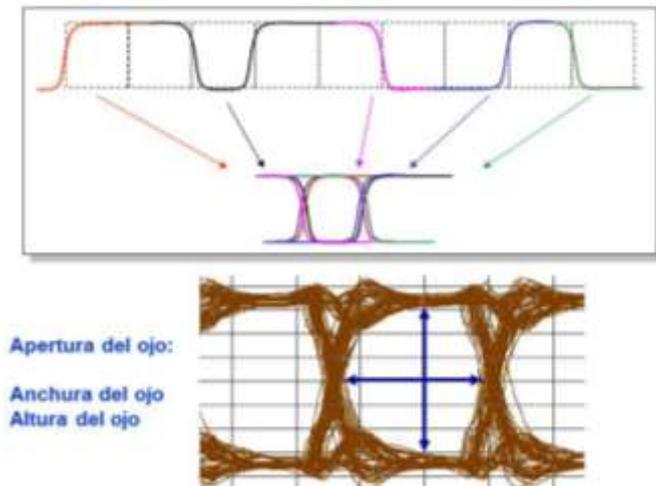


Figura 51: Diagrama de ojos I

Los parámetros a medir en un diagrama de ojos son:

Niveles del 1 y del 0, Apertura del ojo, Tiempo de Subida y de Bajada.

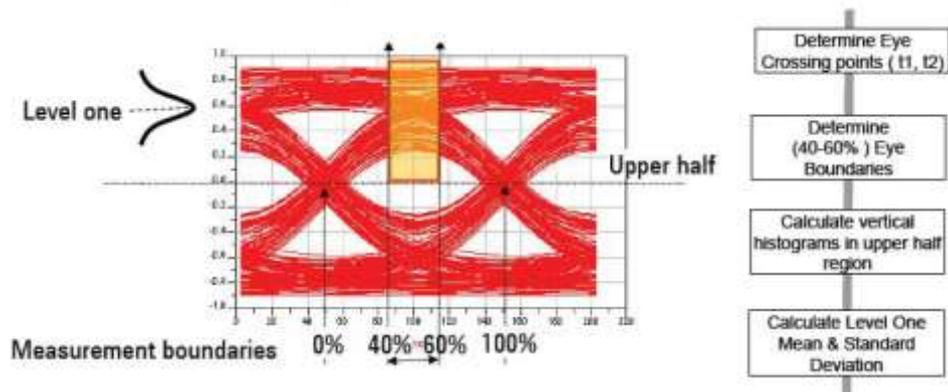


Figura 52: Diagrama de ojos II

Anchura del ojo

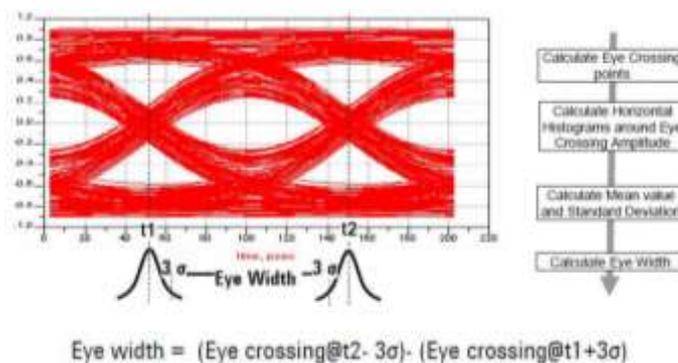


Figura 53: Diagrama de ojos III

Altura del ojo, Amplitud del ojo, Relación S/N y Jitter

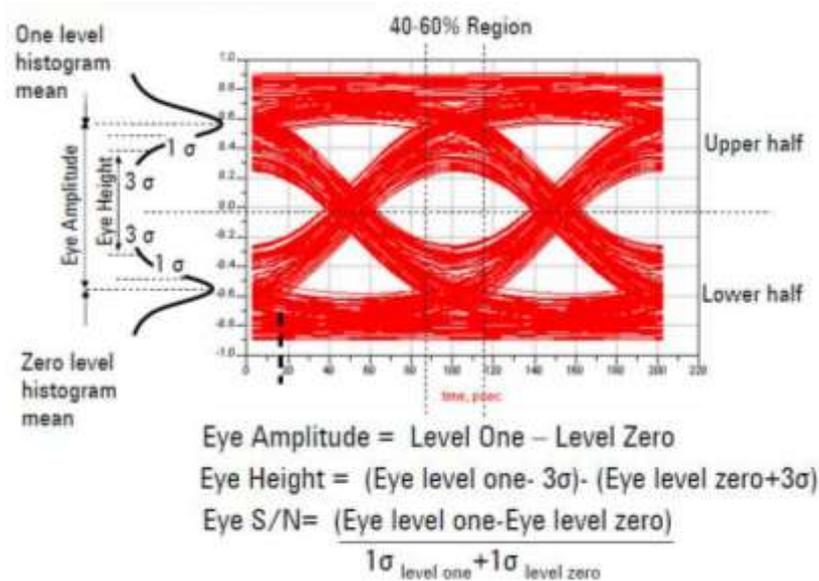


Figura 54: Diagrama de ojos IV

Utilización de las Mascaras

Para su análisis han de definirse áreas prohibidas que el ojo no debe de cruzar para garantizar una adecuada calidad de la señal. Estas áreas son diferentes para cada estándar de transmisión.

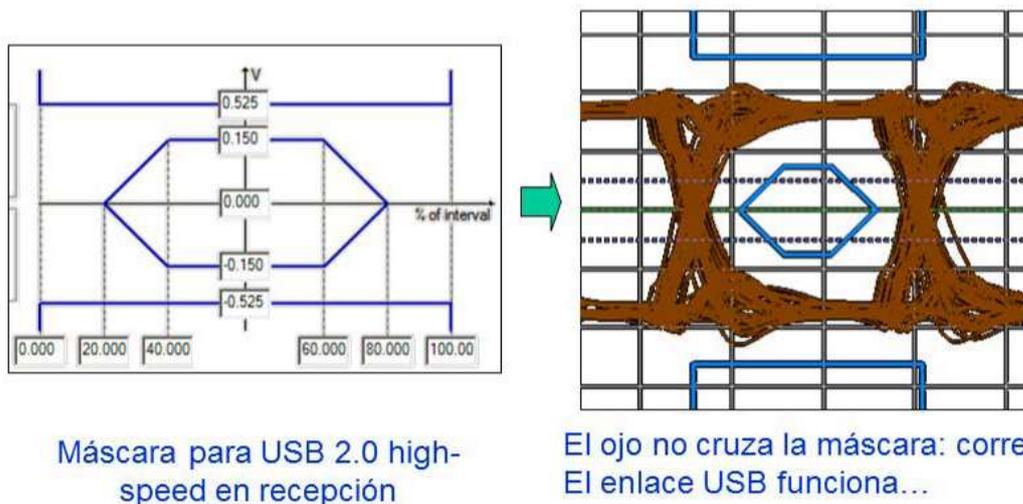


Figura 55: Diagrama de ojos V

Si se realiza el análisis y se observa que ninguna señal cruza nuestra máscara, significará que las condiciones establecidas son correctas para el diseño.

Terminaciones de las líneas

El efecto característico que aparece en las terminaciones de líneas es el fenómeno de reflexión que puede provocar:

- Falsos flancos en las señales de reloj. (CASO A)
- Niveles lógicos no validos en los instantes de muestreo. (CASO B)
- Posibles daños a los buffers por sobretensión.

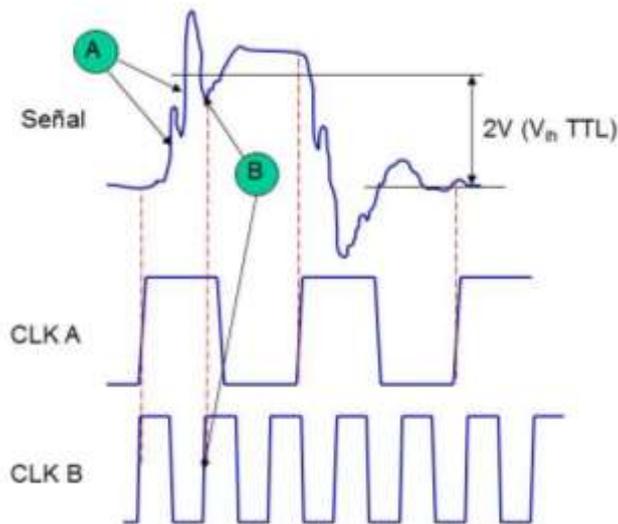


Figura 56: Terminaciones de líneas

Los efectos negativos pueden provocar falsos flancos de reloj, falsos unos y falsos ceros, sobrecorriente en los diodos de protección y por tanto acortar la vida del componente.

Serie en la fuente

Consiste en una resistencia serie cuyo valor, más la impedancia de salida de la fuente, es igual a la impedancia característica de la línea.

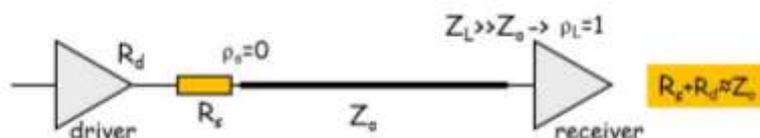


Figura 57: Serie fuente

Típicamente $Z_0=50\Omega$, $R_d=18\Omega$. Luego se suele colocar $R_s=33\Omega$. Pero la pregunta es. ¿Por qué es necesario colocar la terminación muy cerca de la fuente?

- Como $R_s+R_d=Z_0$, una onda de amplitud mitad se propaga hacia la carga.
- Como $\rho_L=1$, se recupera toda la amplitud en la carga (incidente+reflejada).
- La onda reflejada hacia la fuente no vuelve a reflejarse, ya que $\rho_S=0$.

- Entonces se reduce el Crosstalk de la línea.

La terminación serie en la fuente funciona correctamente para señales punto a punto. Pero, ¿Qué sucede si hay más de una carga?

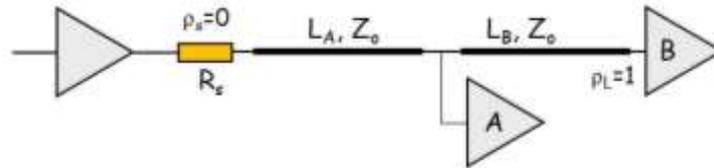


Figura 58: Serie en la fuente con más de una carga

- La onda incidente produce sólo la mitad de la amplitud en A. Es necesario esperar a la onda reflejada para alcanzar la amplitud total.
- Esto produce flancos no monótonos y retardos elevados, lo que no es apropiado para señales de reloj o cuando queremos minimizar los retardos.

Por lo tanto, este tipo de terminación es adecuado para líneas punto a punto o, si hay más de una carga, cuando Lb es pequeña (a efectos prácticos, $L_b < L_{critica}$), topología que se conoce como heavy point-to-point.

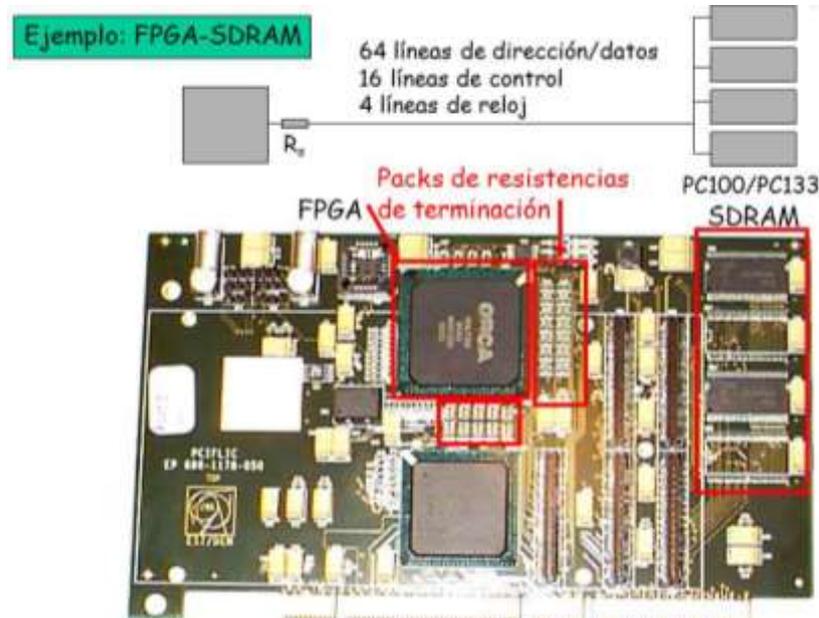


Figura 59: Ejemplo de serie en la fuente en un PCB

Paralelo en la carga

Este método es adecuado cuando una línea tiene cargas distribuidas. La principal desventaja es que los drivers deben de conducir una corriente muy elevada.

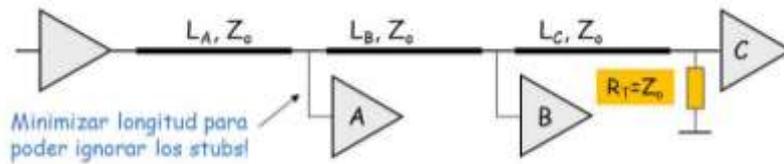


Figura 60: Paralelo en la carga

Al adaptar el extremo de la línea, no se producen reflexiones. La terminación R_t puede llevarse a masa o a V_{cc} indistintamente, siempre que haya un buen desacople entre ambos planos. Este método tiene la ventaja de su sencillez, pero no se puede utilizar, excepto excepciones, por la elevada corriente requerida (típicamente $> 60\text{mA}$).

Thevenin

Este método requiere menos corriente del driver, pero en cambio son necesarias dos resistencias por línea, lo que es muy costoso al rutar buses.

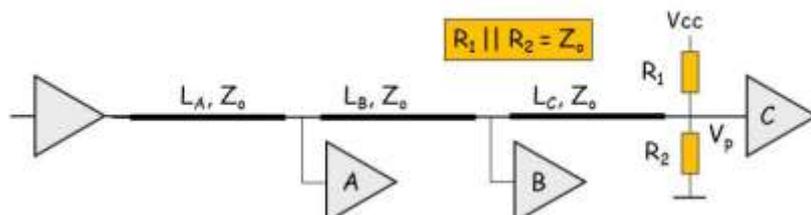


Figura 61: Modelo de Thevenin

Es un método adecuado para buffers de corriente de salida alta o medio-alta (típicamente $> 30\text{mA}$).

AC

Este método evita el consumo de corriente estática, debido a que el condensador la bloquea.

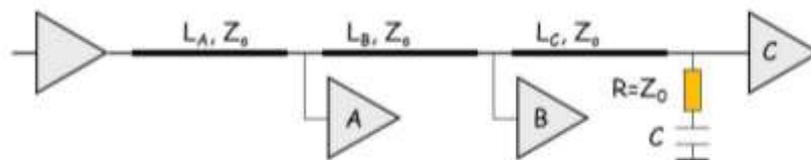


Figura 62: Modelo de AC

La reactancia del condensador debe ser pequeña para los condensadores de frecuencias altas de la señal, lo que fija un límite inferior al valor de C que es aproximadamente:

$$B_w \approx \frac{0.5}{t_t}$$

Ecuación 26

Además, hay que hacer que $RxC \ll T_p$, periodo de la señal, fijando un límite superior al valor de C. En la práctica, los valores ideales de R y C se obtienen iterativamente o mediante herramientas software.

Terminación mediante Diodos

No se trata de una verdadera terminación, simplemente limita los sobreimpulsos y los subimpulsos.

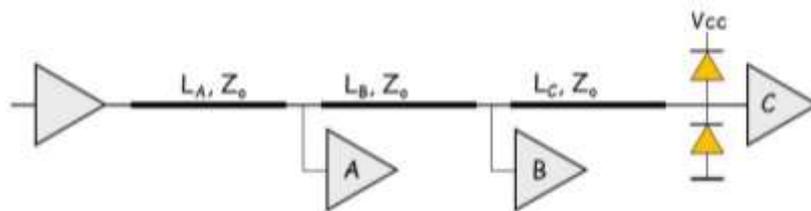


Figura 63: Terminación mediante diodos

Muchos circuitos integrados incorporan estos diodos de protección en sus buffers de entrada como protección parcial frente a descargas ESD y otros transitorios. El peligro reside en que los diodos de protección resulten dañados con el tiempo por pequeñas sobrecorrientes repetitivas.

Crosstalk

El fenómeno denominado crosstalk es el acoplamiento de energía existente entre dos líneas. Crosstalk (XT), es un fenómeno por el cual una señal transmitida en un circuito o canal crea un efecto indeseado en los canales adyacentes.

Es causado normalmente por efectos indeseados de capacitancia e inductancia en el canal o circuito. Por esa razón se debe de diferenciar entre:

- Crosstalk capacitivo
- Crosstalk inductivo

Los efectos indeseados provocados son los siguientes:

- Empeoramiento de la calidad de la señal víctima, dándose los siguientes comportamientos:
 - o Reducción de los márgenes de ruido VIH y VIL.
 - o Overshoots
 - o Flancos indeseados

- Flancos no mono tónicos
- Problemas de EMC
 - Emisiones radiadas, EMI.
 - Emisiones inducidas, EMS.

Por lo tanto se dice que el crosstalk es un acoplamiento electromagnético indeseado entre pistas, hilos y cables.

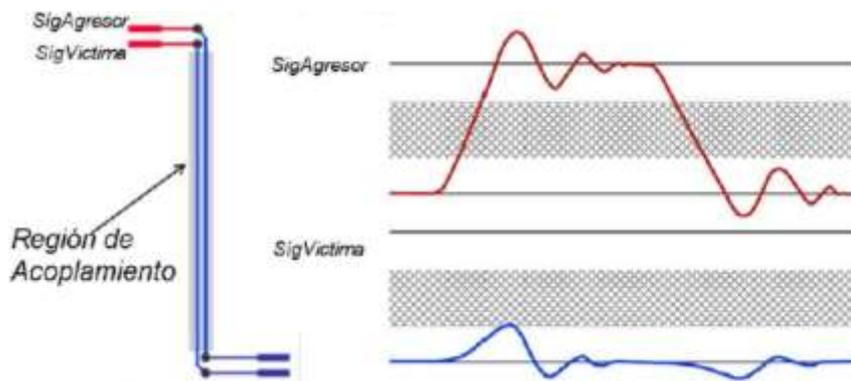


Figura 64: Acoplamiento eléctrico

El acoplamiento producido no es solo susceptible de un sólo plano. Afectando al comportamiento de los circuitos del sistema por perturbaciones del campo magnético.

- Perturbaciones por Campo Eléctrico E.
- Perturbaciones por Campo Magnético B.

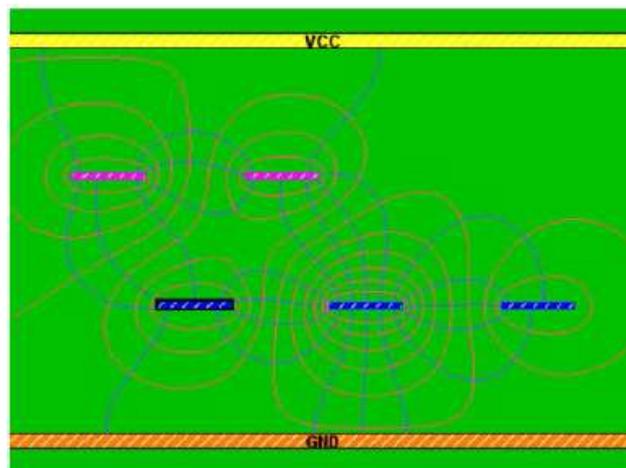


Figura 65: Perturbaciones magnéticas y eléctricas de un PCB

Este efecto indeseado puede presentarse en:

- Señales de reloj flancos no monótonos
- Señales periódicas provocando flancos indeseados.

- Señales de datos, direcciones o de control en sistemas digitales variando el nivel.

Todos estos errores conllevan a un error en la lectura de un dato por nivel, por flancos no deseados, etc.

En señales de medida de circuitos analógicos también se pueden encontrar problemas, variando la magnitud en de la medida, conllevando a un Error en la Medida.

Mecanismos de Crosstalk

Los mecanismos físicos que intervienen en el crosstalk son:

- Acoplamiento inductivo, provocado por un campo magnético B.

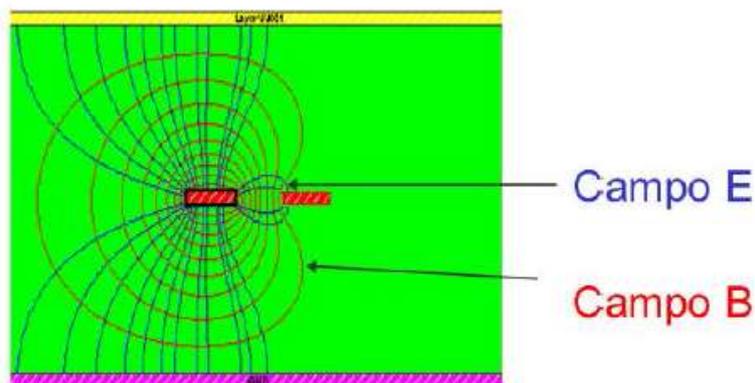
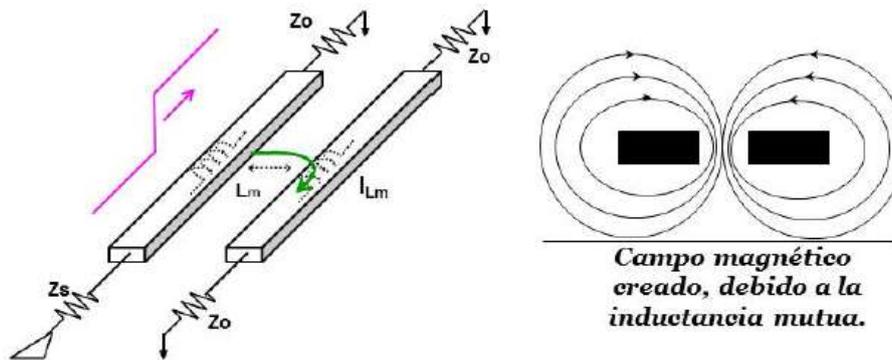


Figura 66: Acoplamiento inductivo

- Acoplamiento capacitivo, provocado por un campo eléctrico E.

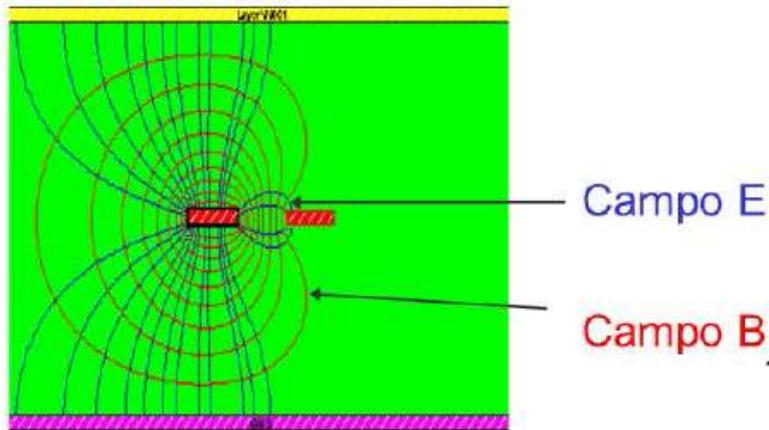
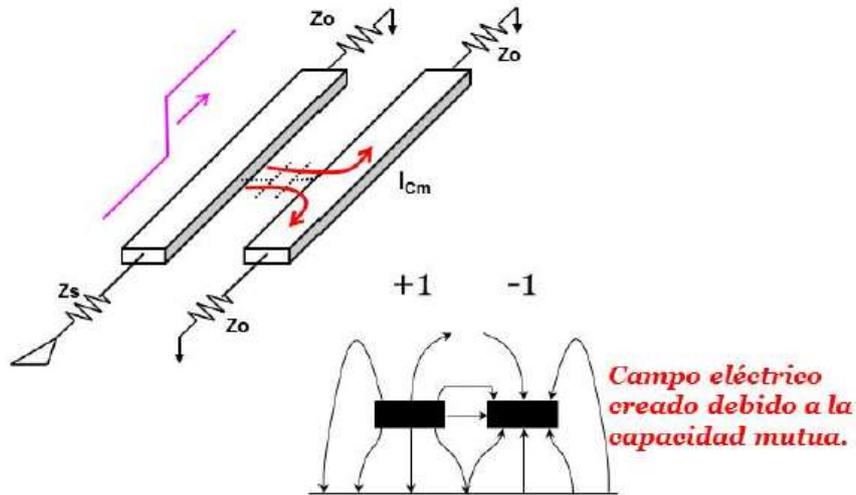


Figura 67: Acoplamiento capacitivo

Efectos provocados por un campo magnético

En una pista de un PCB, un campo magnético B se genera cuando atraviesa una corriente por ella, según la ley de Ampere.

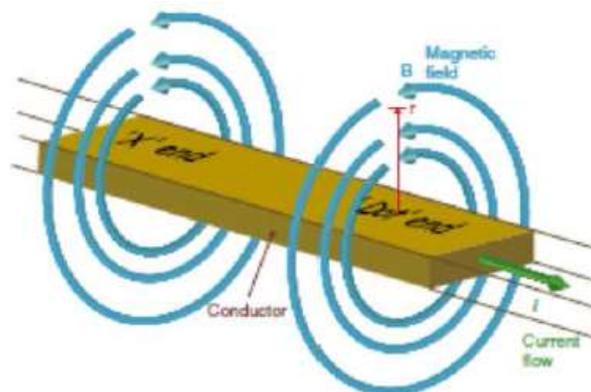


Figura 68: Efectos magnéticos

Si hay próxima otra pista, se genera un flujo de corriente en esta por inducción magnética.

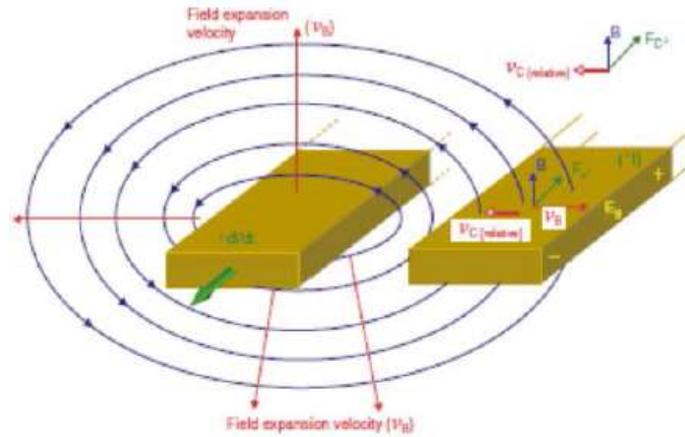


Figura 69: Efecto magnético sobre otra pista

Por lo tanto el campo magnético B generado en la pista agresora por el paso de una corriente ha inducido una diferencia de potencial por el flujo de corriente en la pista víctima. La ecuación que cuantifica la diferencia de potencial en la víctima está representada por:

$$V = 2\pi f L m I$$

Ecuación 27

Dónde:

- F=frecuencia de la corriente
- Lm=inductancia mutua entre las pistas
- I=corriente por el agresor

La tensión en la inductancia mutua puede definirse por:

$$V_{tm} = Lm \frac{dI}{dt}$$

Ecuación 28

Con lo cual la inductancia mutua induce corriente en la víctima en sentido opuesto al de la fuente.

También la tensión acoplada en el circuito víctima depende del área y la proximidad de las pistas. Debido a que la inductancia mutua se calcula como:

$$Lm = \mu_0 n^2 A_l$$

Ecuación 29

Donde n es el número de las (=1), Al es la superficie, donde interviene la distancia entre pistas y la longitud de las pistas, que ocupa l circuito y u0 es el coeficiente de permeabilidad del medio, que en los PCBs es 1.

Efectos provocados por un campo eléctrico

En una pista donde se aplica una diferencia de potencial existe un campo eléctrico E.

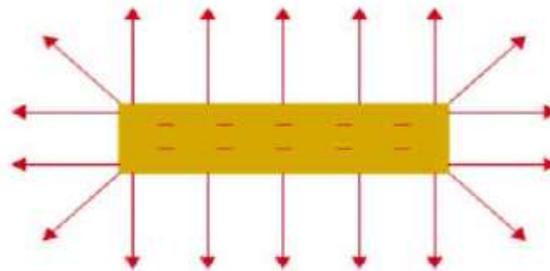


Figura 70: Efectos provocados por un campo eléctrico

Cuyas líneas de campo son perpendiculares al conductor. Si existe una pista adyacente, normalmente en distinta capa y paralela a la pista agresora. Se induce una corriente.

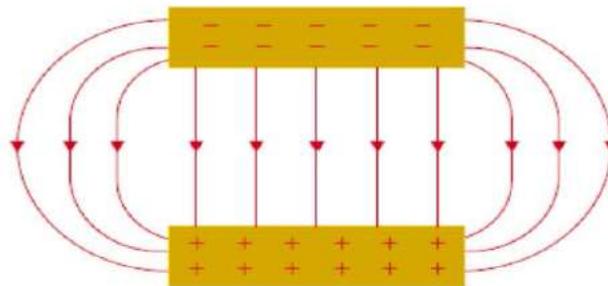


Figura 71: Efecto de dos pistas paralelas

La corriente inducida en la pista víctima se expresa como:

$$I = 2\pi f C_m V$$

Ecuación 30

Dónde:

- I=corriente inducida
- f=frecuencia de la V en el agresor
- Cm=capacidad mutua entre las dos pistas

- V =tensión en el agresor

La corriente inducida da lugar a una tensión que depende también de la impedancia característica de la pista.

$$V = Z_0 * I$$

Ecuación 31

La ecuación que indica el paso de corriente de la fuente víctima es:

$$I_{cm} = C_m \frac{dV}{dt}$$

Ecuación 32

Con lo cual la tensión en la víctima se expresa como:

$$V = Z_0 * I_{cm}$$

Ecuación 33

La capacidad mutua depende de, la permeabilidad del medio ϵ_0 , A el área de los planos paralelos y d de la distancia entre las pistas. Con lo que se obtiene:

$$C_m = \frac{\epsilon_0 * \epsilon_r * A}{d} [F]$$

Ecuación 34

Haciendo más próximos los planos, menor d , se obtiene mayor capacidad que a su vez hace que se reduzca la reactancia capacitiva y aumentando la posibilidad de crosstalk:

$$X_c = \frac{1}{2\pi f C}$$

Ecuación 35

Por esta razón el crosstalk capacitivo está fuertemente determinado por el área de acoplamiento y la distancia entre los planos.

Matriz de capacitancia e inductancia

Partiendo el circuito acoplado como se muestra en la siguiente figura:

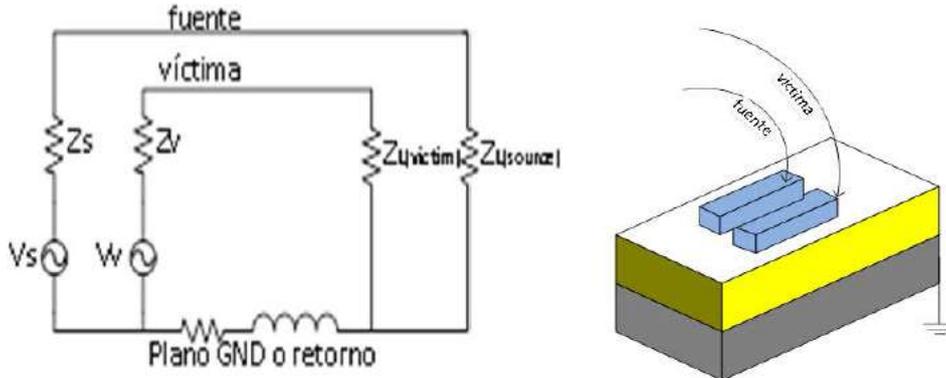


Figura 72: Matriz de capacitancia

Y ampliando el circuito acoplado con todos los elementos parásitos que intervienen se obtiene el modelo siguiente:

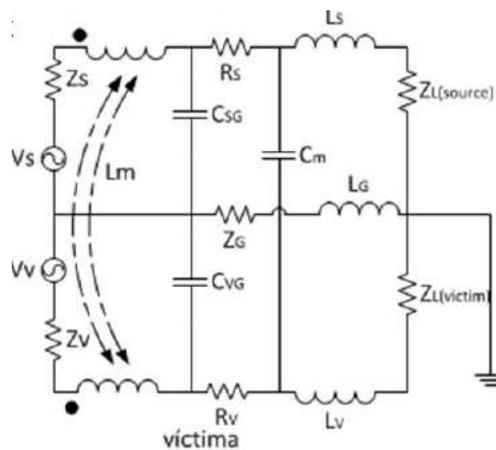


Figura 73: Circuito equivalente

La matriz de capacitancia básica se define como:

$$C = \begin{bmatrix} C_{sg} + C_m & -C_m \\ -C_m & C_{vg} + C_m \end{bmatrix} \left[\frac{pF}{m} \right]$$

Ecuación 36

- Donde Csg es la capacidad parásita entre la pista y el retorno.
- Donde Cvg es la capacidad parásita entre la pista fuente y la pista víctima. Lo que se ha estado denominando capacidad mutua a lo largo del documento.

Para líneas sin pérdidas, las matrices de resistencia y conductividad se suelen tomar a cero. Pero asumiendo que realmente existen pérdidas se asume la matriz de resistencia no nula pero la de conductancia sí.

$$R = \begin{bmatrix} R_s + Z_g & Z_g \\ Z_g & R_s + Z_g \end{bmatrix} \left[\frac{\Omega}{m} \right]$$

Ecuación 37

Si se representa la ecuación de corriente real del circuito sería así:

$$I = -G * V - C \frac{d}{dt}(V)$$

Ecuación 38

Tomando que las pérdidas en el dieléctrico son nulas $G=0$. Se obtiene la ecuación que determina la corriente inducida.

$$I = C dv/dt$$

Ecuación 39

La matriz de inductancia básica se define como:

$$L = \begin{bmatrix} L_s & L_m \\ L_m & L_v \end{bmatrix} \left[\frac{nH}{m} \right]$$

Ecuación 40

Donde L_m es la inductancia mutua.

Donde L_s es la inductancia parasita de la pista fuente.

Donde L_v es la inductancia parasita víctima.

Si se representa la ecuación de tensión real del circuito así:

$$V = -R * I - L \frac{d}{dt} I$$

Ecuación 41

Tomando que las pérdidas en el dieléctrico son nulas $R=0$. Se Obtiene la ecuación que determina la tensión inducida.

$$V = -L * dl/dt$$

Ecuación 42

Tipos de Crosstalk

El crosstalk entre las pistas adyacentes, sólo ocurre en las conmutaciones de la señal que es transmitida.

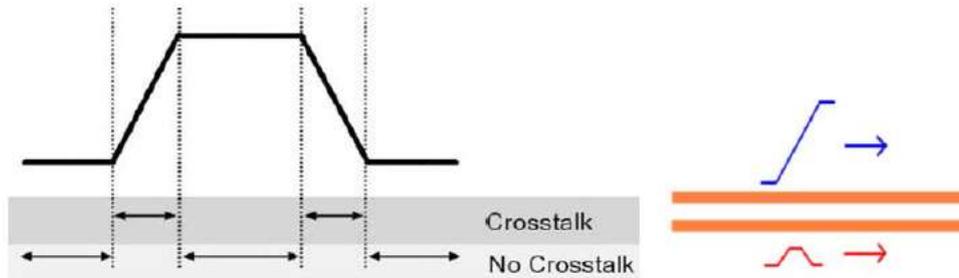


Figura 74: Efecto del crosstalk

Existen dos tipos de crosstalk:

- Backward Crosstalk o Near-End Crosstalk.
- Forward Crosstalk o Far-End Crosstalk.

Backward Crosstalk o Near-End Crosstalk

Ante la conmutación en la pista fuente, ocurre lo siguiente:

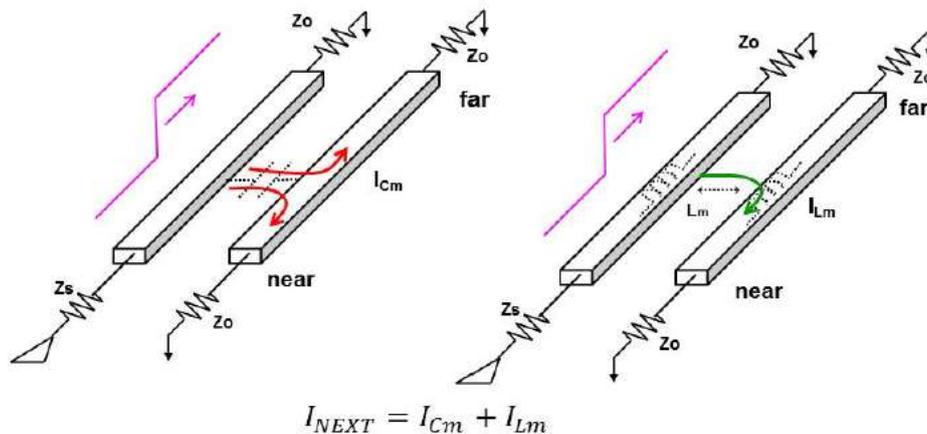


Figura 75: Modelo de Backward Crosstalk ó Near-End Crosstalk

Está formada por la suma de corrientes generada por la inductancia mutua y la capacitancia mutua. La corriente se propaga en sentido contrario al de la pista agresora.

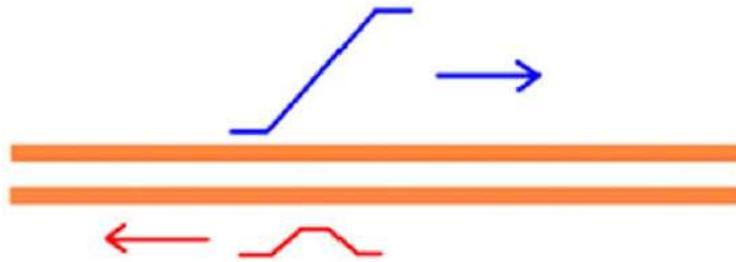


Figura 76: Efecto del Crosstalk

La diferencia de potencial generada en la pista victima tiene la misma polaridad que la que ha generado el XT. El acoplamiento capacitivo provoca una opuesta y otra en el mismo sentido, y eso se debe por el comportamiento capacitivo, en el punto X en el agresor los electrones tienen carga negativa, en ese mismo punto el otro conductor estará intentando repeler esa carga negativa, lo cual hace que esa repulsión envíe electrones a los dos lados del punto X.

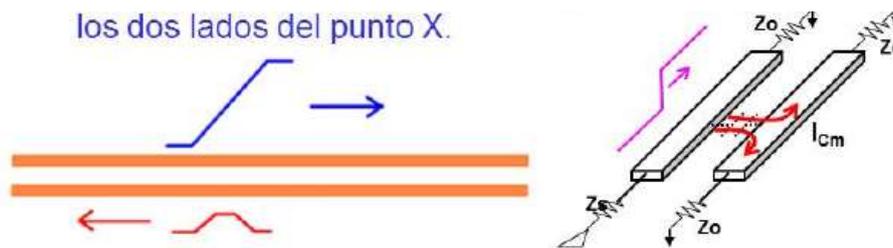
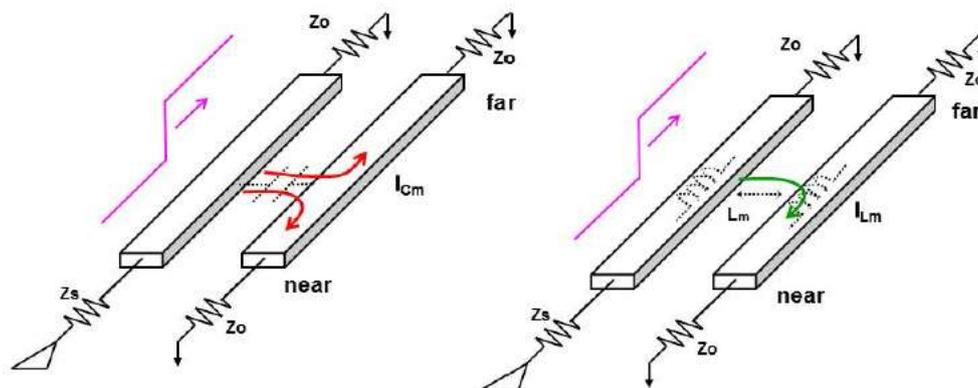


Figura 77: Efecto del Crosstalk sobre la otra línea

Forward Crosstalk o Far-End Crosstalk



$$I_{FEXT} = I_{Cm} - I_{Lm}$$

Figura 78: Modelo de Forward Crosstalk o Far-End Crosstalk

Es la diferencia de la corriente inducida por la capacidad mutua menos la corriente inducida por la inductancia mutua. La corriente se propaga en el mismo sentido que la del agresor.

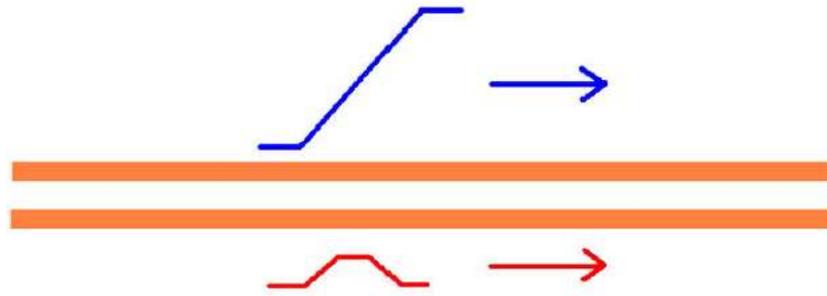


Figura 79: Efecto del Crosstalk

El ancho del pulso del crosstalk es igual al del tiempo de subida o bajada en la conmutación de la señal agresora. La amplitud aumenta con el paralelismo. La amplitud tiene una polaridad contraria a la del agresor:

- Flanco de subida, provoca XT negativo.

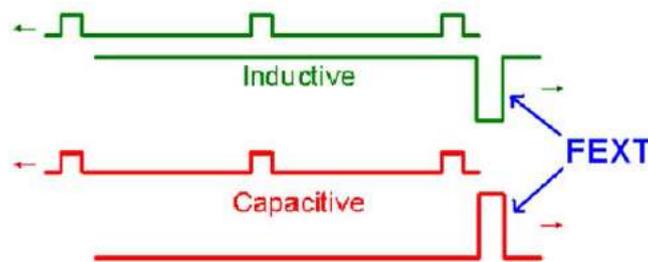


Figura 80: Flanco de subida

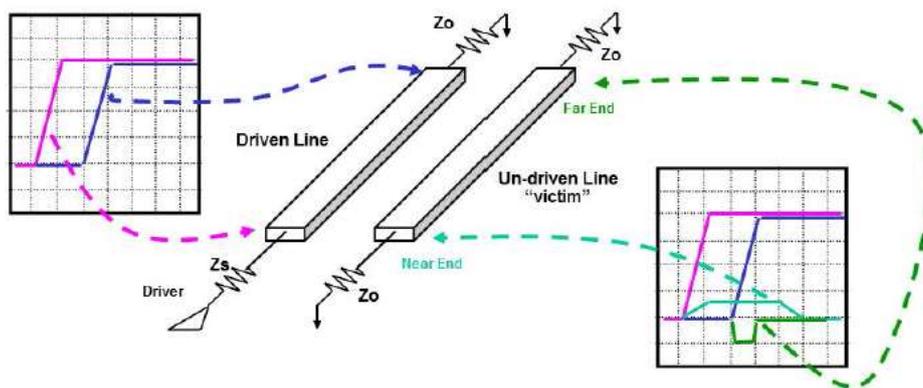


Figura 81: Crosstalk provocado por un flanco de subida

Las ecuaciones que cuantifican la amplitud o la cantidad de crosstalk son:

$$V_{next} = \frac{V_{input}}{4} \left[\frac{LM}{Ls} + \frac{Cm}{Cm + Csg} \right] [V]$$

Ecuación 43

Donde

- $CM=C_{sv}$
- $LM=M_{sg}$

$$VF_{ext} = -\frac{V_{input}T_0}{2Tr} \left[\frac{LM}{L_s} - \frac{CM}{C_m + C_{sg}} \right] [V]$$

Ecuación 44

Donde el retardo de propagación queda:

$$T_0 = l\sqrt{LC}$$

Ecuación 45

- Siendo $L=L_s$ y $C=C_m+C_{sg}$

Modos de Crosstalk

A base de ejemplo de dos líneas acopladas tendrá dos modos de propagación.

- Even-Mode: donde las dos líneas transmiten señales que no tienen desfase.

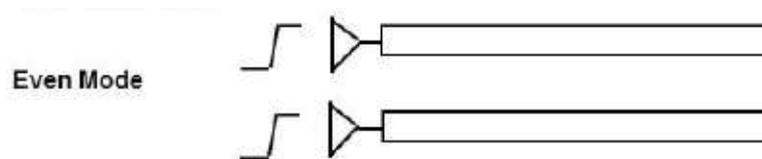


Figura 82: Even Mode

- Odd-Mode: Las líneas transmiten señales desfasadas 180°

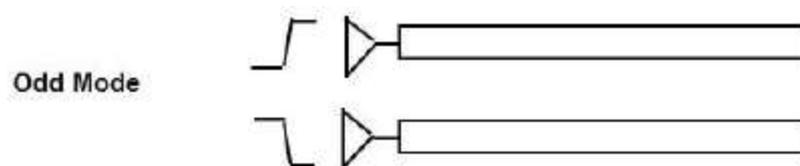


Figura 83: Odd Mode

La iteración de los campos magnéticos y eléctricos serán diferentes dependiendo de estos modos.

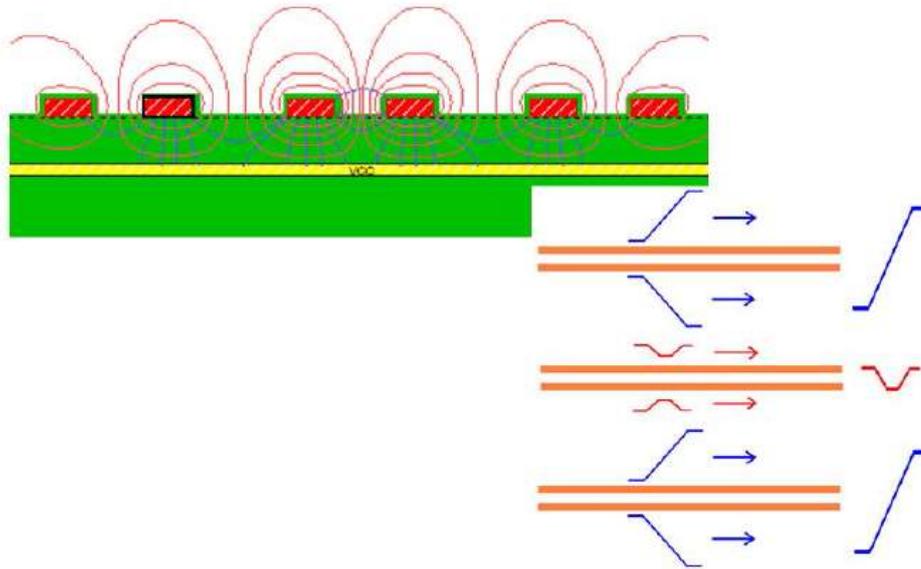


Figura 84: Iteración de los campos magnéticos

Como las corrientes circulan con el mismo sentido la inductancia mutua incrementa el nivel de inducido.

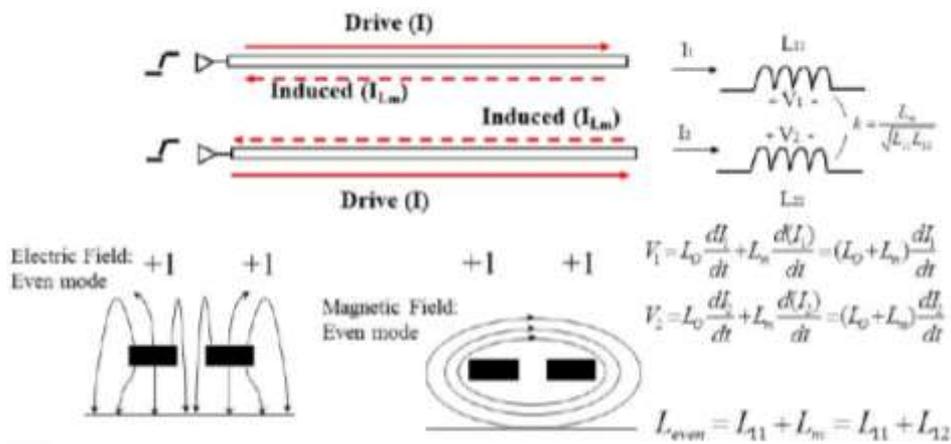


Figura 85: Circulación de corriente I

Como las dos líneas tienen el mismo potencial la capacidad mutua es mínima y el efecto capacitivo también.

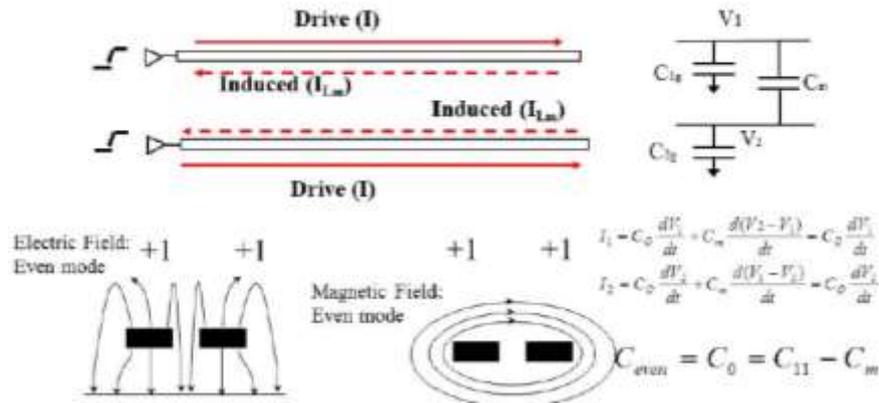


Figura 86: Circulación de corriente II

La diferencia de potencial entre los conductores incrementa el efecto capacitivo por que aumenta la capacidad mutua.

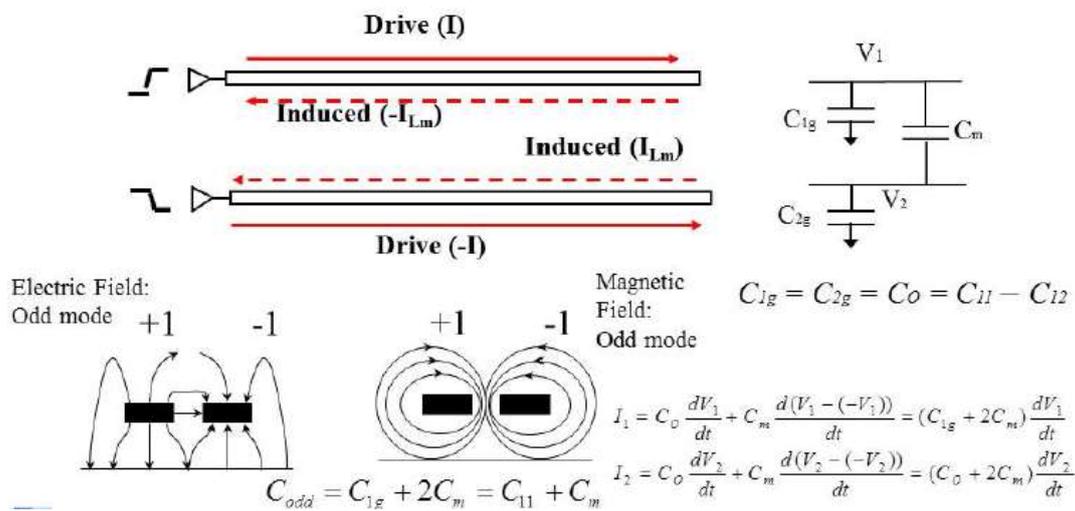


Figura 87: Circulación de corriente III

Como la corriente circula en sentidos opuestos, el campo magnético será opuestos. Lo cual hace que reduzca la inductancia mutua.

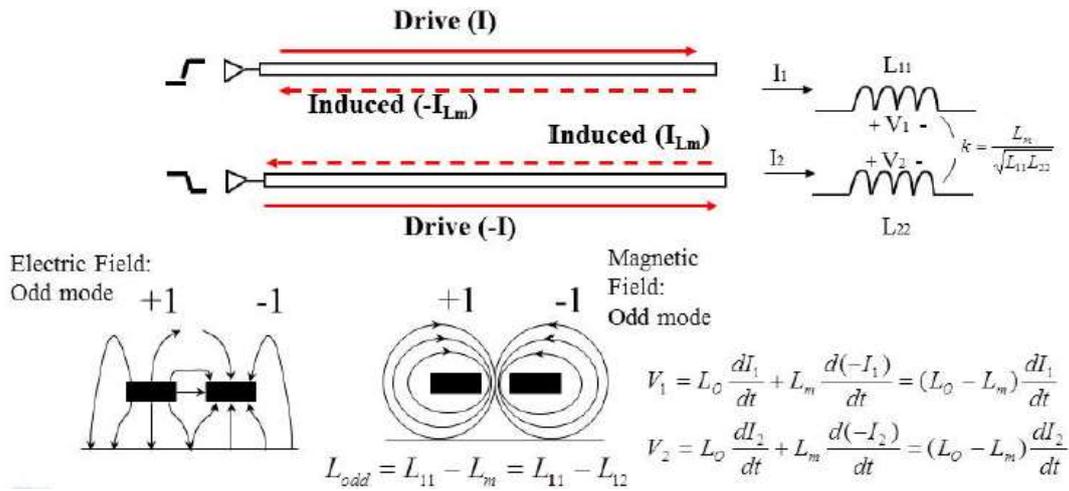


Figura 88: Circulación de corriente IV

Todo ello afecta a:

- Valor de la impedancia característica:

$$Z_{even} = \sqrt{\frac{L_{even}}{C_{even}}} = \sqrt{\frac{L_{11} + L_{12}}{C_{11} - C_{12}}}$$

Ecuación 46

$$Z_{odd} = \sqrt{\frac{L_{odd}}{C_{odd}}} = \sqrt{\frac{L_{11} - L_{12}}{C_{11} + C_{12}}}$$

Ecuación 47

- Valor de retardo de propagación:

$$T_{Deven} = \sqrt{L_{even} * C_{even}} = \sqrt{(L_{11} + L_{12})(C_{11} - C_{12})}$$

Ecuación 48

$$T_{Dodd} = \sqrt{L_{odd} * C_{odd}} = \sqrt{(L_{11} - L_{12})(C_{11} + C_{12})}$$

Ecuación 49

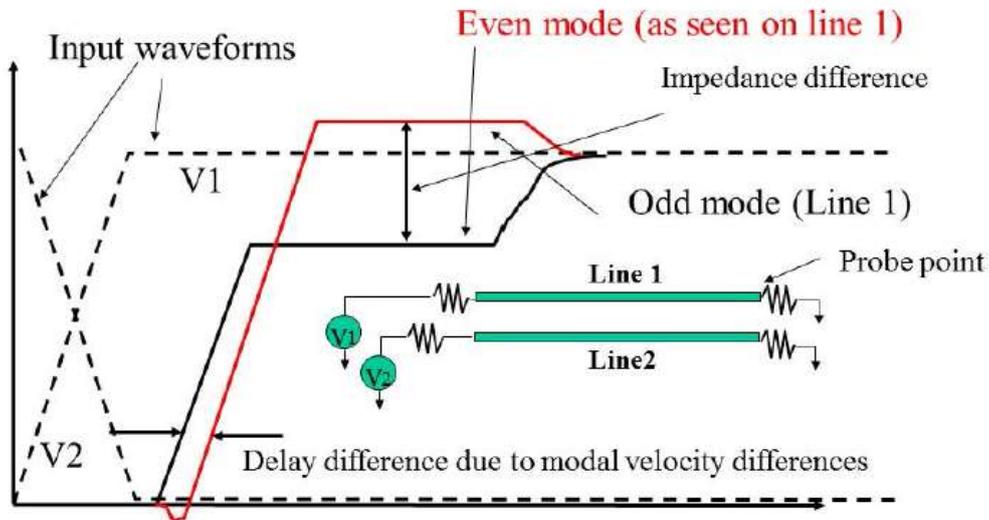


Figura 89: Retardo de propagación

Técnicas para reducir el Crosstalk

Reducir la distancia de las pistas al plano de masa.

Maximizar la distancia entre las pistas. Aplicar la regla de los 3W.

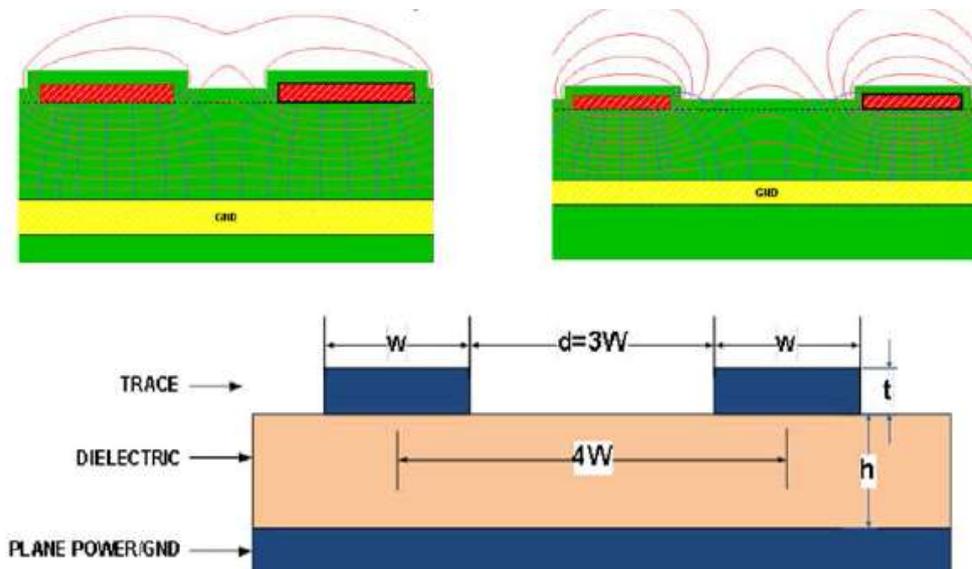


Figura 90: Efecto del Crosstalk

- Evitar el paralelismo
- Hacer pistas cortas
- Rutear en distintas capas de forma ortogonal
- Reducir la constante del dieléctrico.
- Insertar líneas de guarda (GND) entre las pistas.
- Conmutaciones simultaneas de las señales.

Stack-UP

Antes del estudio y diseño de los Stack-Ups, se va a proceder a estudiar la estructura de un PCB multicapa.

Un PCB se compone de capas de cobre y material aislante para separar las capas conductoras y dar rigidez al conjunto. Como material aislante se emplean capas de material base. Se utiliza pre-preg como adhesivo.

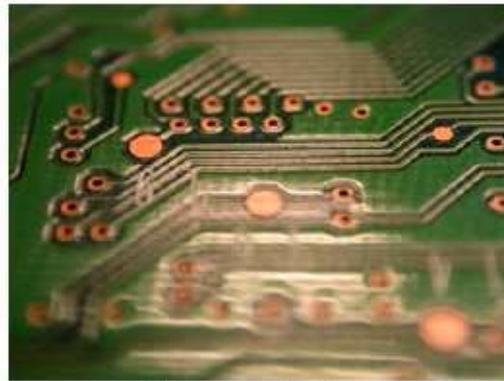


Figura 91: Circuito Multicapa

El material base está compuesto a base de resina epóxica reforzada con tela de fibra de vidrio y completamente curado.

El pre-preg es un material similar al base pero que ha sufrido un proceso de curado incompleto.

Componente	Proporción
Dióxido de silicio	52-56 %
Óxido de calcio	16-25 %
Óxido de aluminio	12-16 %
Óxido de boro	5-10 %
Óxido de magnesio	0-5 %
Óxido de Na, K, Fe y Ti	0-3 %
Compuestos de flúor	0-1 %

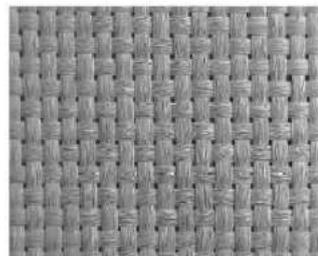
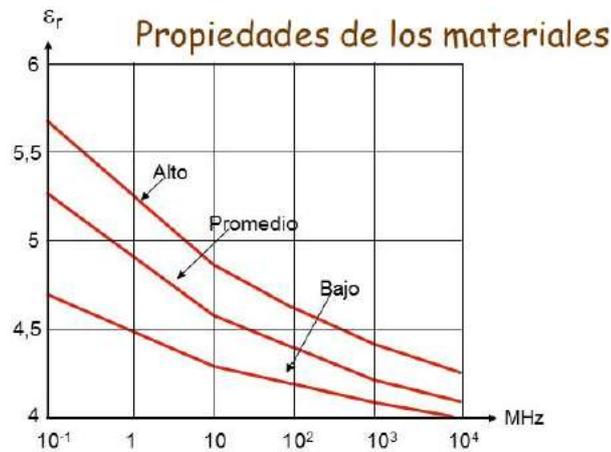


Figura 92: Pre-Preg

Vertiendo resina epoxica sobre tela de fibra de vidrio y sometiendo el conjunto a un proceso de curado se obtiene el prepreg. Añadiendo láminas de cobre en ambas caras del pre-preg y procediendo a un curado completo (calor+presión) se obtienen los llamados núcleos (cores). Aplicando núcleos pegados entre sí con pre-preg y curando se obtiene la estructura resultante de un PCB.

Hay diferentes espesores de pre-preg más o menos estandarizados como es el 106 (50-60um), 1080 (70-80um), 2116 (120-130um) y 7628 (180-200um).

A continuación se observa una gráfica con las distintas propiedades de los materiales:



- La constante dieléctrica disminuye con la frecuencia para muchos materiales
- La proporción entre resina y material de refuerzo determina la cte. a baja frecuencia
- La absorción del agua afecta a la constante dieléctrica y a las pérdidas

Figura 93: Propiedades de los materiales

Para las capas externas se depositan láminas de (foil) de cobre sobre pre-preg, si bien algunos fabricantes usan también cores para las capas externas.

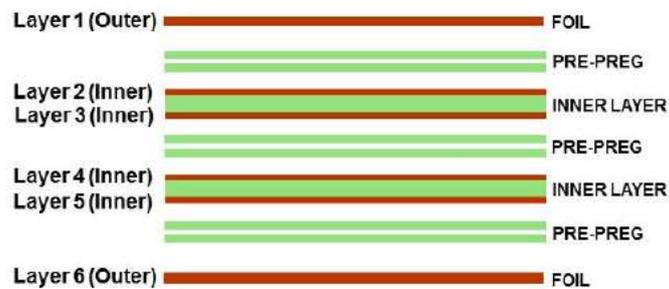


Figura 94: Detalle del Stack-Up

Se considera el PCB de 6 capas de la figura, en el cote transversa definido por la línea roja.

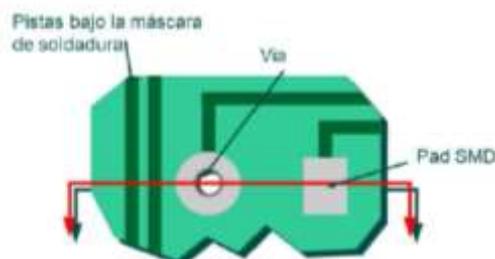


Figura 95: Detalle Vía y Pad

El proceso de fabricación comienza con la generación de las capas internas a base de núcleos. Los núcleos (cores) internos constan generalmente de una capa de material base recubierta de dos capas de cobre. Se puede usar varios grosores de material y espesores de cobre disponibles (para Cu hay poca elección 0.5oz y 1oz).

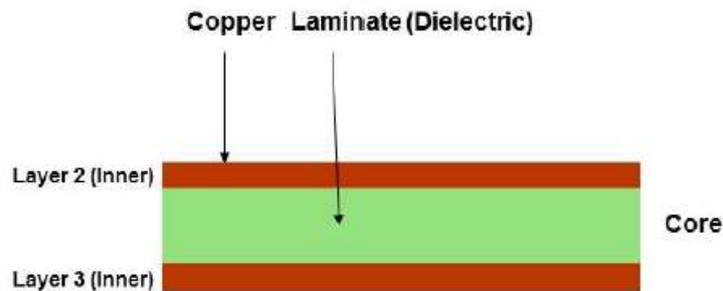


Figura 96: Generación de las capas internas

Se deposita una capa sensible a los ultravioletas en ambas capas de cobre donde se quiera conservar cobre (pistas). Posteriormente se endurece la capa mediante rayos ultravioletas.

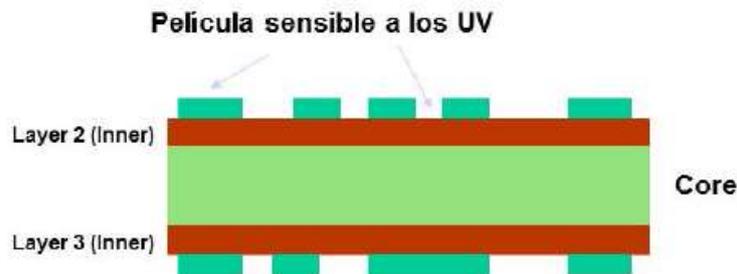


Figura 97: Pulido mediante UV

Se elimina el cobre sobrante mediante un proceso de ataque químico. Posteriormente se elimina la capa de material fotosensible.

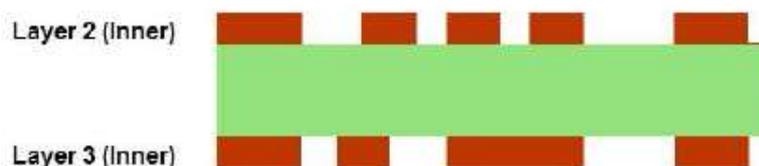


Figura 98: Proceso final de limpieza

Se sigue el mismo proceso para el resto de las capas. Se realiza una inspección visual de los núcleos y se rechazan los defectuosos. Se introduce el conjunto en un horno y se somete a un prensado para curar el pre-preg y dar rigidez al conjunto.

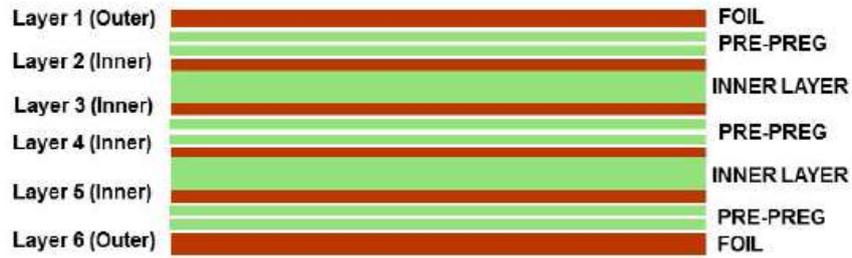


Figura 99: Resultado final del PCB

Procesos adicionales:

- Realización de los taladros y vías.

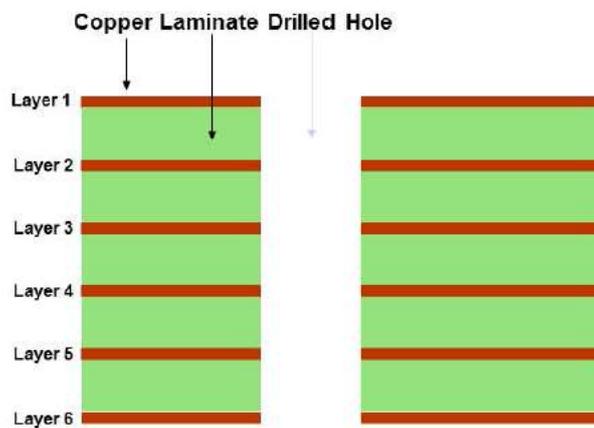


Figura 100: Realización de los taladros y vías

- Metalización de las vías:

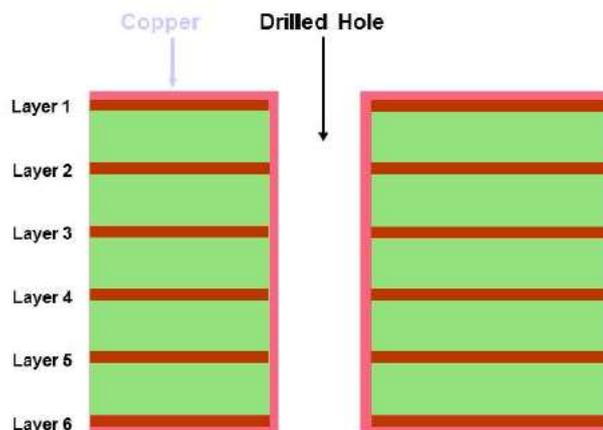


Figura 101: Metalización de las vías

- Adición de una máscara fotosensible u posteriormente adición de cobre y estaño a todas las superficies expuestas.

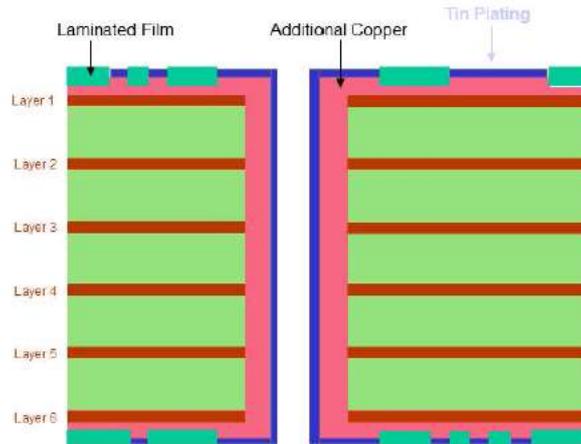


Figura 102: Máscara fotosensible

- Eliminación de la película fotosensible y atacado para eliminar el cobre expuesto.

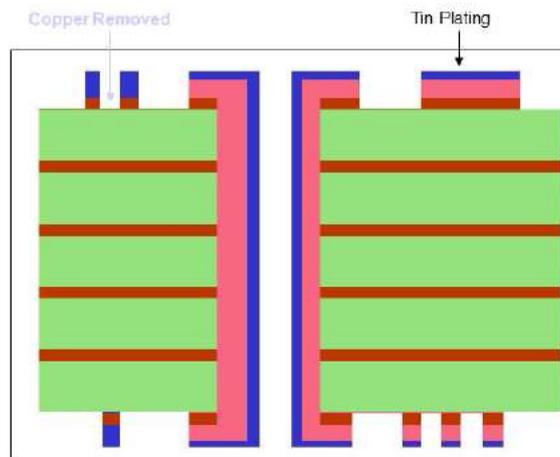
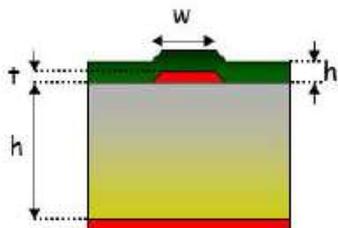


Figura 103: Atacado químico

Con estos pasos el PCB queda prácticamente terminado, solo quedaría la máscara de soldaduras, acabado en Sn/Au/Ag/Pb y la leyenda.

La máscara de soldadura afecta a la impedancia de las capas externas.



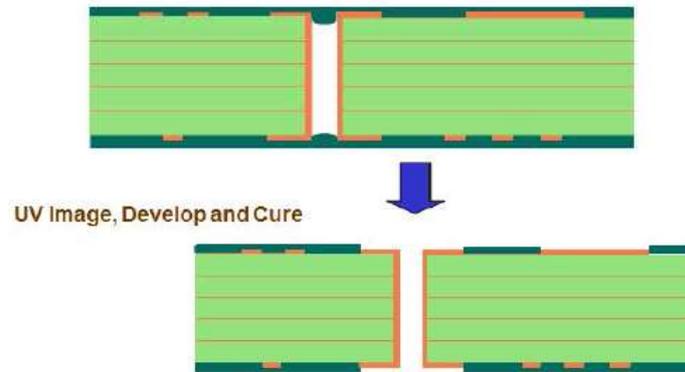


Figura 104: Proceso de UV

El acabado metálico se deposita sobre los pads para proteger de la corrosión y facilitar la soldadura.

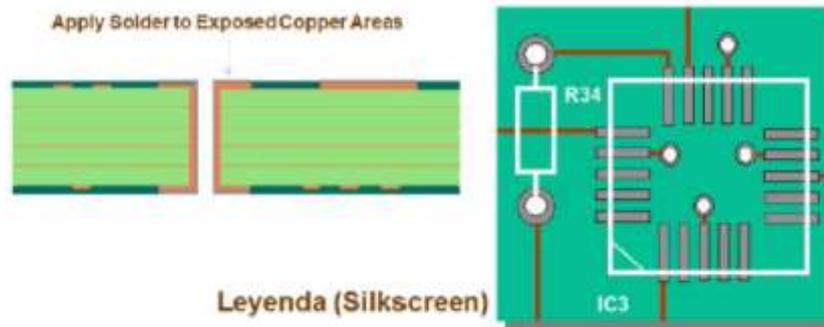


Figura 105: Acabado metálico

El fabricante de PCBs dispone de núcleos, capas de pre-preg y de cobre de distintos espesores. Dependerá del fabricante determinar el grosor y materiales de cada uno de ellos.

Los valores de ancho mínimo de pista y diámetro de la vía, entre otros, determinan la clase del PCB. Cuanto mayor clase, más cara será su fabricación. Algunos ejemplos son:

Tabla 3: Clases de PCB

	Parámetro	Clase 4	Clase 5	Clase 6	Clase 7
	diámetro mín. metalizado	0.3	0.3	0.2	0.15
	ancho/espacio mín. conduct. extern. (17µm Cu) conduct. intern. (17µm Cu)	0.2 0.15	0.15 0.125	0.125 0.1	0.1 0.075
	Aislamiento capas intern. masa alimentación	0.4	0.3	0.25	0.2
	corona mín. capa externa corona mín. capa interna	0.17 0.22	0.13 0.19	0.10 0.15	0.075 0.125

Por lo tanto nuestro objetivo será intentar realizar la PCB con la mayor clase posible.

Otros parámetros a tener en cuenta son:

- Grosor final del PCB.
- Tipos de vías a utilizar.

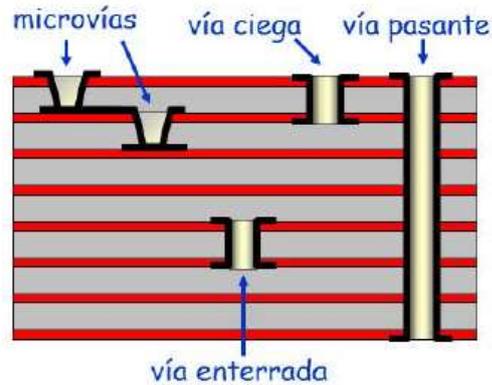


Figura 106: Tipos de Vías

Impedancia Controlada

Por impedancia controlada se entiende la certeza de que las imprecisiones y tolerancias del proceso de fabricación no han introducido discontinuidades de impedancia y que los valores de impedancia reales coinciden con los esperados.

Son causas de discontinuidades de impedancia:

- Espesor de cobre y anchura no uniforme en la pista.
- Espesor y propiedades del dieléctrico no uniformes.

Para verificar la ausencia de desviaciones importantes respecto a los valores calculados se utilizan placas de test denominadas test coupon.

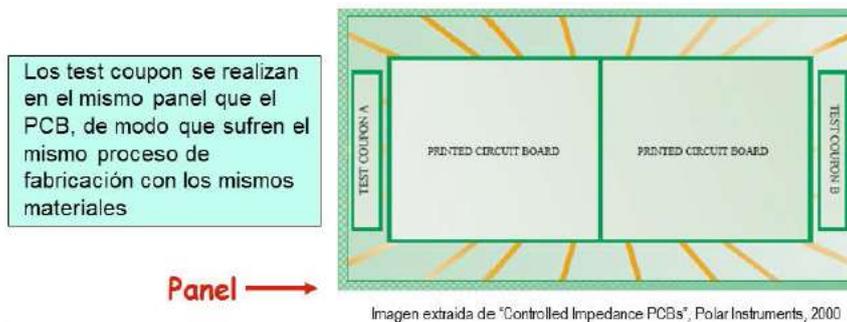


Figura 107: Panel de PCB

Un test coupon contiene líneas de unos 15cm en cada una de las capas de señal. Todos los planos de masa y alimentación están unidos. Suele hacer un test coupon en cada extremo del PCB para asegurar que las medidas representan a todo el panel.

¿Por qué usar test coupon y no líneas especiales en el PCB?

- Es difícil que un PCB tenga pistas punto a punto mayores a

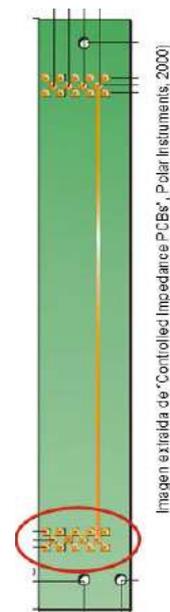


Figura 108: PCB de Tester

15cm

- Los planos ni están unidos y hay muchas vías.
- Los pads para el test ocuparían espacio en el PCB.

El diseñador del PCB debe de especificar al fabricante :

- Que capas contienen señales de impedancia controlada.
- El valor de impedancias que se necesite obtener en cada capa.

Planos de masa y alimentación

Las ventajas de usar planos de masa y alimentación en lugar de pistas más o menos gruesas son, entre otras:

- Proporcionar referencias de tensión y alimentaciones estables.
- Reducir el Crosstalk.
- Reducir discontinuidades de impedancias (reflexiones)
- Reducir ground y SSN.

Se va a considerar para nuestro diseño y hablar con mayor detalles los siguientes aspectos:

- Las corrientes de retorno de alta velocidad siguen el camino de menor inductancia.
- Qué efecto producen las discontinuidades en los planos.
- Que ocurre cuando una señal cambia de plano de referencia al cambiar de capa.

Camino de menor inductancia

De nada sirve una pista bien trazada si no se piensa en el camino de retorno de corriente:

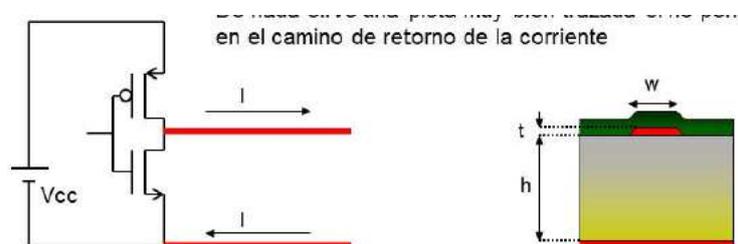


Figura 109: Camino de menor inductancia

N baja frecuencia del elemento dominante de la impedancia es la resistencia, en alta frecuencia la inductancia.



Figura 110: Diferencia de alta frecuencia y baja frecuencia

Densidad de corriente de retorno en el plano de referencia en alta frecuencia

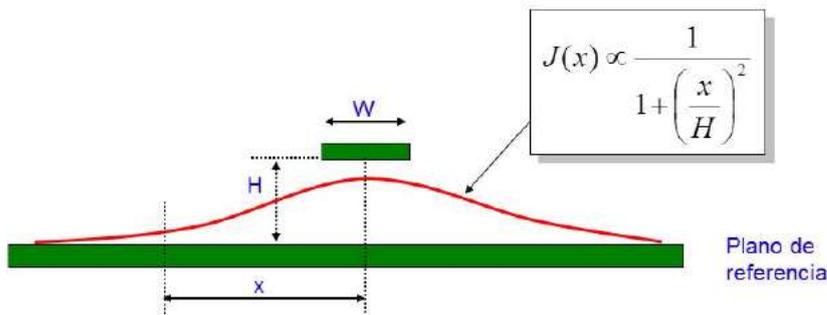


Figura 111: Densidad de corriente

En el caso de no poder disponer de un plano de grandes dimensiones, se recomienda que esté tenga al menos una anchura de 12H.

Discontinuidades en los planos

Una discontinuidad en el plano de tipo slot (ranura) hace que la mayor parte de la corriente de retorno tenga que dar un rodeo y por tanto aumentar el retardo de propagación. Una pequeña parte atraviesa la ranura (capacidad entre los borde). Como resultado del incremento de inductancia y de la aparición de varios caminos, la señal queda distorsionada.

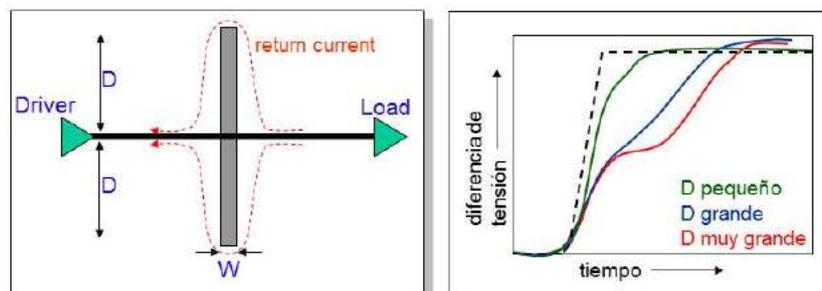


Figura 112: Discontinuidad entre planos

Las discontinuidades en los planos de referencia suelen ser debidas a antipads y a planos partidos (Split planes)

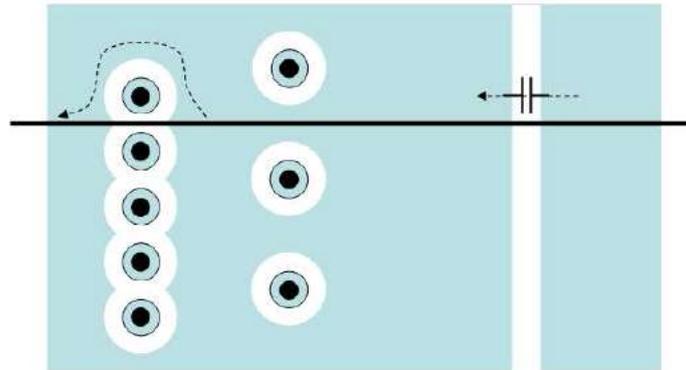


Figura 113: Clearance de los planos

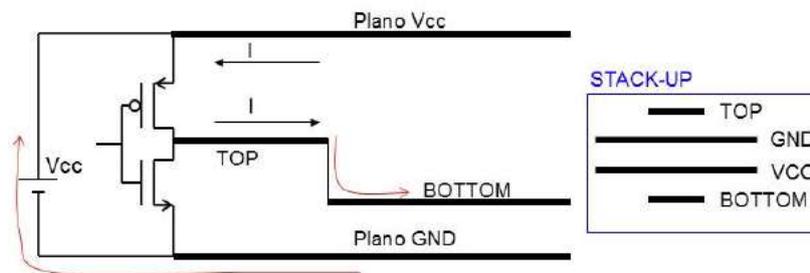


Figura 114: Circuito equivalente de Stack Up

Inicialmente, la señal se propaga por la capa Top y está referenciada al plano GND y por tanto la corriente de retorno viaja por GND. Hay un cambio a la capa Bottom, cuyo plano de referencia en el stack-up es GND. No obstante, la corriente de retorno debe cerrarse finalmente por VCC.

Como consecuencia, la corriente de retorno busca el camino de menor inductancia desde Vcc hasta Gnd, generalmente a través de un condensador de desacoplo. El efecto descrito es similar en una discontinuidad tipo slot.

Diseño del Stack-Up

El stack-up define la estructura del PCB (número de capas, espesores de cobre y de dieléctrico, anchura de las pistas y vías, asignación de los planos de alimentación y masa). El número final de capas lo determinará el experto en layout, pero el diseño del stack-up es responsabilidad del diseñador del sistema.

Todas las capas deben de tener la misma impedancia, una diferencia de impedancias del x% dará lugar a una reflexión del X/2%. Conviene que un plano de alimentación sea adyacente a otro de masa para mejorar el desacoplo. Conviene interconectar los planos de masa mediante vías para minimizar la impedancia de los caminos de retorno.

Redes de desacoplo

Funciones del condensador de desacoplo

La utilidad de las redes de desacoplo son las siguientes

1. **Eliminar fluctuaciones de baja frecuencia en Vcc:** Se colocan los condensadores lo más cercano posible de la entrada de alimentación de la placa, independizando al diseño de la inductancia de los cables de alimentación.

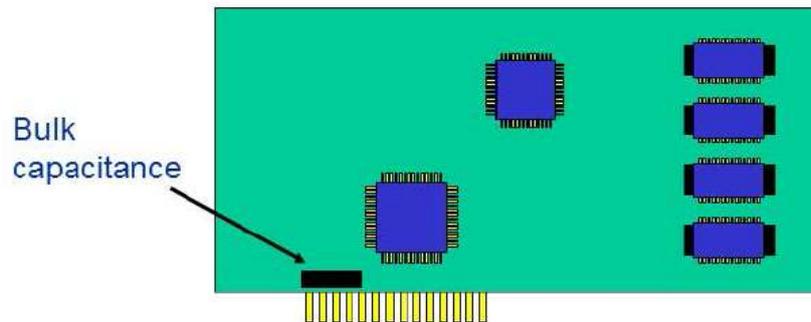


Figura 115: Condensador de Bulk

Estos condensadores de elevado valor, típicamente uno por tensión de alimentación sólo sirven para filtrar las perturbaciones de baja frecuencia. Dicho de otro modo, proporcionan una fuente de carga con baja impedancia Vcc-Gnd a frecuencias a las que la inductancia de los cables provocaría demasiada caída.

Un condensador de elevado valor se sitúa entre la fuente de alimentación y el circuito integrado, reduciendo la inductancia del camino de $L_2 + L_1$ a sólo L_2 (mucho menor).

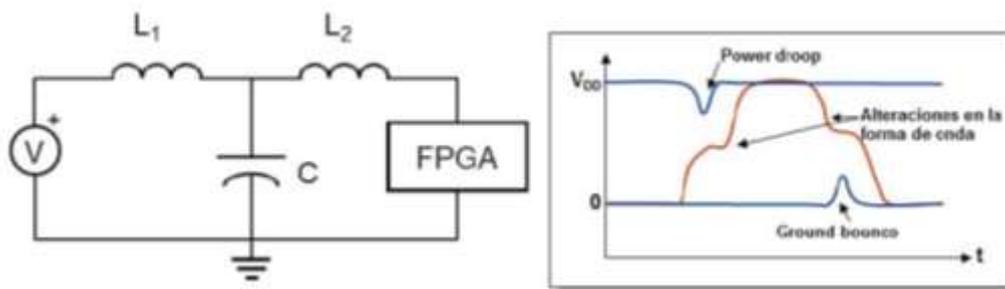


Figura 116: Efecto del condensador de Bulk I

La inductancia se opone a cambios bruscos en la corriente. Sin el condensador de bulk, las demandas instantáneas de corriente producirían caídas importantes en la tensión de alimentación.

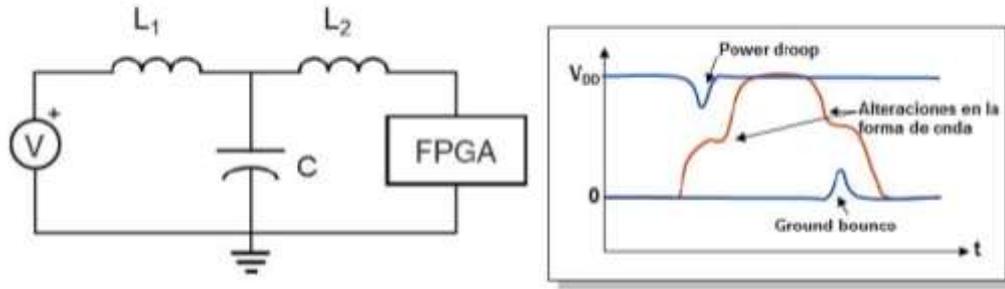


Figura 117: Efecto del condensador de Bulk II

Conociendo el máximo ΔV que tolera el sistema y la máxima ΔI , peor caso, para toda la placa, se determina la máxima reactancia admisible entre masa y alimentación:

$$X_{max} = \frac{\Delta V}{\Delta I}$$

Ecuación 50

Se determina la frecuencia a la que el cableado de alimentación presenta esta reactancia:

$$f_{ind-cable} = \frac{X_{max}}{2\pi * L_{cable}}$$

Ecuación 51

La inductancia del cableado en nH, puede estimarse como:

$$L_{cable} = 4 * l * \ln \frac{2H}{D}$$

Ecuación 52

Donde l es la longitud del cable en cm, H es la separación media entre cables y D el diámetro de los cables.

Para garantizar una baja impedancia entre la masa y alimentación por encima de $f_{ind-cable}$ se necesita un condensador, que calcularemos para tener una reactancia X_{max} a $f_{ind-cable}$:

$$C_{bulk} = \frac{1}{2\pi * f_{ind-cable} * X_{max}}$$

Ecuación 53

2. Eliminación fluctuaciones de alta frecuencia en Vcc

La capacidad de bulk, por su tamaño y características, es lenta. Los picos de demanda instantánea de corriente debe proporcionarlos una red de

condensadores de menor tamaño, colocados junto a los Circuitos integrados, lo que constituye un segundo nivel de desacoplo. Se crea así una jerarquía o un diseño multinivel de la red de desacoplo.

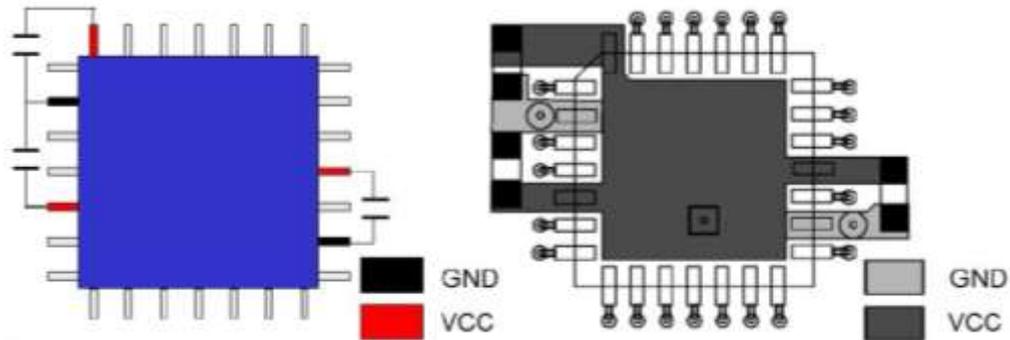


Figura 118: Condensadores de desacoplo de un CI

3. Proporcionar un camino de baja inductancia para las corrientes de retorno.

Se añadirán estratégicamente algunos condensadores por todo el PCB para reducir la inductancia de los caminos de retorno. En este sentido, el acoplo capacitivo entre los planos Vcc y masa contribuye positivamente a partir de 150-200 Mhz aproximadamente.

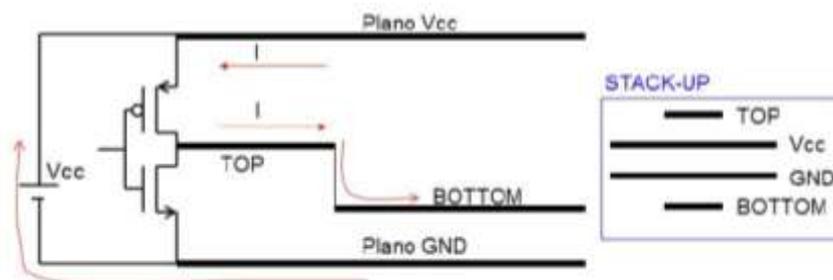


Figura 119: Capacidad equivalente del Stack-Up

Comportamiento en frecuencia de un condensador real

Impedancia de un condensador real

Componentes parásitas:

- $R=30m\Omega$
- $L=1-5nH$

Margen útil para desacoplo.

Fr entre 10 y 100Mhz para condensadores de pequeño valor.

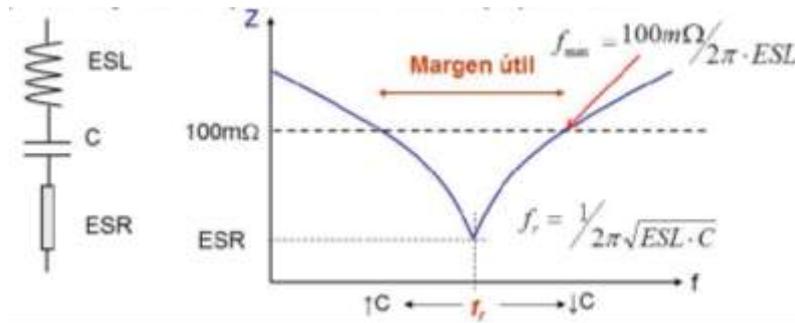


Figura 120: Impedancia en función de la frecuencia

Se podrá aumentar el ancho de banda útil añadiendo Condensadores en paralelo.

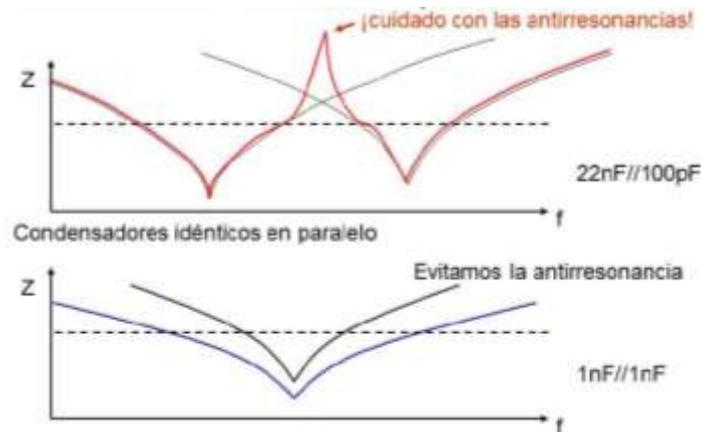


Figura 121: Ancho de banda

A una frecuencia dada, estarán efectivamente en paralelo todos los condensadores dentro de un diámetro $D \ll \lambda$

Tipos de condensadores para desacoplo

Los condensadores utilizados en desacoplo son básicamente tres tipos:

- **Cerámicos multicapa:** Hasta 100uF. Muy baja inductancia debido a su pequeño tamaño y muy baja ESR. Serán utilizados para los condensadores de desacoplo de pequeño valor, en el encapsulado más pequeño que se encuentren. No son condensadores polarizados.
- **Tántalo:** Hasta 1mF. Baja inductancia pero ESR alta. Pueden formar parte de la capacidad de bulk. Se tratan de condensadores polarizados.
- **Electrolíticos:** A partir de 470uF. Se colocarán junto a los reguladores de tensión y terminales de entrada de alimentación. Sólo en PCBs con muchos Circuitos integrados. Son condensadores polarizados.

Condensadores Cerámicos Multicapa:

Disponibles en distintos dieléctricos agrupados en dos clases: NPO (clase 1), X7R, X5R e Y5V (Clase 2).

Tabla 4: Modelos de condensadores Multicapa

Dieléctrico	NPO (COG)	X7R, X5R	Y5V
Características	Ultra estable	Estabilidad media	Baja estabilidad
Aplicaciones	Filtrado Temporización	Filtrado Temporización Desacoplo	Filtrado Desacoplo

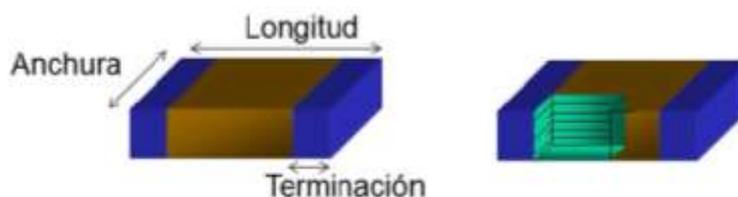
Difieren en estabilidad, en el margen de temperatura y en valores disponibles

- NPO-> Hasta 10nF y 300ppm/°C
- X7R-> Hasta 1uF y ±15% de variación
- Y5V-> Hasta 10uF y +30 -80% de variación.

Conclusión: en caso de elegir X7R o Y5V, escoger un valor de capacidad nominal mayor que el requerido.

Encapsulados y tamaños disponibles.

Tabla 5: Tamaños de condensadores multicapa



Tamaño	0402	0603	0805	1206	1210	1808	1812
Longitud (mm)	1	1,6	2	3,2	3,2	4,5	4,5
Anchura (mm)	0,5	0,8	1,25	1,6	2,5	2,03	3,2
Terminación (mm)	0,25	0,4	0,5	0,6	0,75	0,75	0,75

Selección de los condensadores

Para aumentar la vida útil, la tensión nominal del condensador debe ser al menos el doble de la tensión máxima que tendrá que soportar $2xV_{cc}$. Se seleccionarán el encapsulado más pequeño disponible para reducir la inductancia, y siempre encapsulados de montaje superficial, excepto en los electrolíticos.

Tendremos en cuenta la variación termina en MLCC y se escogerán valores ligeramente superiores.

- Se seleccionarán condensadores de baja ESR
- Se preferirán MLCC antes que tántalo
- Se preferirán tántalo antes que aluminio

Diseño de una red de desacoplo para un circuito.

Principios generales:

Normalmente, los circuitos integrados no toleran más de un ±5% de variación respecto a la tensión de alimentación nominal. Teniendo en cuenta además la demanda de corriente, se obtendrá un objetivo para la impedancia máxima del desacoplo entre DC t Fcodo.

$$Z_{max} = \Delta V / \Delta I$$

Ecuación 54

Se deberá de tener en cuenta la inductancia de las corrientes de los C a los planos y de las vías, aproximadamente 1nH. De este modo, la frecuencia de resonancia del componente Frself es mayor que cuando está montado en el sistema FRIS.

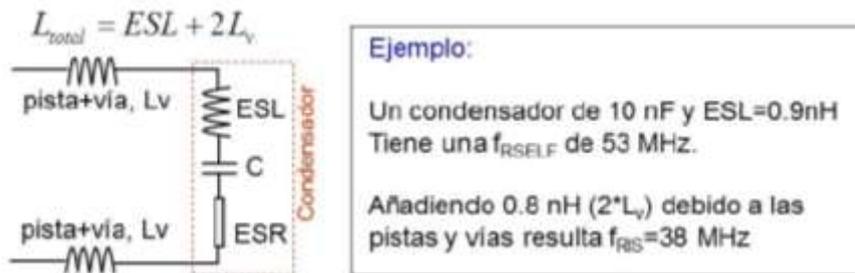


Figura 122: Circuito equivalente

Efecto de las vías:

Además de la inductancia del condensador, la inductancia debida a las conexiones a los planos de alimentación y masa ha de ser tomada en cuenta, ya que se suma directamente a la ESL del condensador.

Por lo tanto, conviene minimizar la longitud de las conexiones a las vías.

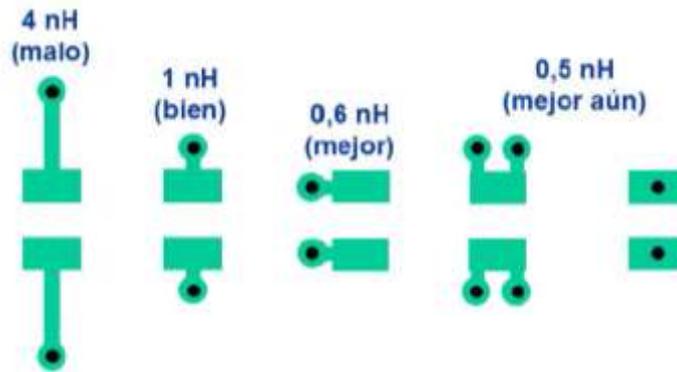


Figura 123: Conexión Vía plano

Inductancia de una vía (h, d en cm):

$$L(nH) = 2h * \ln\left(\frac{4h}{d} + 1\right)$$

Ecuación 55

Diseño de la Red de Desacoplo:

Parea el diseño de la red se estudiará las recomendaciones de tres fabricantes de Circuitos Integrados: Cypress Semiconductor, Micron Technologies y Xilinx. Los tres fabricantes proponen distintas soluciones al problema. Cuantos condensadores de desacoplo y de qué valor se deberán de colocar rodeando el CI.

En lo que sí coinciden es en la necesidad de minimizar la inductancia de las conexiones entre condensadores, los pines y los planos de alimentación y masa mediante:

- Colocar los condensadores lo más cerca posible de los Circuitos Integrados y de los pines a desacoplar.
- Colocar los condensadores en la capa opuesta al Circuito Integrado ayuda a reducir la longitud de las conexiones.

Recomendaciones de Cypress

- Usar un solo valor de capacidad, ayuda a evitar antiresonancias.
- Elegir el valor de forma que la frecuencia de resonancia coincida con la del reloj del sistema.
- Poner tantos condensadores en paralelo como sea necesario para extender el rango útil al ancho de banda de las señales.
- Debe de desacoplarse todos los pines de alimentación con al menos un condensadores por pin.
- Colocar condensadores en la misma cara del PCB que el CI a desacoplar y lo más cerca posible de éste.

Recomendaciones de Micron.

Pensadas para memorias DDR.

Método 1: Cálculo de la capacidad de desacoplo total que requiere el CI en función de slew rate de corriente de las salidas y de la máxima caída de tensión aceptable.

Ejemplo: Una memoria SRAM de 36 líneas de datos, cada una de las cuales conduce una carga de 30pF con flancos de 2ns y con niveles de 3.3V:

$$i = C * \frac{dV}{dt} = 30pF * \frac{3.3V}{2ns}$$

Ecuación 56

Si las 36 salidas conmutarán simultáneamente:

$$i = 50mA * 36 = 1.8A$$

Ecuación 57

Se permite un ±5% de variación de la alimentación (165mV para 3.3V)

$$C = \frac{i}{\frac{dV}{dt}} = \frac{1.8A}{165mV/2ns} = 22nF$$

Ecuación 58

Se necesitarán al menos 22nF de desacoplo. En vez de un condensador único poner dos de 15nF en paralelo para reducir el ESR. Este método no tienen en cuenta la caída de tensión por la inductancia serie total. En el ejemplo anterior, sí se supone L=1.5nH, resulta:

$$v = L * \frac{dI}{dt} = 1.5nH * \frac{1.8A}{2ns} = 1.35V$$

Ecuación 59

Lo que es INACEPTABLE

Por lo tanto, el método 1 es incompleto. Será necesario tener en cuenta la inductancia serie a la hora de elegir el condensador de desacoplo.

Método 2: Se parte del cálculo de la corriente total calculada según el método 1. Partiendo de una variación máxima de 165mV.

$$X_{max} = \frac{\Delta V}{\Delta I} = \frac{165mV}{1.8A} = 90m\Omega$$

Ecuación 60

Las señales tienen un ancho de banda aproximado de:

$$f_{knee} = \frac{0.5}{tr} = \frac{0.5}{2ns} = 250MHz$$

Ecuación 61

La impedancia del desacoplo será inductiva, estaremos por encima de la frecuencia de resonancia, por lo que la inductancia máxima es de:

$$I_{max} = \frac{X_{max}}{2\pi * f_{knee}} = \frac{90m\Omega}{2\pi * 250MHz} = 57pH$$

Ecuación 62

Si se utilizan condensadores de 1.5nH, se necesitarían 1500/57=27 condensadores de pequeño valor, que totalicen al menos valor:

$$C_{min} = \frac{1}{X_{max} * 2\pi * f_{knee} * 27} = 262pF = 270pF$$

Ecuación 63

Debería disponerse en el PCB de 27 condensadores de al menos 270pF solo para el desacoplo de las líneas de datos de la memoria.

Recomendaciones de Xilinx

Pensadas para CI de gran tamaño e interfaces a distinta velocidad.

Proporcionan un desacoplo efectivo entre 500Khz y 500Mhz mediante una combinación de condensadores de varios valores, usando la siguiente tabla como guía. Debe de haber al menos un condensador de cada rango de valores y debe de haber al menos tantos condensadores como pines de alimentación en el CI:

Tabla 6: Porcentaje de condensadores de desacoplo

Capacitor Value	Quantity Percentage
100 to 470 μF	1%
10 to 47 μF	3%
1.0 to 4.7 μF	6%
0.1 to 0.47 μF	15%
0.01 to 0.047 μF	25%
0.001 to 0.0047 μF	50%

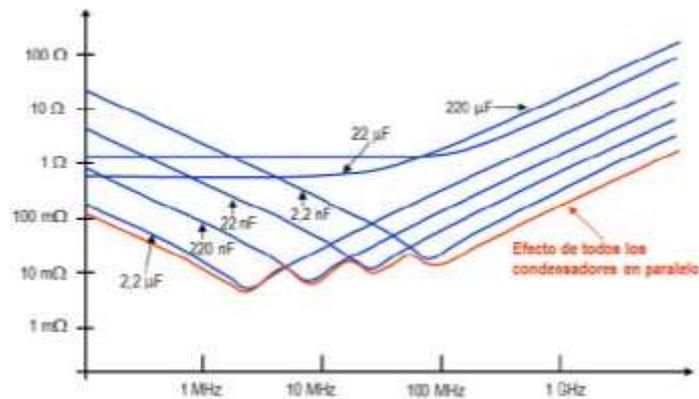


Tabla 7: Valor de los condensadores en función de la frecuencia

Cantidad	Encapsulado	Valor	Inductancia
1	C	220 μF	2,8 nH
2	A	22 μF	2,6 nF
3	0805	2,2 μF	1,9 nF
8	0603	220 nF	1,8 nH
16	0402	22 nF	1,7 nH
32	0402	2,2 nF	1,7 nF

Capacidad entre planos

A partir aproximadamente de 150Mhz los condensadores de desacoplo son ineficaces como desacoplo. Esta limitación se debe a la inductancia de los encapsulados y de las vías.

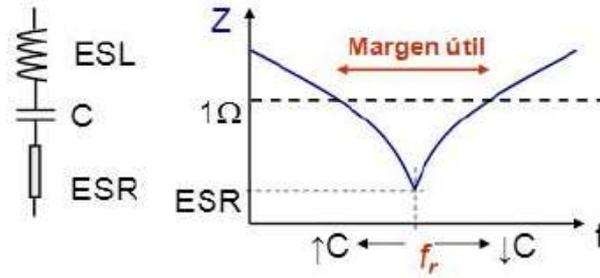


Figura 124: Capacidad entre planos

Un adecuado diseño de stack-up permite contar una capacidad de desacoplo de inductancia despreciable: la capacidad entre planos, constituye un tercer nivel de la red de desacoplo.

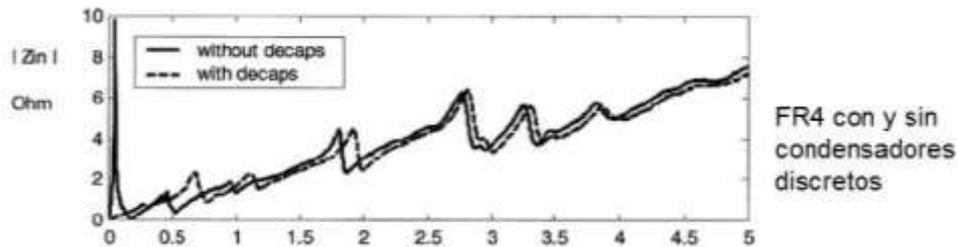


Figura 125: Efecto del FR4

Empleando el material FR4 y los espesores habituales se consiguen 50pF/cm² entre planos. Usando materiales con ϵ_r elevada y reduciendo la separación, se puede llegar a los 4nF/cm² entre planos.

Esta técnica no evita tener que seguir colocando la capacidad de bulk. Tampoco elimina completamente la inductancia: sigue habiendo vías a Vcc y Gnd.

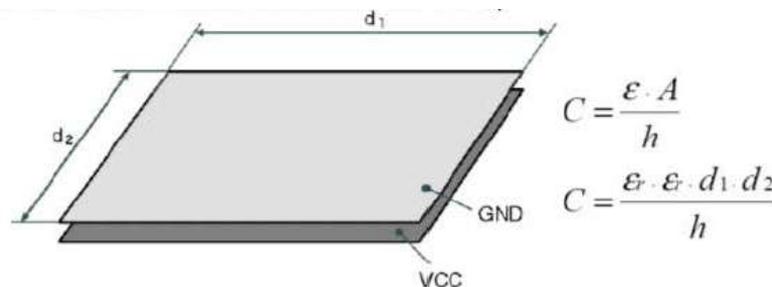


Figura 126: Capacidad entre planos

A modo de ejemplo, en la siguiente tabla se muestra una PCB con distintos dieléctricos Vs FR4 con 33 Condensadores a 10nF. Todos los PCBs llevan además un condensador de 22uF de Bulk y varios CI.

Material	Dielectric Composition	Thickness ¹	ϵ_r	$\tan \delta$	
BC2000™	FR4 epoxy/glass	2.1 mils	3.8–4.2	0.015–0.02	70 pF/cm ²
EmCap®	Unsupported epoxy; ceramic powder filled	4.0 mils	36–37	0.01–0.02	300 pF/cm ²
Hi-K™	Unsupported polyimide; ceramic powder filled	1.4 mils	11.6–12	0.008–0.012	
C-Ply	Unsupported epoxy; ceramic powder filled	0.2 mils	20–22	0.01–0.1	4nF/cm ²

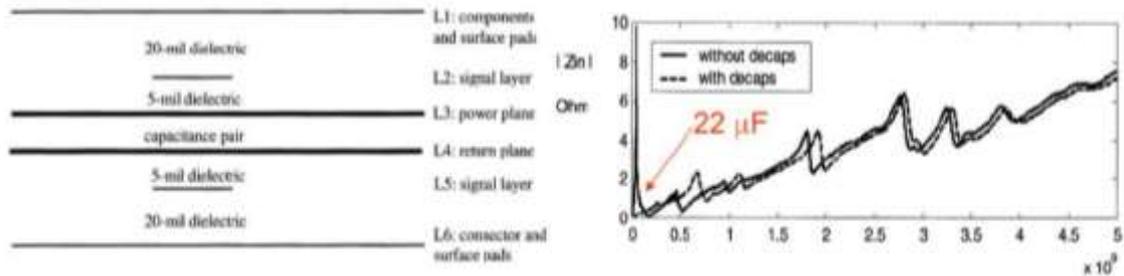


Figura 127: Tipos de materiales dieléctricos

Hay que tener especial cuidado con las resonancias de los planos. A ciertas frecuencias la estructura resuena, la impedancia es elevada, el desacoplo es malo y la radiación del PCB es elevada.

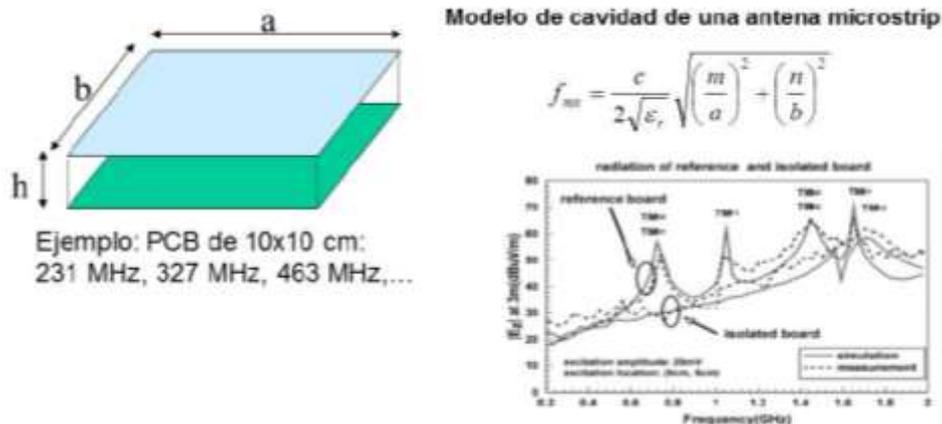


Figura 128: Modelo de cavidad

En los diseños hay numerosas vías cuyos antipads tienen efecto de:

- Crear ranuras en los planos.
- Reducir el área efectiva de cobre y por tanto la capacidad entre planos.
- Provocar aumento de la caída de tensión.

Se puede llegar a cerrar o reducir mucho el camino de corrientes de masa o alimentación a un área del PCB.

Plano de masa en una FPGA
(...en este caso los antipads
aprietan pero no ahogan...)

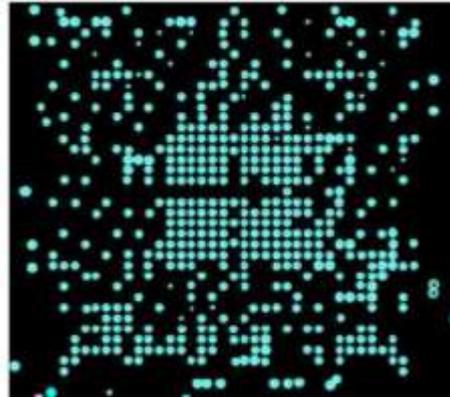


Figura 129: Plano de masa de una FPGA

Metodología para el diseño de la red de desacoplo:

Una red de desacoplo multinivel debe de contener: capacidad de bulk para el PCB, reguladores de tensión con sus condensadores de desacoplo para cada CI. Adicionalmente, a alta frecuencia, se puede diseñar el PCB para aprovechar la capacidad natural entre los planos Vcc y Gnd.

La capacidad de Bulk, generalmente uno o pocos condensadores de valor elevado, se puede calcular de una forma sencilla a partir de las necesidades del PCB y de la inductancia de los cables a la fuente de alimentación. Su "ratio de acción" es todo el PCB dentro de su bajo margen de frecuencia útil.

La red de desacoplo para cada CI estará formada por varios condensadores y debe diseñarse teniendo en cuenta que:

- Sólo los condensadores dentro de un diámetro L_c pueden considerarse en paralelo a efectos de cálculo/simulación.
- Buscar para garantizar entre DC y F_{codo} una $Z < \Delta V / \Delta I$ para ek CI.
- Utilizar varios condensadores y la mejor forma de obtener una distribución adecuada, sin antiresonancias, es mediante simulación.
- Diseñar el Stack-Up favoreciendo la capacidad entre planos de alimentación y masa. Su efecto se observa mucho, mucho antes del GHz.

Compatibilidad electromagnética

El objetivo de este punto es el de conocer las distintas fuentes de ruido que afectan a dispositivos y equipos electrónicos. Diferenciar las técnicas de trabajo frente a las emisiones radiadas o conducidas y analizar la manera de proteger al sistema de posibles emisiones.

Definiciones Básicas

Entorno electromagnético: Se define entorno electromagnético como la totalidad de los fenómenos electromagnéticos variables con el tiempo, que existen en una región dada. Esto incluye señales electromagnéticas deseadas y no deseadas.

Se puede describir por fuentes que pueden estar activas o mediante parámetros medibles como voltajes e intensidades de campo eléctrico y magnético. Al igual que un equipo activo encendido contribuye al entorno de forma activa, un equipo pasivo o apagado también puede contribuir al entorno de forma pasiva.

Perturbación electromagnética: Se denomina perturbación electromagnética a todo fenómeno electromagnético susceptible de crear anomalías en el funcionamiento de un dispositivo, de un aparato o de un sistema que ha de funcionar de una manera preestablecida o de afectar desfavorablemente a la materia viva o inerte.

Puede ser:

- Un ruido electromagnético.
- Una señal no deseada.
- Una modificación del medio de propagación en sí mismo.

Interferencia electromagnética: Se define interferencia electromagnética como cualquier anomalía aportada al funcionamiento de un dispositivo de un aparato o de un sistema por una perturbación electromagnética.

Degradación de funcionamiento: Es la desviación no deseada de las características de funcionamiento de un dispositivo, aparato o sistema que ha de funcionar de una manera preestablecida, sin degradación de calidad en presencia de una perturbación electromagnética.

EMC: Es la capacidad de cualquier aparato, equipo o sistema para funcionar de forma satisfactoria en su entorno electromagnético sin provocar perturbaciones electromagnéticas sobre cualquier cosa de ese entorno. La compatibilidad electromagnética debe de ocuparse de tres problemas diferentes, describiendo la capacidad de:

- Los sistemas electrónicos para funcionar sin interferir en otros sistemas.
- Que dichos sistemas deben funcionar de manera correcta en un entorno electromagnético específico.
- No provocar interferencias con uno mismo.

Una EMC eficaz requiere un sistema diseñado, fabricado y comprado según el entorno electromagnético operativo al que se destina.

Inmunidad electromagnética: Capacidad que hace que el aparato, equipo o sistema sea capaz de operar adecuadamente en un entorno sin ser interferido por otros o por el mismo.

Susceptibilidad electromagnética (EMS): Es la incapacidad de un dispositivo, equipo o sistema de funcionar sin degradación en presencia de una perturbación electromagnética.

Interferencia electromagnética (EMI): No debe ser fuente de interferencia que afecten a otros equipos de ese entorno.

Emisión electromagnética (EME): La emisión electromagnética es el fenómeno por el cual la energía emana de una fuente. La energía electromagnética puede alcanzar a un sistema por:

- Radiación.
- Conducción.

Estas dos formas de iteración pueden estar presentes simultáneamente y dar lugar a efectos no deseados dentro y fuera del sistema que contiene las fuentes de perturbación.

Emisión radiada: Es la componente de energía de radio frecuencia transmitida a través de un medio en forma de campo magnético.

Emisión Conducida: Es la componente de energía de radio frecuencia transmitida a través de un medio físico como un cable o hilo.

Descarga electrostática (ESD): Transferencia de electricidad en el que intervienen dos cuerpos con diferente nivel electroestático.

Diseñando para EMC

Los efectos que pueden aparecer en un diseño por EMC son los siguientes:

- Ruido indeseado en la recepción de las emisiones.
- Potenciales accidentes mortales debido a la degradación de los sistemas críticos de seguridad.

Las diversas formas de EMI pueden causar fallos en:

- Funciones eléctricas y electromagnéticas.
- Evitar el uso adecuado del espectro radioeléctrico.
- Encender atmósferas inflamables.
- Tener efectos en el tejido humano.

....

La compatibilidad electromagnética de los dispositivos y equipos electrónicos es actualmente una de las principales exigencias de calidad. En la Unión Europea está establecida una directiva 89/336/EEC sobre EMC, de la que es de obligatorio cumplimiento desde el año 1996, que cubre un gran conjunto de sistemas y equipos eléctricos y electrónicos comercializados en su territorio.

Para cubrir estas necesidades restrictivas en cuanto a EMC, es necesario llevar un estricto control desde el primer momento del diseño del dispositivo. Existen dos formas de llevar a cabo un diseño de EMC.

- **Crisis Approach:** El diseñador se despreocupa de la EMC hasta que ha finalizado el producto. Esto implica problemas en la etapa final y costes añadidos al proyecto.
- **System Approach:** El diseñador es consciente desde el primer momento de los problemas ocasionados por el EMC e implementa medidas para corregirlos a tiempo.

En la siguiente gráfica se observa los costes del producto en función de la fase de diseño del mismo.

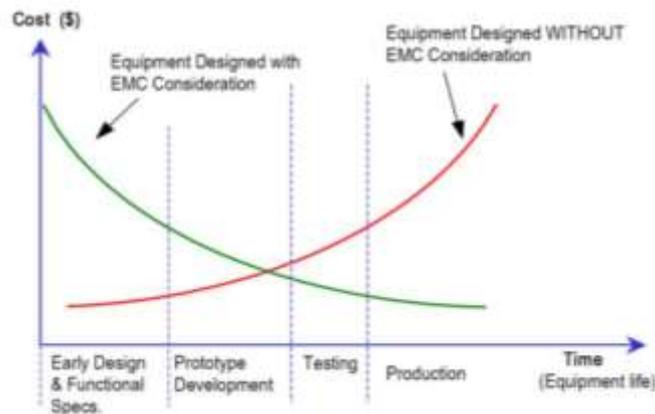


Figura 130: Curva de coste

Para llevar a cabo todas las fases del diseño de una manera correcta, existen infinidad de diagramas de trabajo donde se separan las tareas, en función de la responsabilidad de las mismas. En la siguiente figura se muestra un ejemplo de la misma.

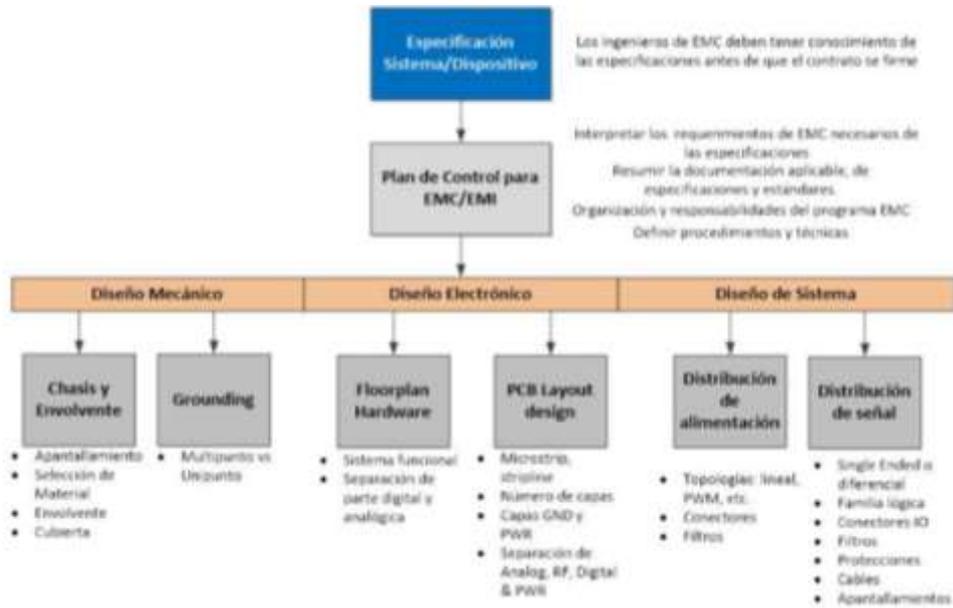
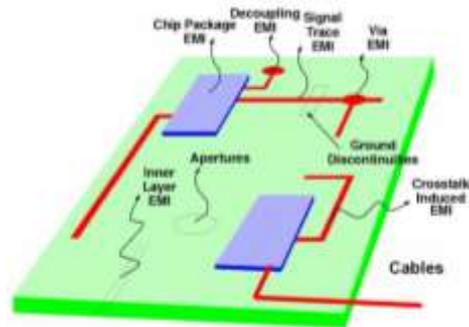


Figura 131: Proceso de fabricación

Elementos que intervienen en el EMC

Las fuentes de EMC más comunes que se podrá encontrar en los PCBs son:

- Circuitos Integrados
- Condensadores
- Pistas
- Vías
- Planos de alimentación
- Aperturas
- Cables
- Crosstalk entre pistas



La clasificación del EMC en función de los caminos de acoplamiento puede ser:

- Acoplamiento Radiados: Se transmiten a través del aire en forma de campo E, H u Onda plana.
 - o Campo Próximo
 - Acoplo Capacitivo
 - Acoplo Inductivo
 - o Campo Radiado
- Acoplamiento Conducidos: Se transmiten por conductores eléctricos en forma de V e I
 - o Impedancia Común
 - o Red Eléctrica

- Capacidades parasitas

En la siguiente figura se muestra un circuito de ejemplo donde se pueden observar todos los tipos de acoplamiento que se deberá de minimizar en un diseño.

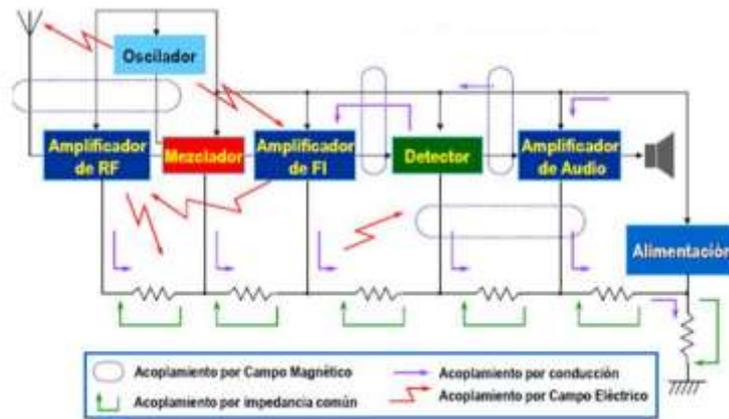


Figura 133: Modelos de ruido

Reglas de diseño para cumplir con el EMC

A continuación se dictan una serie de reglas a tener en cuenta a la hora de llevar a cabo un diseño electrónico.

- Utilizar componentes SMD. Reducen la dimensión y los bucles, reduciendo también el acoplamiento parasito.
- En el caso de utilizar componentes pasantes, intentar reducir al máximo los pines pasantes.
- El objetivo general del diseño es reducir la inductancia de las conexiones, reduciendo la longitud del conductor.
- Reducir el acoplamiento por diafonía capacitiva. Para ello habrá que aumentar la distancia de separación de los conductores.
- Reducir las emisiones electromagnéticas radiadas en el Lay-Out de una fuente de alimentación. Para ello habrá que reducir el área de los bucles.
- Utilización de apantallamientos de Circuitos Integrados con alta inmunidad al ruido o generadores del mismo.
- Durante la fase de rutado intentar no hacer demasiadas aristas sobre pistas de alta velocidad.
- Apantallar las señales analógicas a través de planos.

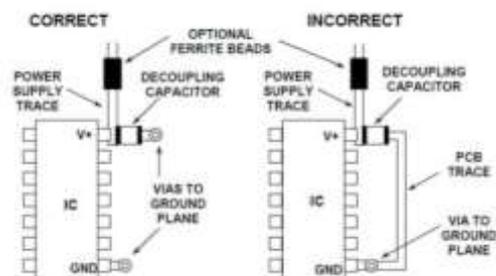


Figura 134: Reglas básicas

- Utilización de planos de alimentación.
- Utilización de condensadores de desacoplo.
- Utilización de ferritas en las alimentaciones.
- Instalación de una toma de tierra en la electrónica.
- Derivación de la energía de un pulso de ESD en la alimentación, a través de varistores, condensadores.... Al plano de tierra o chasis.

5.2 Esquemas Eléctricos

A continuación se estudiarán los diferentes circuitos que componen la tarjeta. Se estudiarán los circuitos dependiendo de la función que desarrollan cada uno de ellos dentro del sistema.

Etapa de Alimentación

La etapa de alimentación siempre es uno de los puntos más técnicos y complicados a la hora de llevar a cabo el diseño de cualquier circuito. Pues el diseñador ha de tener en cuenta una gran cantidad de parámetros y valores para diseñar de una manera correcta dicha etapa. Dichos parámetros hacen referencia en primer lugar al consumo máximo de mi sistema y la alimentación de entrada de la que se dispone.

En este diseño se tiene una clausura principal y era la de alimentar el circuito a través de una tensión alterna comprendida entre los 220 y 230 Vac. Por lo que el primer objetivo de dicho diseño era el de convertir la tensión en alterna en una tensión en continua válida para nuestro circuito.

La elección del conversor fue basada en la potencia máxima del sistema que rondaba los 80W de potencia. Dichos valores se obtienen de la siguiente manera.

Tabla 8: Consumos de la tarjeta

Alimentación	Potencia
Consumo Parte Digital	15W
Consumo Analógico	75W

Dando un total de 95 W, por lo que el regulador que se ajustaba a dichos valores era de 100W. El regulador seleccionado es del fabricante Traco Power, concretamente el modelo TOP 100-124 que presenta una conversión de 230Vac a 24Vdc con una corriente máxima de salida de 4.2A.

Models		
Order Code	Output Voltage (Adjustment Range)	Output Current max.
TOP 100-105	5.0 VDC (5.0 - 5.2)	20.0 A
TOP 100-112	12 VDC (12.0 - 13.0)	8.3 A
TOP 100-115	15 VDC (15.0 - 16.0)	6.7 A
TOP 100-124	24 VDC (24.0 - 26.0)	4.2 A
TOP 100-140	48 VDC (48.0 - 52.0)	2.1 A

On demand (not for new design in) : TOP 100-103 with Output 3.3 VDC (3.3-3.5) / 20.0 A



Figura 136: Conversor 230Vac a 24Vdc

La conexión del conversor en el esquema eléctrico se muestra en la siguiente figura:

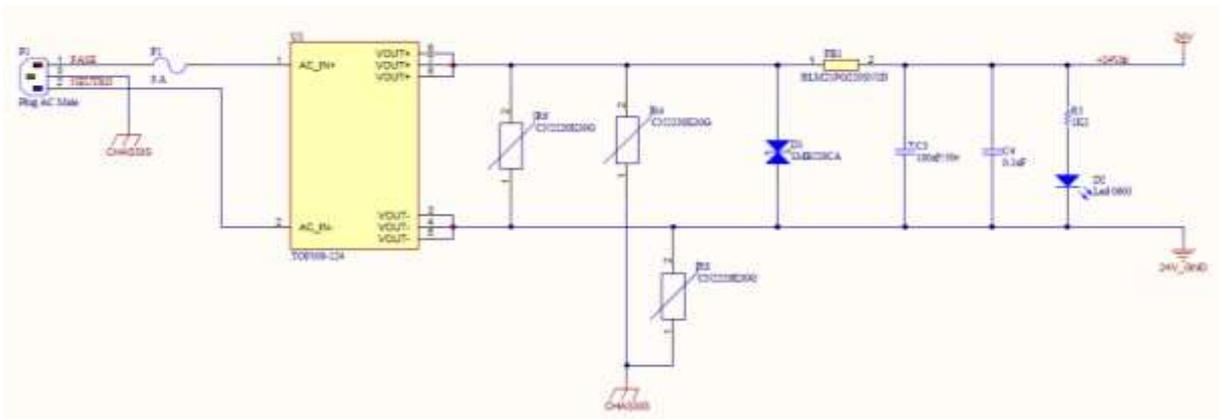


Figura 137: Etapa de entrada de alimentación

Como medida de seguridad se ha añadido un fusible no rearmable de 8A a 250V en la entrada del circuito. Dicho componente quedará alojado en un portafusibles para facilitar su remplazo en el caso de avería.

Una vez obtenida la tensión en continua, se procede a la selección de los reguladores que convertirán los niveles de tensión de +24V a los requeridos por el sistema.

El siguiente paso fue la conversión de los +24V en dos niveles de tensión $\pm 15\text{Vdc}$ y +5Vdc. La tensión de $\pm 15\text{Vdc}$ es necesaria para llevar a cabo la alimentación de los amplificadores de potencia de las balizas ultrasónicas, mientras que la alimentación de +5Vdc es necesaria para la conversión en diferentes niveles de tensión para la alimentación de los circuitos digitales de la tarjeta.

Para la alimentación de $\pm 15\text{Vdc}$ se ha utilizado un conversor del fabricante Traco Power concretamente el modelo TEN 60-2413 que es capaz de suministrar una corriente máxima de 4 A.

Models				
Order code	Input voltage range	Output voltage	Output current max.	Efficiency typ.
TEN 60-2410	18 – 36 VDC (24 VDC nominal)	3.3 VDC	14.0 A	89 %
TEN 60-2411		5.0 VDC	12.0 A	90 %
TEN 60-2412		12 VDC	5.0 A	90 %
TEN 60-2413		15 VDC	4.0 A	90 %
TEN 60-2415		24 VDC	2.5 A	89 %
TEN 60-4810	36 – 75 VDC (48 VDC nominal)	3.3 VDC	14.0 A	89 %
TEN 60-4811		5.0 VDC	12.0 A	90 %
TEN 60-4812		12 VDC	5.0 A	90 %
TEN 60-4813		15 VDC	4.0 A	90 %
TEN 60-4815		24 VDC	2.5 A	89 %



Figura 138: Conversor de +24Vdc a ±15Vdc

La conexión del regulador en el esquema eléctrico se presenta en la siguiente figura.

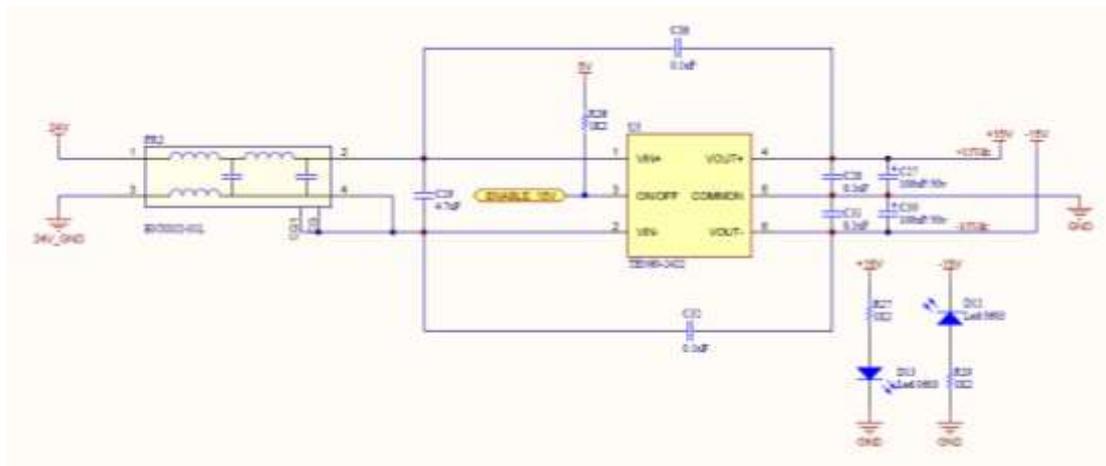


Figura 139: Etapa de alimentación de ±15Vdc

Para la alimentación de +5Vdc se ha utilizado un conversor del fabricante Traco Power concretamente el modelo THN 15-2411 que es capaz de suministrar una corriente máxima de 3 A.

Models				
Order code	Input voltage range	Output voltage	Output current max.	Efficiency typ.
THN 15-1210	9 – 18 VDC (12 VDC nominal)	3.3 VDC	4'000 mA	84 %
THN 15-1211		5.0 VDC	3'000 mA	86 %
THN 15-1212		12 VDC	1'300 mA	85 %
THN 15-1213		15 VDC	1'000 mA	87 %
THN 15-1221		±5 VDC	±1'500 mA	85 %
THN 15-1222		±12 VDC	±625 mA	87 %
THN 15-1223		±15 VDC	±500 mA	88 %
THN 15-2410	18 – 36 VDC (24 VDC nominal)	3.3 VDC	4'000 mA	86 %
THN 15-2411		5.0 VDC	3'000 mA	86 %
THN 15-2412		12 VDC	1'300 mA	87 %
THN 15-2413		15 VDC	1'000 mA	88 %
THN 15-2421		±5 VDC	±1'500 mA	85 %
THN 15-2422		±12 VDC	±625 mA	88 %
THN 15-2423	±15 VDC	±500 mA	88 %	
THN 15-4810	36 – 75 VDC (48 VDC nominal)	3.3 VDC	4'000 mA	86 %
THN 15-4811		5.0 VDC	3'000 mA	88 %
THN 15-4812		12 VDC	1'300 mA	88 %
THN 15-4813		15 VDC	1'000 mA	88 %
THN 15-4821		±5 VDC	±1'500 mA	85 %
THN 15-4822		±12 VDC	±625 mA	89 %
THN 15-4823		±15 VDC	±500 mA	88 %



Figura 140: Conversor de +24Vdc a +5Vdc

La conexión del regulador en el esquema eléctrico se presenta en la siguiente figura.

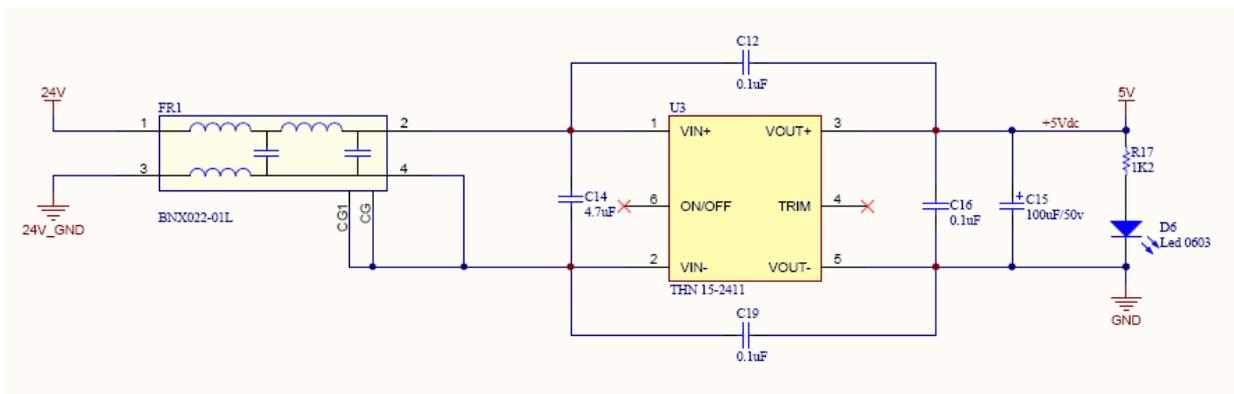


Figura 141: Etapa de alimentación de 5Vdc

Una vez que ya tenemos la tensión de +5Vdc se convertirá a los niveles de tensión necesarios de la tarjeta. Dichos niveles de tensión son los siguientes:

- +3,3Vdc
- +1,8Vdc
- +1,2Vdc
- +0,9Vdc
- +2,5Vdc

Para su conversión se han utilizado los siguientes reguladores:

- Tensión 2.5Vdc y 1.2Vdc. Se obtiene a través del regulador LTC3546EUFD. Para presentar el valor exacto de salida se ha debido configurar de la manera mostrada en la siguiente figura:

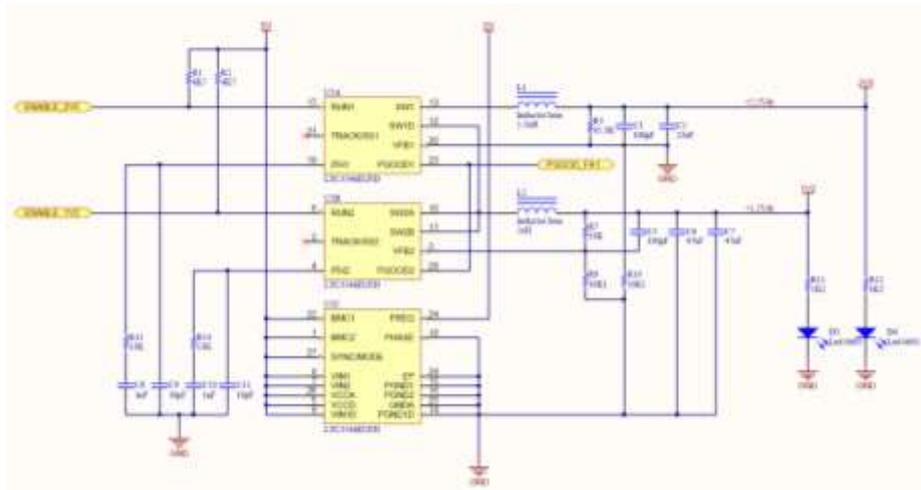


Figura 142: Etapa de alimentación de +2.5Vdc y +1.2Vdc

- Tensión 3.3Vdc y 1.8Vdc. Se obtiene a través del regulador LTC3501EFE. Para presentar el valor exacto de salida se ha debido configurar de la manera mostrada en la siguiente figura:

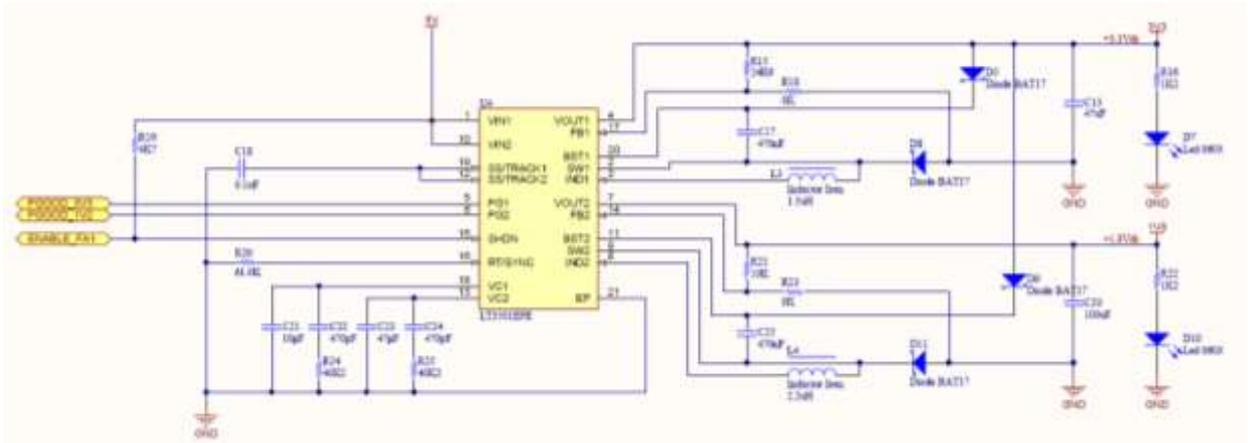


Figura 143: Etapa de alimentación de +3.3Vdc y +1.8Vdc

- Tensión 0.9Vdc. Se obtiene a través del regulador LTC3401EFE. Para presentar el valor exacto de salida se ha debido configurar de la manera mostrada en la siguiente figura:

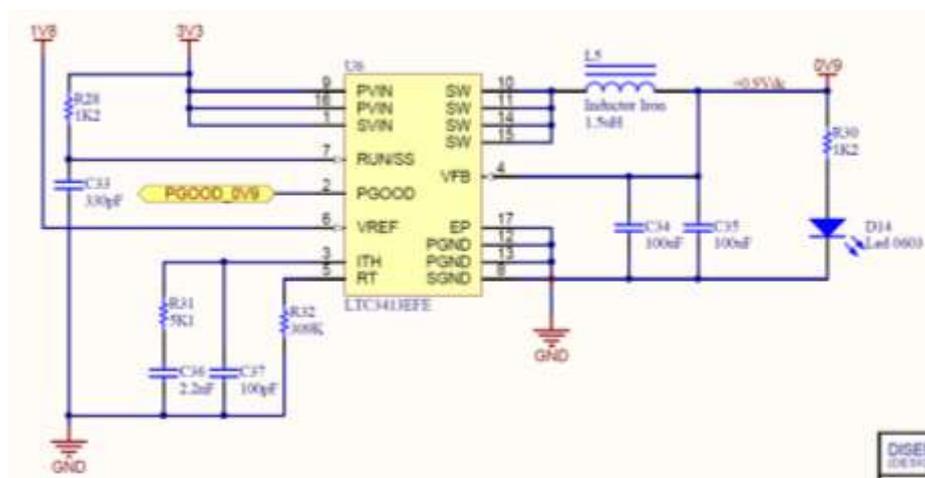


Figura 144: Etapa de alimentación de +0.9Vdc

FPGA

La unidad central de procesamiento de la tarjeta es una FPGA sobre la que correrá una arquitectura realizada en VHDL. Dicho componente tienen la capacidad y responsabilidad de procesar toda la información recibida a través de las líneas de comunicación y actuar en consecuencia con el control de los amplificadores de potencia que serán utilizados para excitar las balizas ultrasónicas.

La familia de las FPGAs seleccionada es la Spartan del fabricante Xilinx, concretamente el modelo XC6SLX45-2CSG324C. Dicho dispositivo presenta una serie de características que cumplen con las especificaciones del sistema.

Para poder adecuar la FPGA al circuito es necesaria la instalación de un hardware adicional que proporcione al dispositivo las condiciones idóneas de funcionamiento. Dichos circuitos adicionales son los siguientes:

- Puerto de programación.
- Memoria de programación.
- Reloj del sistema.
- Red de desacoplo

Puerto de programación.

Para la programación del dispositivo se ha optado por la utilización del protocolo JTAG. Para poder conectar el programador propio de Xilinx a la tarjeta, queda instalado un conector de 6 pines que cumplen con la conexión estándar de dicho programador. En la siguiente figura se muestra el conector implementado.

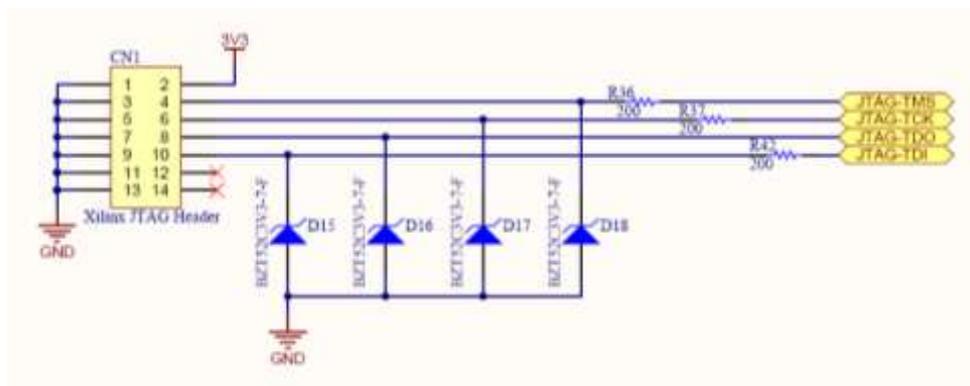


Figura 145: Puerto de programación

Para añadir seguridad al conector y protegerlo de posibles descargas ESD que el usuario pudiera realizar se han instalado una serie de diodos Zener que protegerán de dichas sobre tensiones. Dichos diodos pueden verse en el esquema eléctrico.

Memoria de programación

Para llevar a cabo la programación del dispositivo se ha optado por la implementación de una memoria PROM de Xilinx de 32Mb de capacidad, modelo XCF04SVOG20C con la configuración en paralela del dispositivo. Dicha memoria contiene el código básico de inicialización del dispositivo. En la siguiente figura se muestra la conexión paralela con la FPGA.

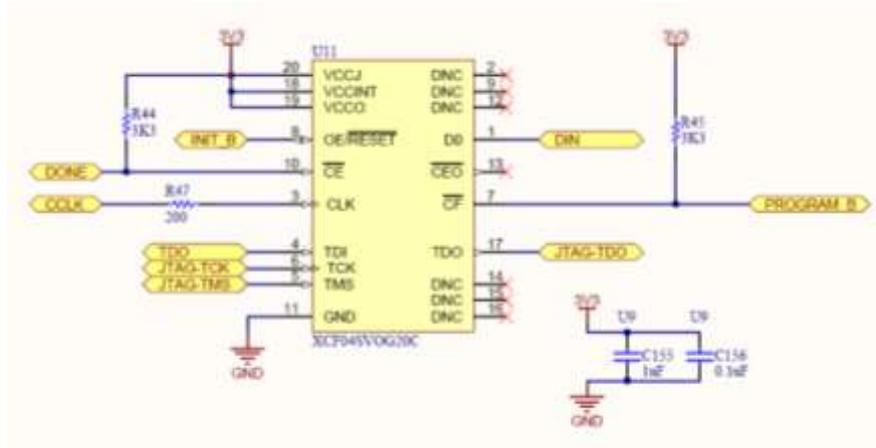


Figura 146: Memoria de programación

Adicionalmente a esta memoria se han instalado dos memorias EEPROM, modelo N25Q128A13ESE40F del fabricante Numonyx de capacidad 128Mb cada una con un protocolo de comunicación SPI a la FPGA. El uso de dichas memorias EEPROM queda reservado a la aplicación del usuario. En la siguiente figura se muestra la ubicación de dichas memorias.

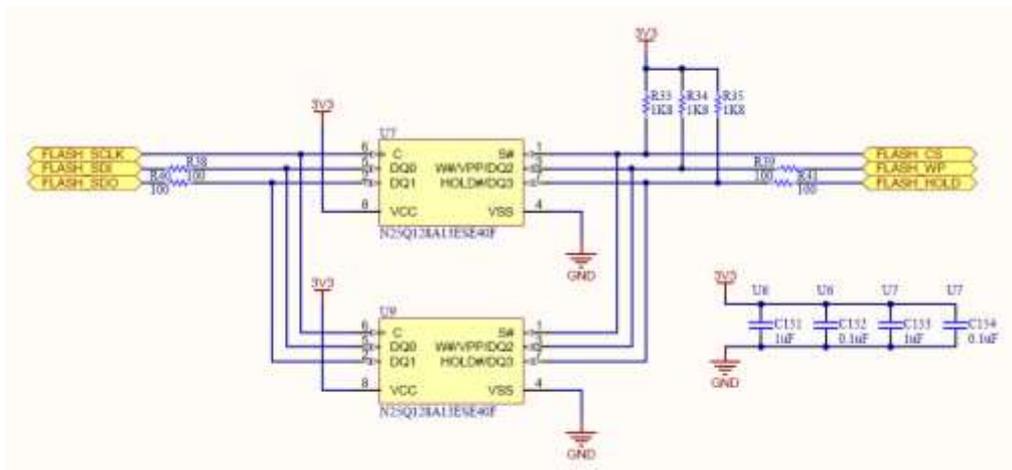


Figura 147: Memoria auxiliar de programación

Reloj del Sistema

Para suministrar la frecuencia de funcionamiento de la FPGA se dispone de un oscilador de 40mHZ frecuencia instalado en la placa del fabricante Silicon Labs. Dicho oscilador quedará conectado directamente al dispositivo FPGA.

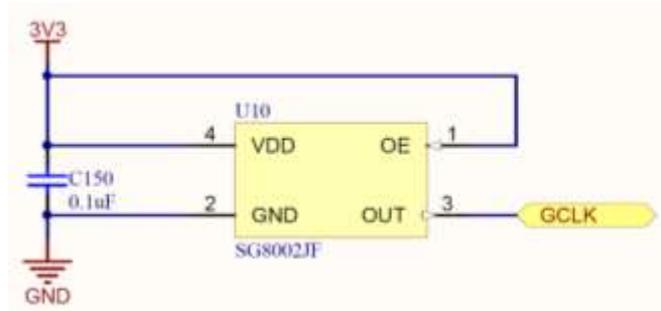


Figura 148: Reloj del sistema

Red de Desacoplo

Siguiendo los consejos y recomendaciones mencionados en la parte teórica de dicho documento sobre el diseño de la red de desacoplo se ha procedido a la implementación de la siguiente configuración.

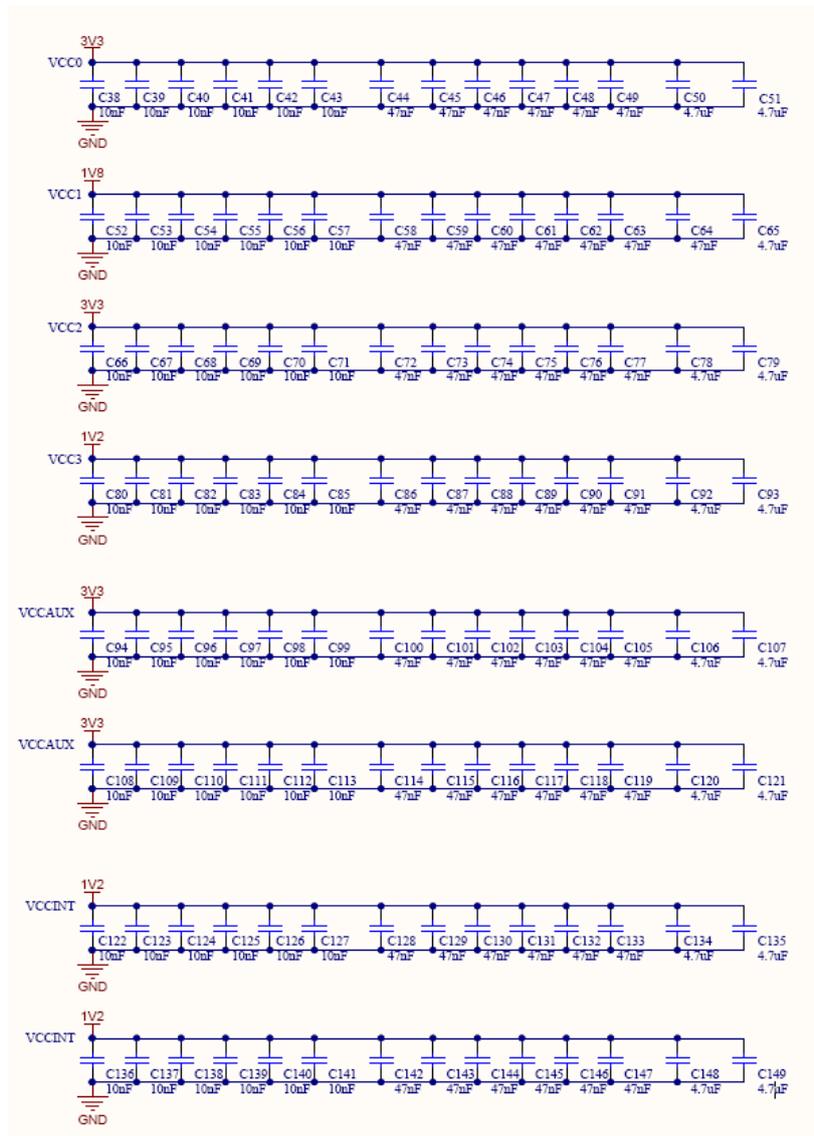


Figura 149: Condensadores de desacoplo

Memorias DDR2

Una de las especificaciones de la tarjeta era la capacidad de tener 2G de memoria DDR2. Para su implantación se ha optado por la utilización de dos unidades de memoria de 1G del fabricante Micron, concretamente el modelo MT47H64M16HR. Dicho dispositivo necesita de una serie de componentes adicionales para hacerla funcionar:

- Red de resistencias de PULL-UP.
- Red de desacoplo.

El valor de las resistencias utilizadas es suministrado por el datasheet del fabricante y la red de desacoplo quedará diseñada utilizando las reglas mencionadas

anteriormente. En la siguiente figura se muestra la configuración de una de las memorias DDR2.

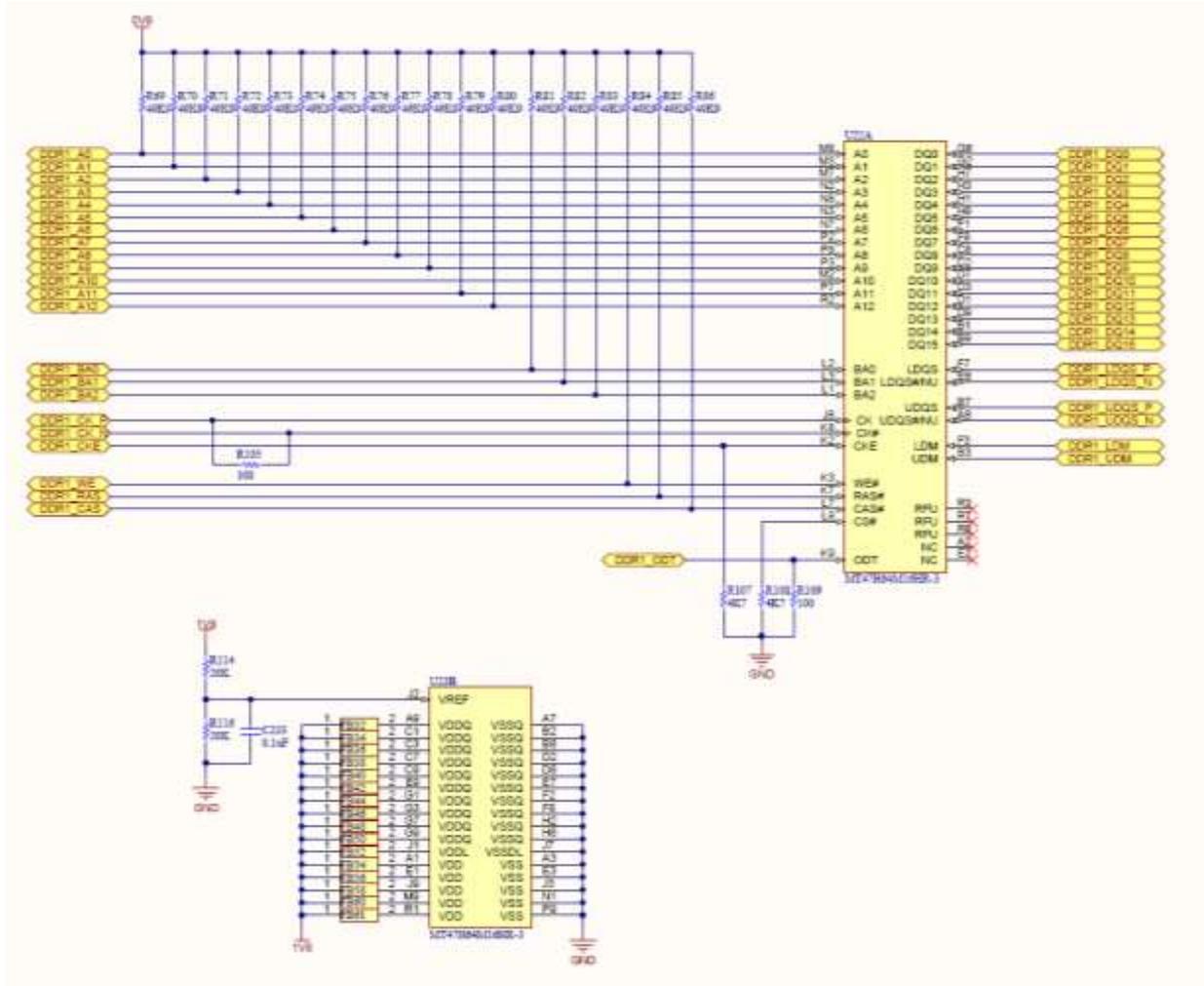


Figura 150: Memorias DDR2

Etapa analógica

La etapa analógica tiene la función de convertir las instrucciones enviadas por el sistema de control y convertir dichas señales digitales a una señal analógica diferencial de tensión máxima $\pm 15\text{Vdc}$ con una potencia máxima de 15W. Para su implementación son necesarias el uso de dos dispositivos principales.

- DAC.
- Amplificador de potencia.

DAC

El DAC tendrá la función de convertir las instrucciones digitales suministradas por la FPGA en una tensión analógica de $\pm 15\text{Vdc}$. El protocolo de comunicación del DAC elegido es el SPI. Cumpliendo con estos requisitos el DAC seleccionado será el AD5131

del fabricante Analog Devices. Este dispositivo tiene la capacidad de trabajar con una resolución de salida de 14bits por lo que nuestro paso de consigna mínimo será de:

$$V_{min} = \frac{30V}{2^{14}} = 0.001V$$

Ecuación 64

Incremento de señal suficiente para la aplicación que necesitamos. En la siguiente figura se muestra la configuración utilizada para la implementación del mismo en el circuito eléctrico.

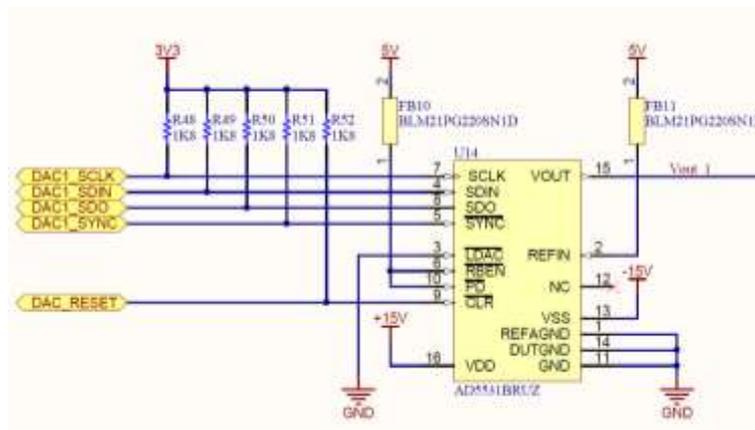


Figura 151: Conversor DAC

Amplificador de Potencia

El amplificador de potencia tendrá la función de generar la potencia eléctrica necesaria para excitar el cristal piezoeléctrico de las balizas ultrasónicas. El amplificador utilizado es el modelo MAX9703ETJ del fabricante MAXIM. Dicho amplificador es capaz de generar una potencia máxima de salida de 15W en una señal diferencial. El criterio de selección de este amplificador ha sido el reducido tamaño que presenta, la potencia entregada en su salida y la capacidad de poder generar una señal diferencial en su salida. En la siguiente figura se muestra la configuración utilizada para la implementación del mismo en el circuito eléctrico.

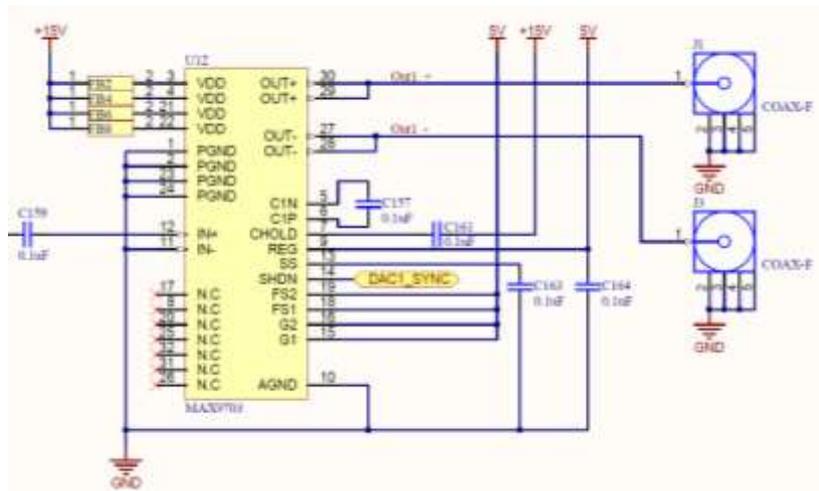


Figura 152: Amplificador de potencia

Comunicaciones

La tarjeta de control presenta una serie de comunicaciones, que permitirán al usuario generar la configuración con el sistema de control de la manera que más le convenga, en función de la aplicación a utilizar. Los diferentes medios de los que dispondrá el usuario para comunicarse con la tarjeta son:

- Comunicación USB
- Comunicación Ethernet
- Comunicación inalámbrica WIFI

Comunicación USB

La tarjeta de control presenta un puerto de comunicación USB, a través de un conector micro USB. Dicha comunicación pasara a través de un Driver FTDI, concretamente el modelo FTDI232RL que convertirá el protocolo de comunicación USB al protocolo de comunicación UART que está directamente conectado con la FPGA del sistema.

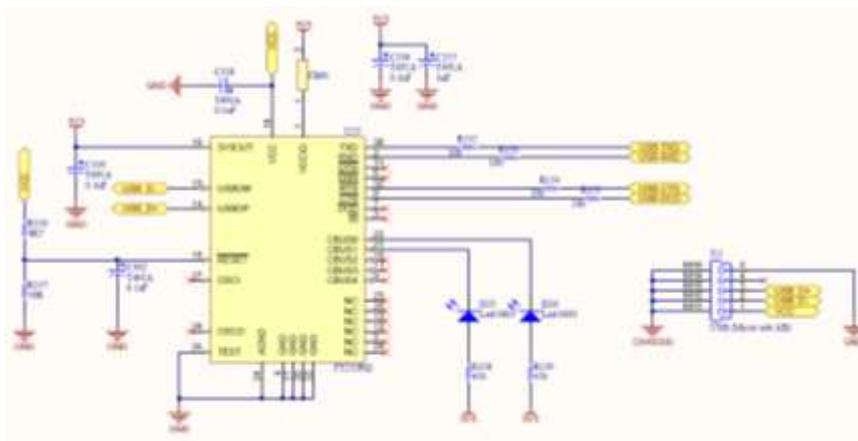


Figura 153: Comunicación USB

Comunicación Ethernet

La tarjeta de control dispone de un puerto de comunicación RJ-45 para poder realizar la comunicación, a través del protocolo Ethernet con la FPGA del sistema. Para adaptar las señales del protocolo de comunicación Ethernet a la FPGA se dispone de un Driver 88E111 del fabricante Marvell, este driver permite configurar el protocolo de comunicación a 10/100/1000 Base-T.

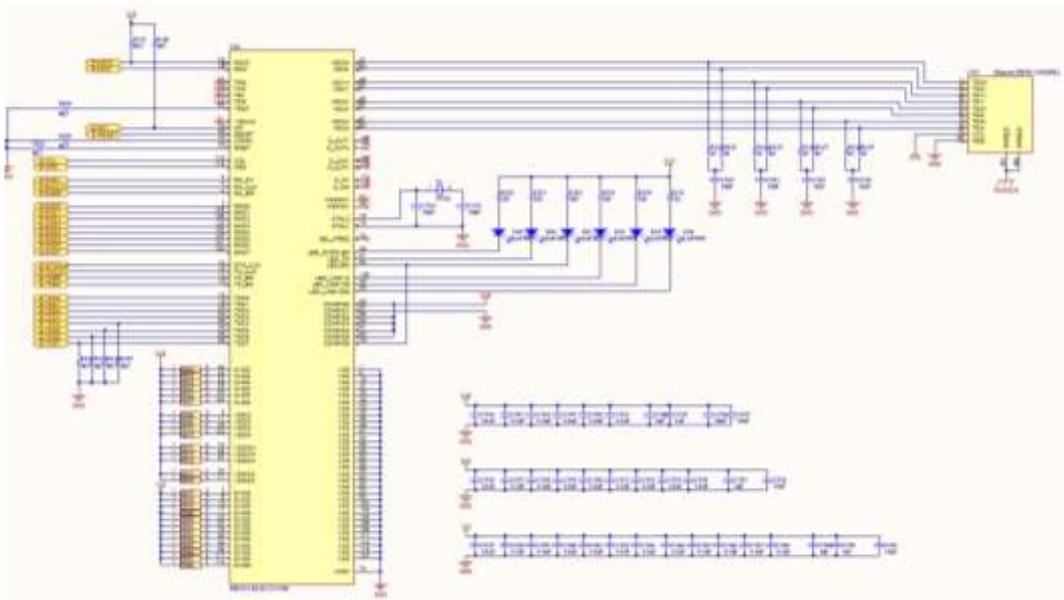


Figura 154: Comunicación Ethernet

Comunicación WIFI

La tarjeta dispone de un módulo de comunicación WIFI de microchip para poder realizar la comunicación de manera Inalámbrica con el sistema. El módulo seleccionado es el MRF24WB0MA. Este dispositivo se encuentra en el rango de frecuencias de los 2.4Ghz en el estándar de comunicación 802.11. Dicho dispositivo dispone en su encapsulado de una pequeña antena de comunicación, aunque cuenta con la capacidad de poder conectar una antena para poder aumentar su rango de funcionamiento.

La comunicación con la FPGA se realiza a través de una comunicación SPI que ya es proporcionada por el propio dispositivo.

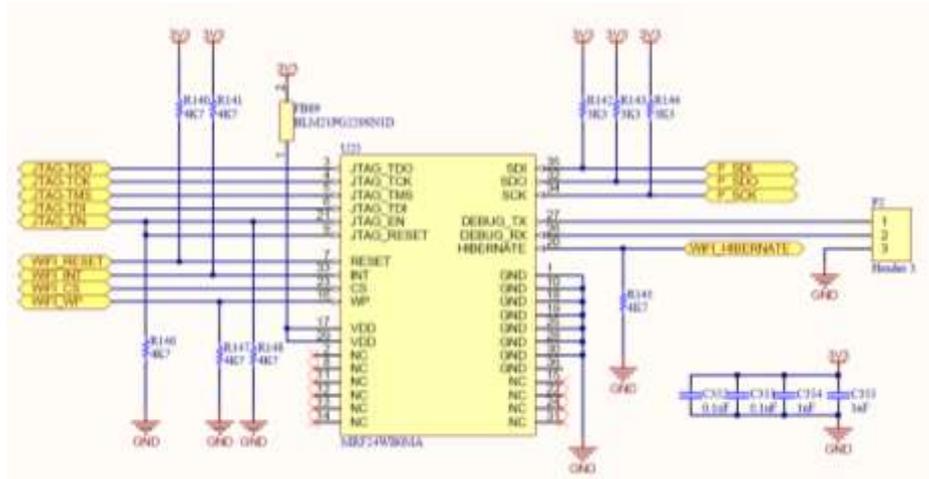


Figura 155: Comunicación WiFi

Circuitos periféricos

Se han instalado en la tarjeta de control una serie de periféricos que permitirán al usuario final de la aplicación conocer la temperatura interna del sistema y tiempo de uso del mismo. Para ello se han implementado en la tarjeta un sensor de temperatura y un reloj calendario.

Sensor de Temperatura

El sensor de temperatura le será muy útil al usuario final en el caso de que desee realizar ajustes de offset en las balizas electrónicas, provocados por la temperatura del equipo. También sería útil en el caso de averías por sobrecalentamiento del sistema.

Por estas razones se ha implementado un sensor TCN75A que tiene la capacidad de medir temperaturas de rango -40°C a $+125^{\circ}\text{C}$ con una resolución máxima de 0.06°C . La comunicación con dicho sensor se realiza a través de un protocolo I2C con la FPGA.

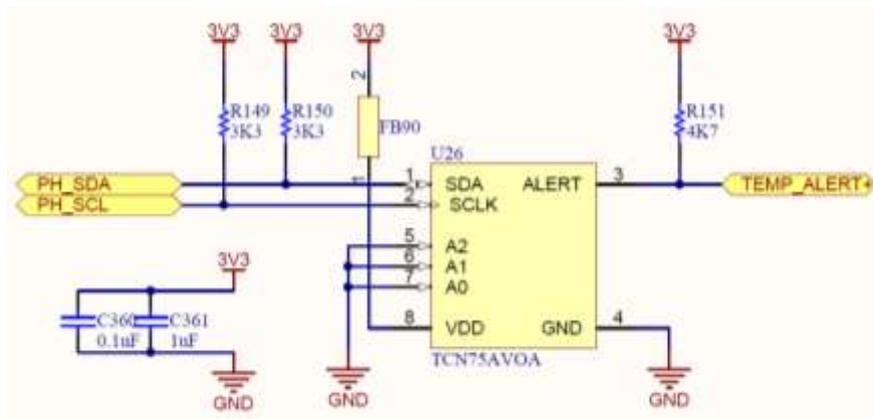


Figura 156: Sensor de Temperatura

Reloj calendario

El reloj calendario le permitirá al usuario conocer la fecha y hora actual que tiene el sistema, lo que le permitirá conocer las horas de uso del mismo. Se trata de un sensor muy útil en el momento que se quiere valorar la durabilidad del sistema o se desea gestionar algún tipo de temporización con el mismo.

Para su utilización es necesaria la instalación de una pila de 3.3V que permitirá al reloj mantener la hora en el caso de que la tarjeta no esté alimentada. El reloj calendario utilizado es el modelo MCP79410 del fabricante microchip.

La comunicación de dicho circuito con la FPGA se realiza a través del protocolo de comunicación I2C.

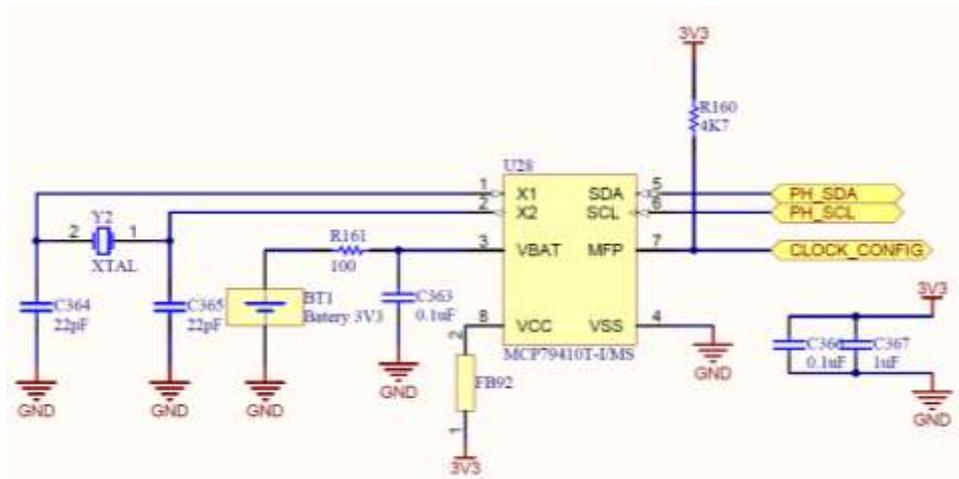


Figura 157: Reloj Calendario

Puertos libres y Leds de depuración

Durante la fase de diseño del FW puede ser útil de disponer de una serie de puertos de entrada y salida libres y de Leds que permitan realizar las tareas de depuración del sistema. Para ello la tarjeta cuenta con un total de 8 Entradas y Salidas configurables a una tensión de 3.3V conectadas directamente a la FPGA. También se dispone de un total de 8 Leds conectados a una alimentación de 3.3V que permitan visualizar las operaciones de depuración.

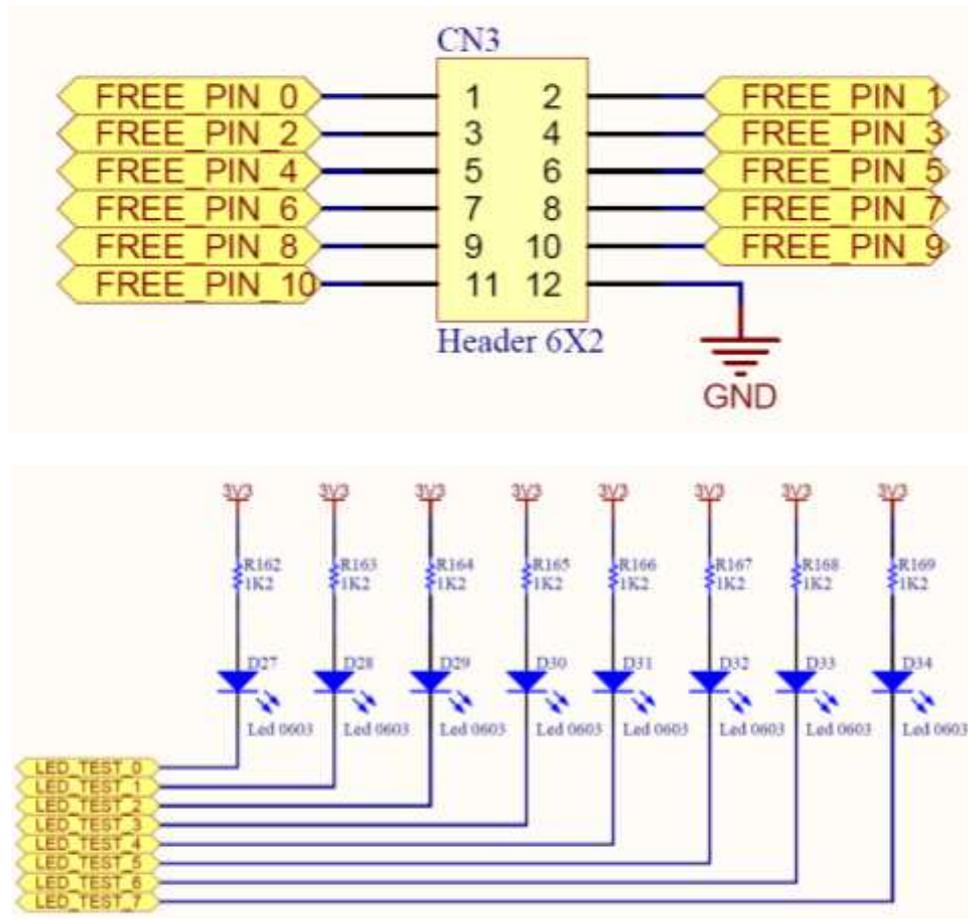


Figura 158: Puerto libre y Leds de depuración

5.3 LayOut PCB

En este punto se analizará la posición y rutado de los componentes del esquema eléctrico en la tarjeta.

Áreas del PCB

La tarjeta "Control UT" se divide en una serie de zonas que englobarán la función de los circuitos alojados en dicha zona en una función única.

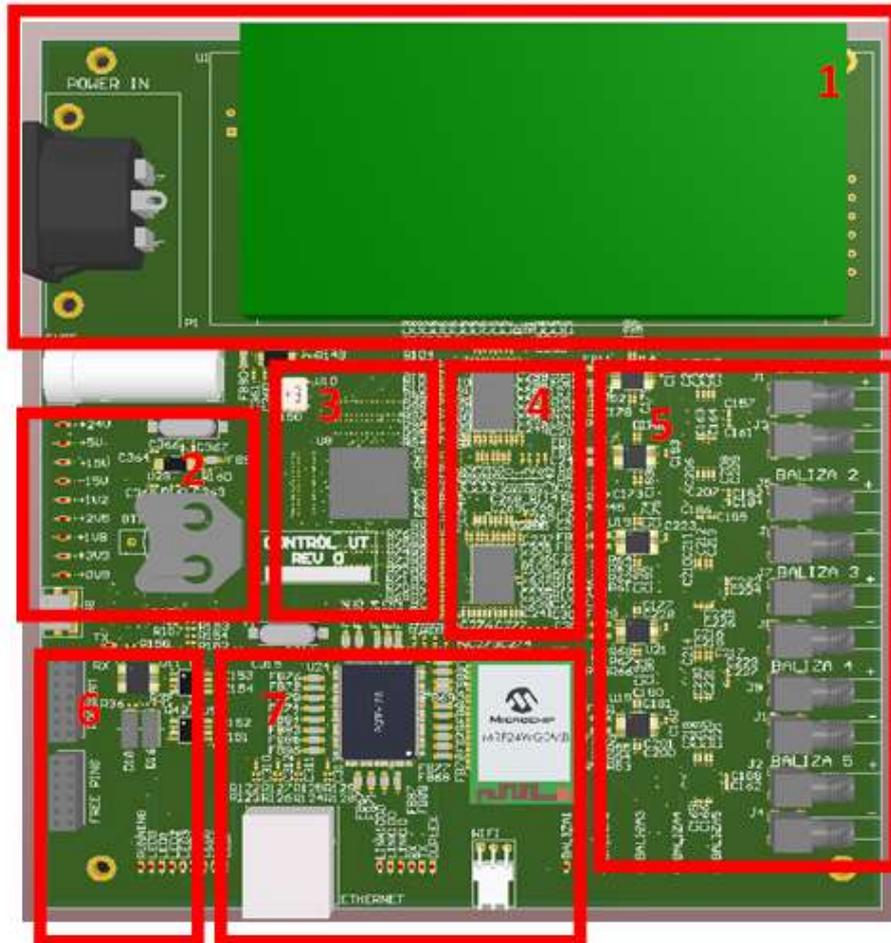


Figura 159: Elementos del PCB

1. Etapa de alimentación.
2. Circuitos Periféricos.
 - a. Reloj calendario.
 - b. Termómetro.
3. FPGA.
4. Memorias DDR2.
5. Etapa Analógica.
6. Puertos Libres.
7. Etapa de Comunicación.

Situación de los componentes

Dentro de cada una de las etapas existentes en la tarjeta se detallan los componentes más importantes de las mismas.

Etapa de alimentación

Conector de entrada de alimentación

Convertor 230Vac->24Vdc

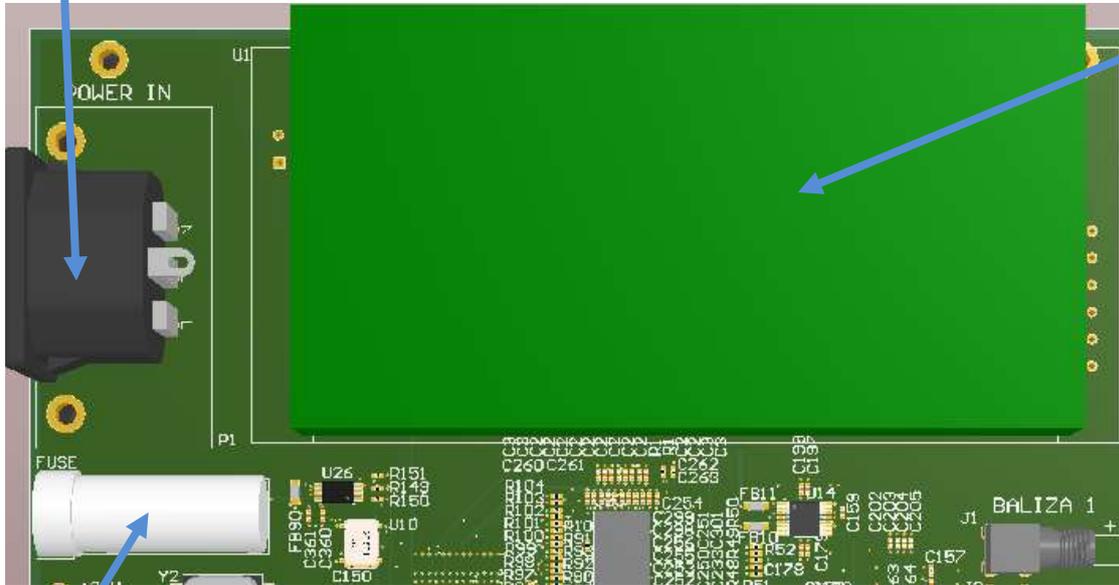


Figura 161: Etapa de alimentación, cara Top

Fusible de protección

Convertor 24Vdc -> 5Vdc

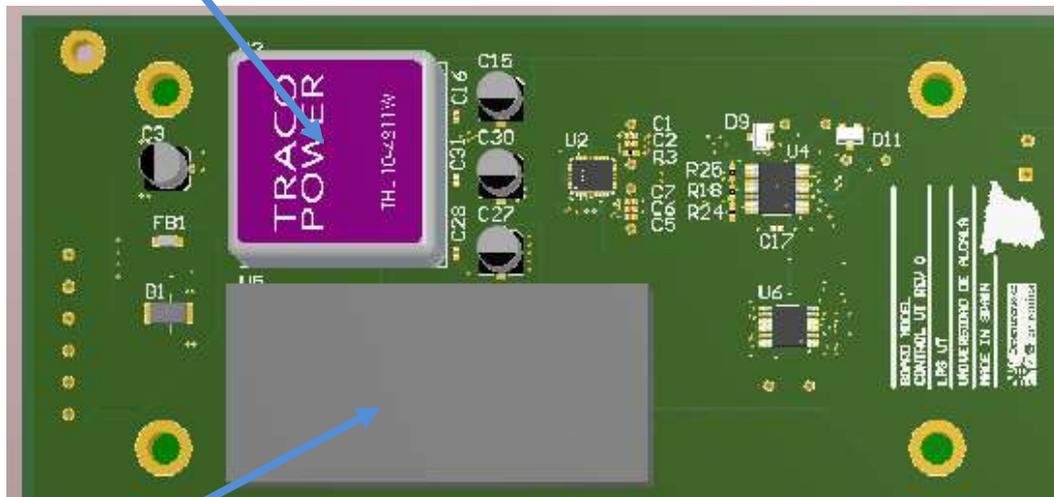


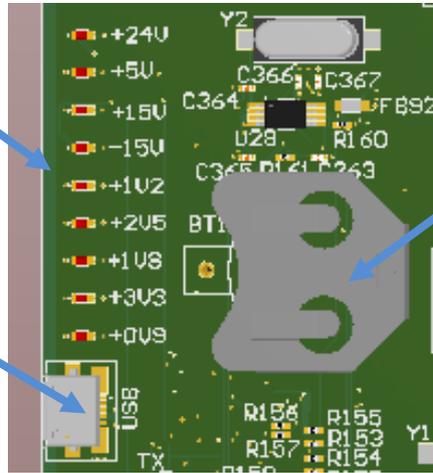
Figura 162: Etapa de alimentación, cara Bottom

Convertor de 24Vdc -> ±15Vdc

Circuitos periféricos

Led estado de las alimentaciones

Usb de comunicaciones

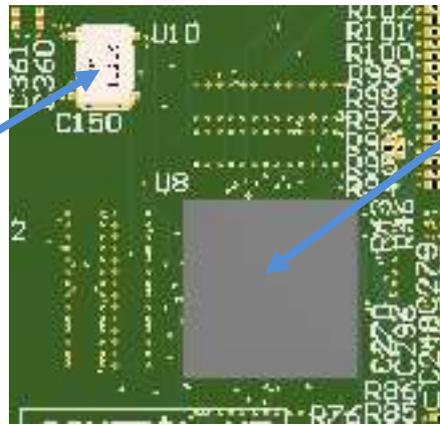


ReloiCalendario

Figura 163: Circuitos periféricos

FPGA

Reloj



Fpga

Figura 164: FPGA

Memorias DDR2

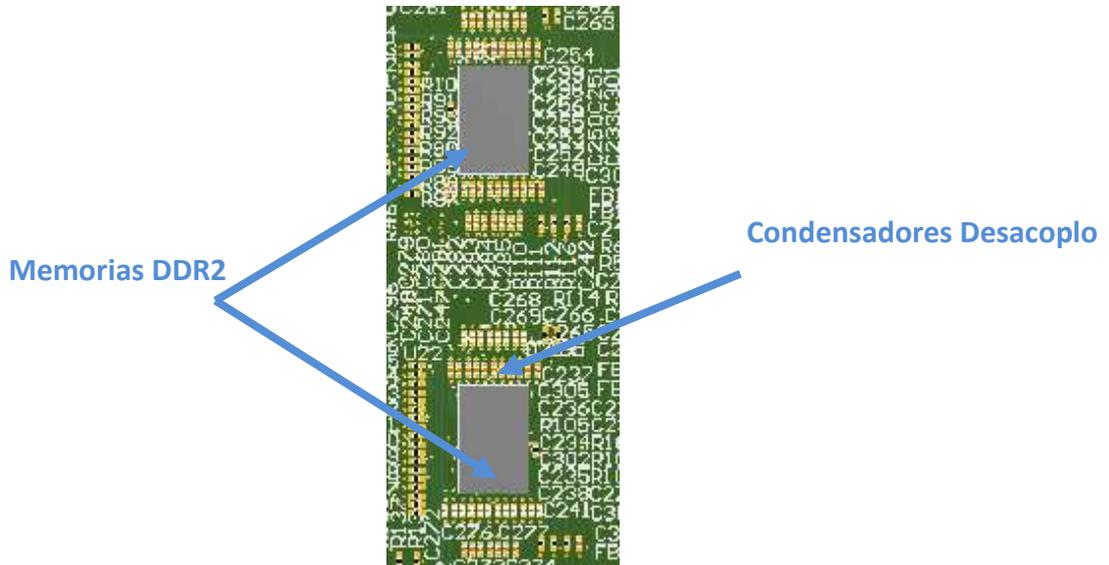


Figura 165: Memorias DDR2

Etapa Analógica

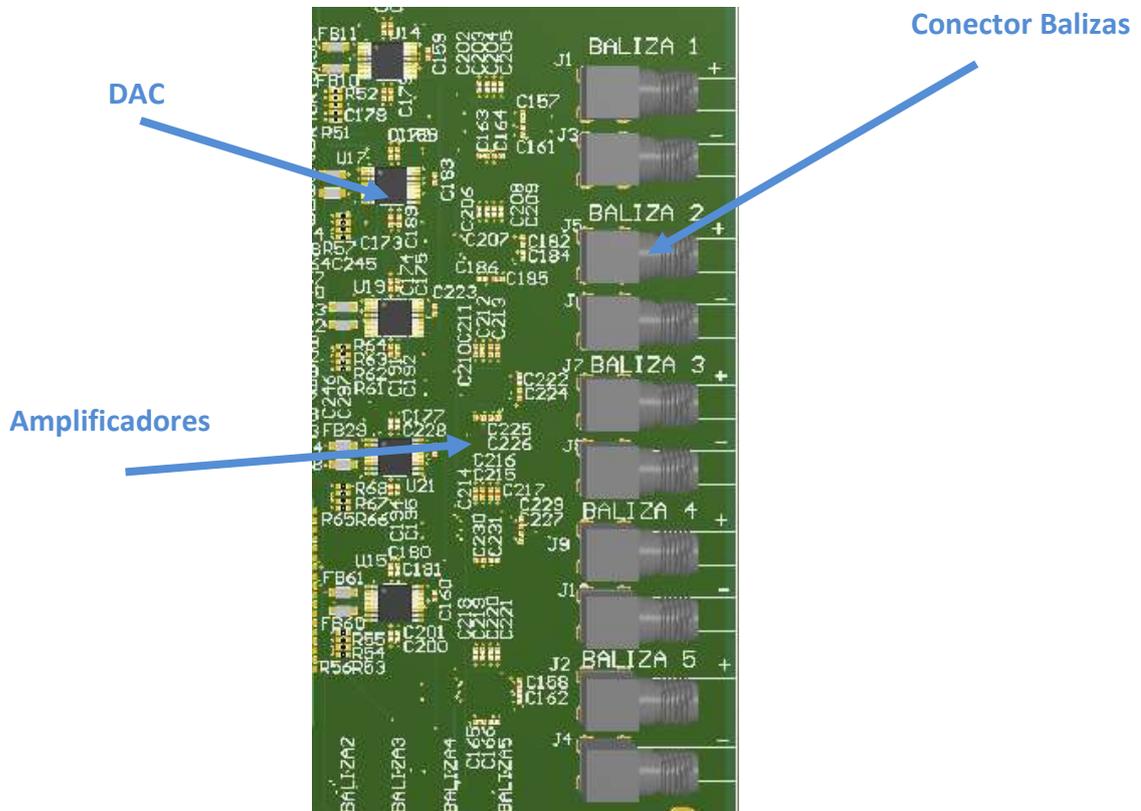


Figura 166: Etapa Analógica

Puertos Libres

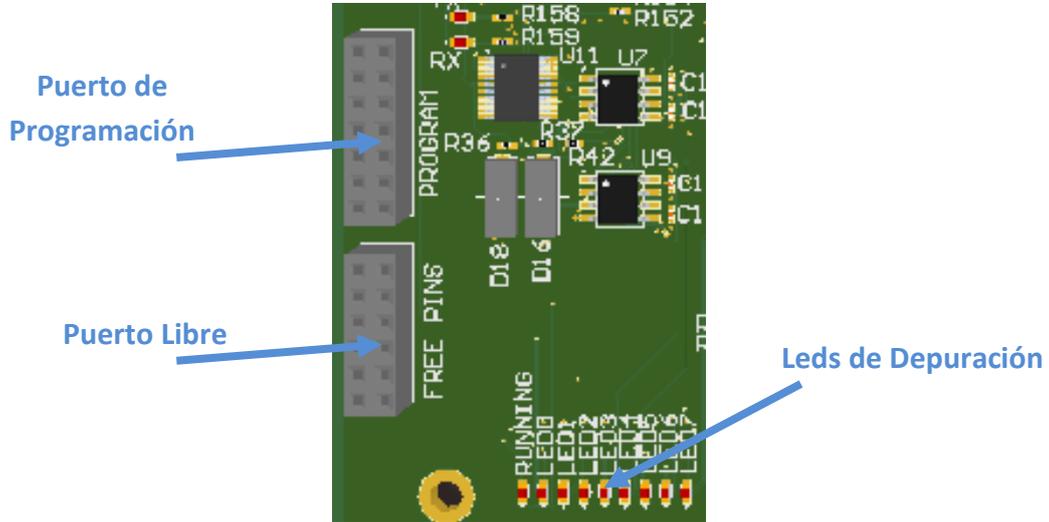


Figura 167: Puertos Libres

Etapa de comunicación

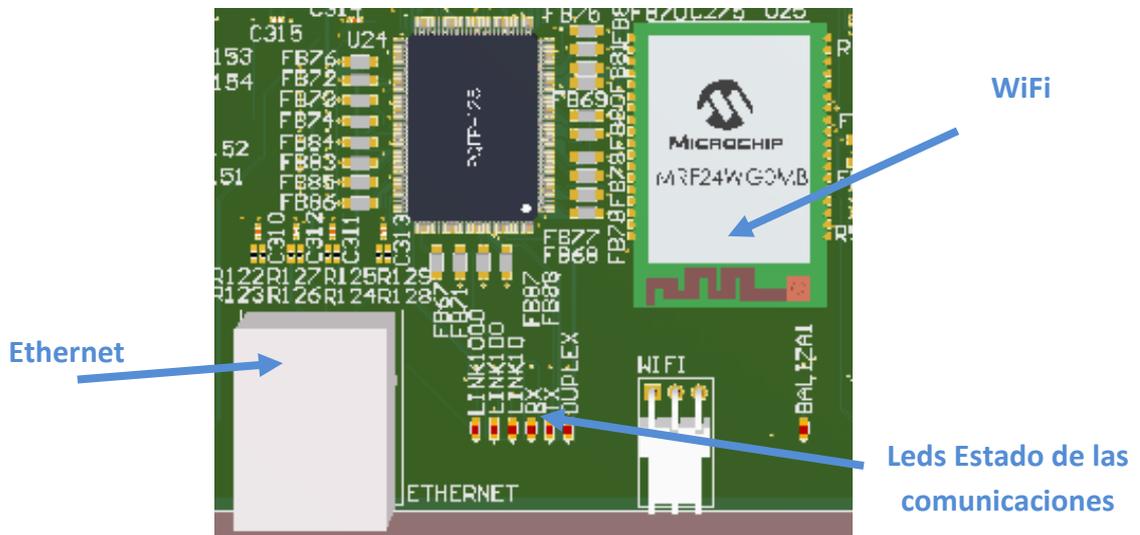


Figura 168: Etapa de comunicación

Stack-Up seleccionado

El Stack-Up seleccionado para este circuito se muestra a continuación.

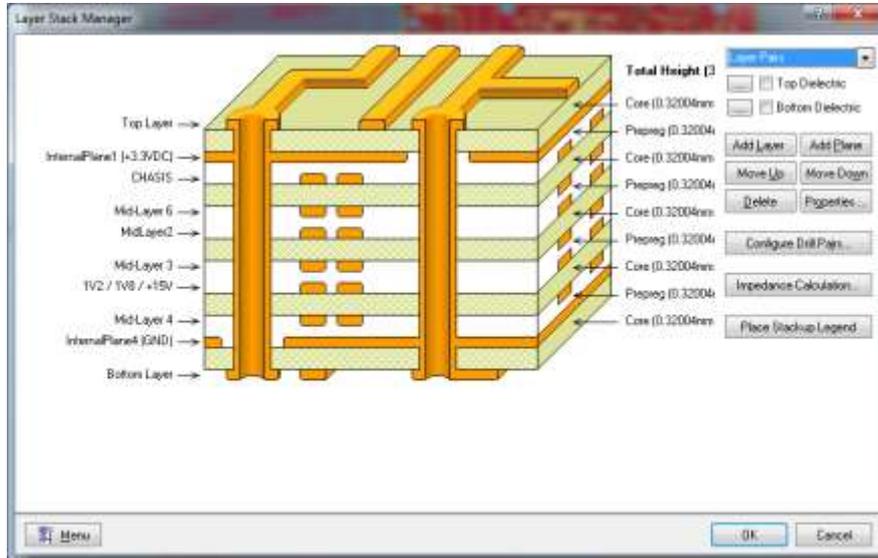


Figura 169: Stack Layer de la PCB

La asignación de las capas es la siguiente:

- Capa 1, Top -> Capa para señales.
- Capa 2 -> Plano de 3.3Vdc.
- Capa 3 -> Plano de Chasis.
- Capa 4 -> Capa de señales.
- Capa 5 -> Capa de señales.
- Capa 6 -> Plano de GND.
- Capa 7 -> Plano de alimentación de 1.2v, 1.8v y $\pm 15v$ y Señales.
- Capa 8 -> Capa de señales.
- Capa 9 -> Plano de GND.
- Capa 10, Bottom -> Capa de Señales.

Rutado del Circuito

Para el rutado del circuito se ha utilizado la herramienta informática Altium Designer, concretamente la versión 9. Se trata de una potente herramienta informática que permite la visualización de la tarjeta electrónica en 3D una vez finalizada. En el software Altium se han seguido las siguientes pautas y reglas de diseño para adaptarse a los estándares de los fabricantes más conocidos.

- Mínimo ancho de pista = 0.2mm.
- Mínima claridad plano-pista = 0.25mm.
- Tolerancia de antenas = 0mm.

- Presencia de cortocircuitos = 0.
- Mínima separación entre componentes = 0.5mm
- Mínimo taladro = 3mm
- Mínimo ancho de via = 0.2mm
- Tamaño de la serigrafía mínimo = Altura=1mm, Anchura = 0.2mm
- Solape de la serigrafía por Pads y Vías = Activado.
- Mínima distancia entre plano, pista y borde de placa = 1.5mm

Llevando a cabo estas reglas y realizando el rutado de acuerdo a lo especificado en las reglas teóricas para su realización se lleva a cabo como fase final la comprobación de que las reglas se han cumplido en el diseño. El resultado obtenido por el programa Altium es el siguiente:

Date : 13/01/2015
Time : 19:51:52
Elapsed Time : 00:00:09
Filename : C:\Users\Adrian\Documents\Adrian\01_Mater Sistemas Electronicos Avanzados\01_Clases\Trabajo Fin de Master\02_Diseño Pcb\LayOut\PCB_Control_UT_PcbDoc

Warnings : 2
Rule Violations : 0

Summary

Warnings	Count
Unplated multi-layer pad(s) detected	2
Total	2

Rule Violations	Count
Power Plane Connect Rule (Relief Connect) (Expansion=0.01mm) (Conductor Width=0.1mm) (Air Gap=0.1mm) (Entries=4) (All)	0
Height Constraint (Min=0mm) (Max=50mm) (Preferred=12.7mm) (All)	0
Hole Size Constraint (Min=0.0254mm) (Max=5mm) (All)	0
Hole To Hole Clearance (Gap=0mm) (All) (All)	0
Minimum Solder Mask Silver (Gap=0mm) (All) (All)	0
Silkscreen Over Component Pads (Clearance=0mm) (IsPad) (All)	0
Silk to Silk (Clearance=0mm) (All) (All)	0
Total	0

Warnings

Unplated multi-layer pad(s) detected
Pad ETHERNET-M2(1023.52998mm,441.30001mm) Multi-Layer on Net CHASSIS
Pad ETHERNET-M1(1012.09998mm,441.30001mm) Multi-Layer on Net CHASSIS
Back to top

Se presentan que se tienen 0 errores en el PCB y 2 Warnings. Los dos warnings aparecidos son debido a una metalización que se realiza en los pasadores del conector de Ethernet, ya que su librería no soportaba darle Chasis a este conector, cuando si debe de ser conectado a dicha señal.

5.4 Especificaciones del sistema

A continuación se detallarán las especificaciones de la tarjeta de control del sistema de posicionamiento diseñada como objeto del presente trabajo.

Especificaciones Técnicas

El hardware de la tarjeta se divide en:

- Unidad de procesamiento principal basado en una arquitectura VHDL sobre una Spartan 6.
- Capacidad de memoria Ram a través de dos memorias DDR2 de 1G cada una.
- Alimentación a través de la red eléctrica alterna.
- Gestión del resto de alimentaciones del circuito de manera interna.
- Programación de la FPGA a través de la conexión del JTAG de programación.
- Comunicación con el sistema de procesamiento a través de conexión por cable a puerto USB y Ethernet (RJ-45) ó inalámbricamente a través de conexión Wifi.
- Capacidad de control de 5 balizas analógicas con salida diferencial de una potencia máxima de 15W cada una.
- Bloque de terminales libres de I/O de nivel de tensión 3.3V
- 7 Leds para depuración del sistema.
- Reloj y Calendario interno del sistema.
- Sensor de temperatura integrado en la tarjeta.

Especificaciones Eléctricas

Las especificaciones eléctricas del equipo son:

- Tensión de alimentación: 220 a 230 Vac
- Tensiones de alimentación internas:
 - o +24Vdc
 - o +5Vdc
 - o +3.3Vdc
 - o ± 15 Vdc
 - o +1.8Vdc
 - o +1.2Vdc
 - o +0.9Vdc
- Consumo máximo de la tarjeta 100W.
- Protección en la entrada a través de fusible no rearmable de 8A a 250V.
Potencia máxima de salida a través de los conectores de las balizas analógicas de 15W a ± 15 V.

Especificaciones Mecánicas

- Medidas mecánicas de la tarjeta: 165.25mm X 185mm
- Numero de taladros de anclaje: 4
- Diámetro de los taladros de anclaje: 3mm
- Peso de la tarjeta: 400 gramos
- Color de la tarjeta: Verde

Especificaciones de Funcionamiento

- Temperatura de funcionamiento Máxima: 85°C
- Temperatura de funcionamiento Mínima: 0°C
- Temperatura de almacenamiento: 0°C con humedad relativa del 5%
- Humedad máxima de funcionamiento: 40%

6. RESULTADOS

A continuación se muestran una serie de imágenes del resultado final de la tarjeta detallando los conectores y acceso de usuario disponible en la misma.

6.1 Accesos de usuario

Los accesos de usuario disponibles en la tarjeta son:

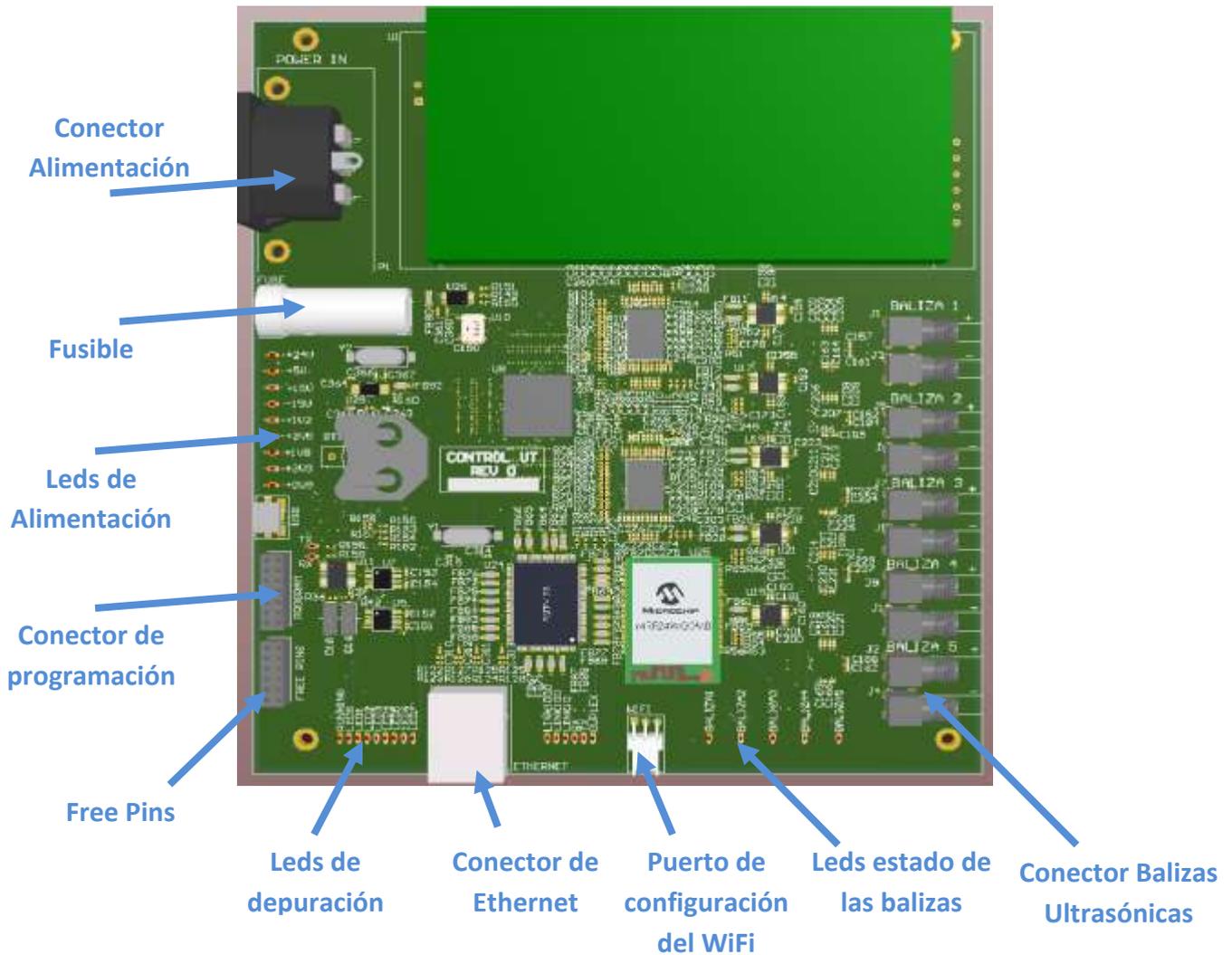


Figura 170: Accesos de Usuario

En la figura anterior se observa la situación de los circuitos de la tarjeta por la cara TOP de la misma.

6.2 Imágenes resultados obtenidos

Las siguientes imágenes muestran los resultados del diseño de la tarjeta de control.

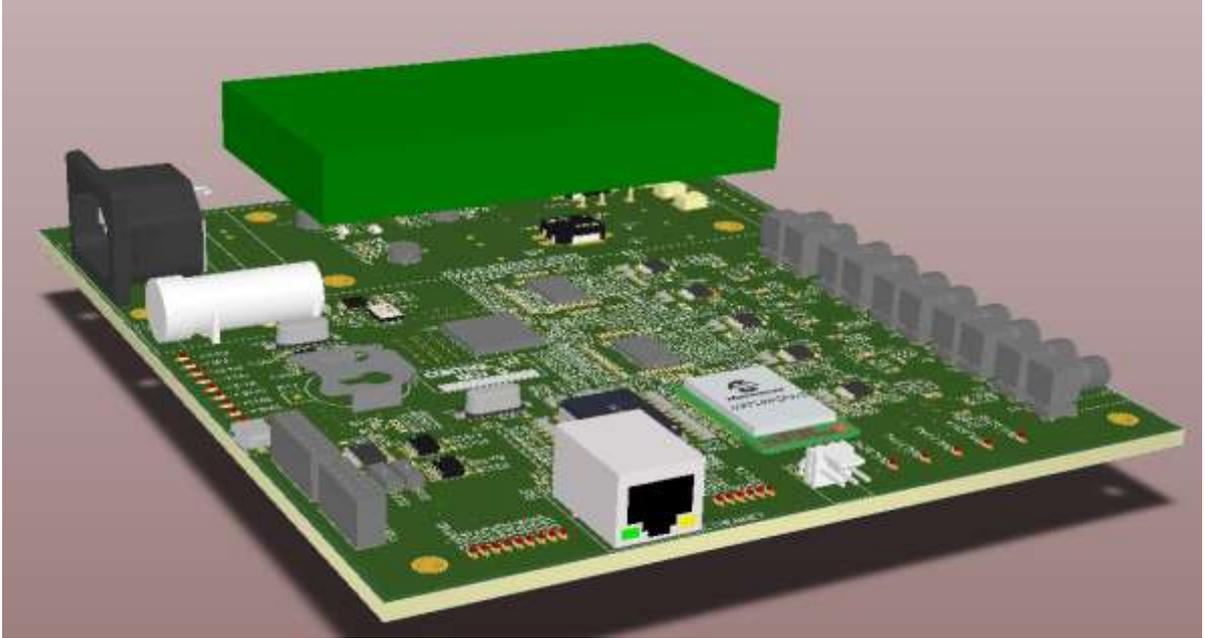


Figura 171: Resultado final I

En esta imagen se presenta la PCB en modo 3D, proporcionada por el programa Altium Designer.

Cara Top de la Tarjeta

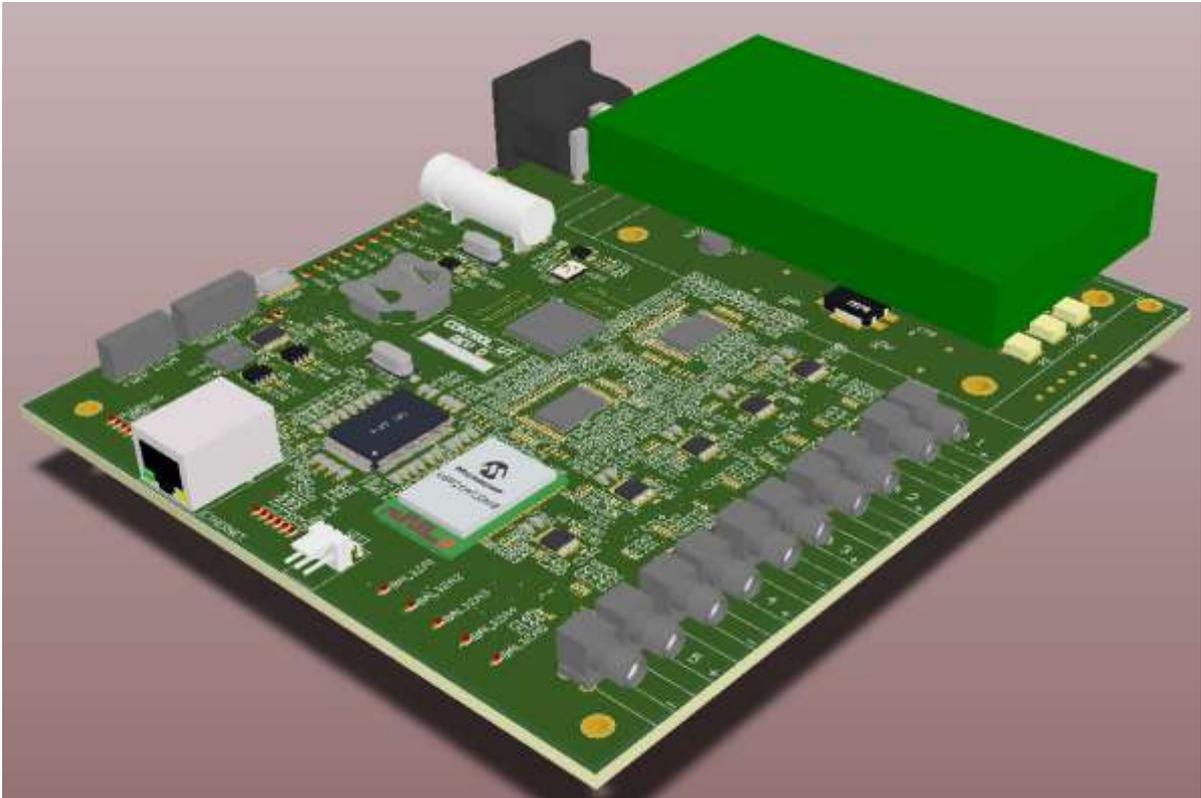


Figura 172: Resultado final II

Cara Bottom de la tarjeta



Figura 173: Resultado final III

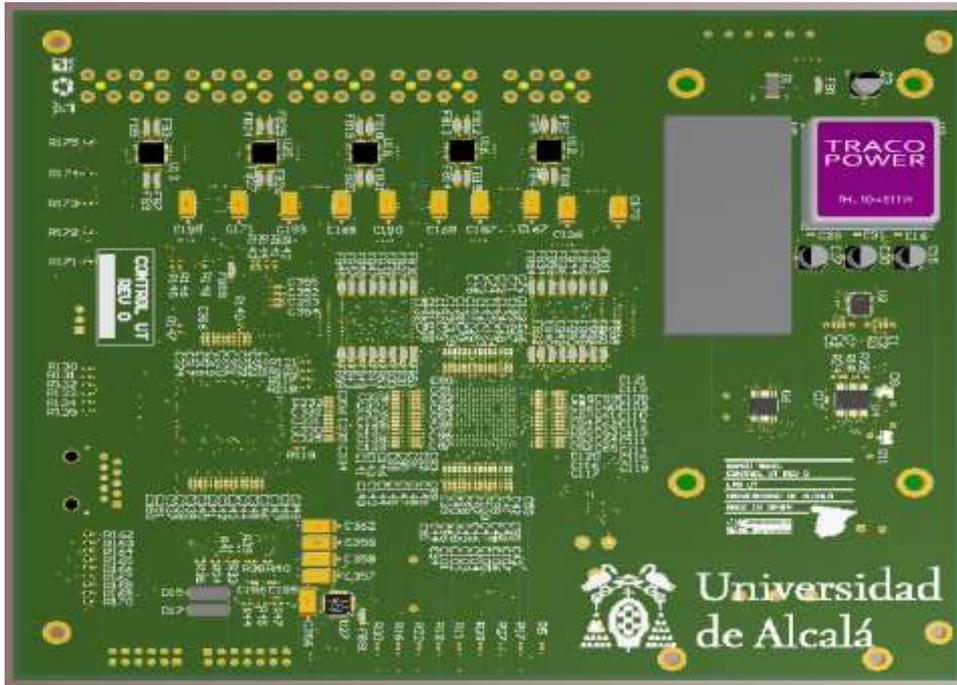


Figura 174: Resultado final IV

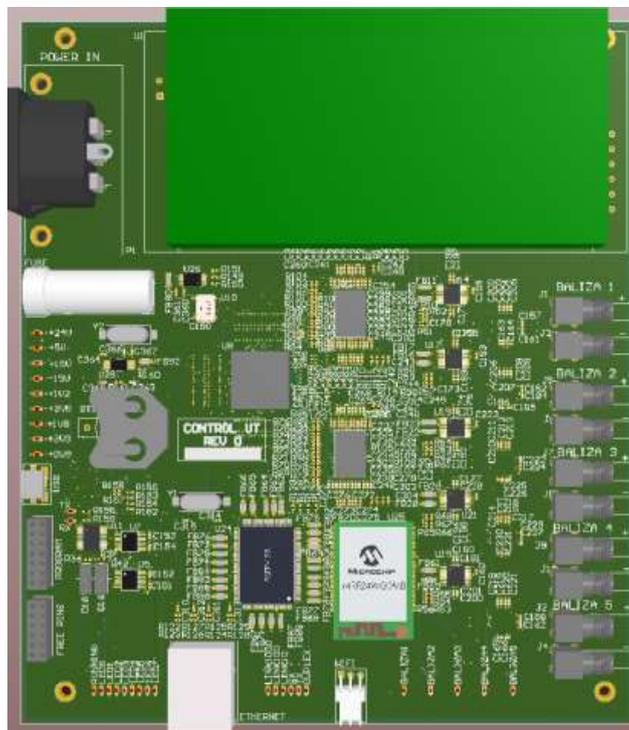


Figura 175: Resultado final V

7. CONCLUSIONES Y TRABAJOS FUTUROS

En este trabajo se han estudiado las reglas de diseño que se deberían de aplicar a la hora de llevar a cabo un diseño de un circuito impreso, precisando que la posición y número de componentes, así como de las pistas, es muy delicado, pudiendo influir en el comportamiento del circuito una vez fabricado.

En los estudios de EMC se deben de considerar todos los aspectos o reglas expuestas si no se quiere obtener un fracaso a la hora de realizar las pruebas de homologación marcadas por las normativas vigentes.

En dicho trabajo, también se ha estudiado los efectos de llevar a cabo un desembolso a la hora de especificar y realizar labores de diseño y pruebas antes de la fabricación del circuito, y como puede convertirse un diseño electrónico en un completo desastre, y por consiguiente una pérdida económica, si se detecta el fallo una vez realizada la fabricación.

A modo de ejemplo práctico se ha llevado a cabo el diseño de la tarjeta electrónica denominada "Control UT". Dicha tarjeta, tiene la capacidad de llevar a cabo el control de un sistema de posicionamiento basado en balizas ultrasónicas. La elección de dicha electrónica, presenta un ejemplo perfecto para poder llevar a cabo todas las lecciones aprendidas en la parte teórica del trabajo.

Como trabajo futuro se podría analizar el uso de herramientas informáticas, tipo "Hyperlinx" para llevar a cabo los análisis Pre-Fabricación necesarios en un diseño electrónico. El manejo de estos programas de increíble potencia, pueden ayudar a analizar en gran profundidad los diseños electrónicos una vez realizado el layout.

Actualmente se vive en un momento donde la potencia informática avanza a pasos agigantados permitiendo simular casi cualquier sistema de una manera muy precisa, por lo que dichas herramientas se convertirán en fundamentales para los diseñadores electrónicos que deberán de enfrentarse a circuitos cada vez con frecuencias mayores.

8. BIBLIOGRAFIA

Contenido de Integridad de señal

eHow, Url:

http://www.ehowenespanol.com/problemas-comunes-integridad-senal-diseno-pcb-info_342000/, Fecha de Última consulta: Septiembre/2014. Información consultada tipo documentación.

Tektronix,Url:

<http://www.isotest.es/web/Soporte/Formacion/Presentaciones/tektronix/01-Signal%20Integrity%20Solutions.pdf>, Fecha de Última consulta: Septiembre/2014. Información consultada tipo documentación.

Scielo,Url:

http://www.scielo.cl/scielo.php?script=sci_arttext&pid=S0718_33052009000100001, Fecha de Última consulta: Septiembre/2014. Información consultada tipo documentación.

Fluke, Url:

<http://www.fluke.com/fluke/gtes/support/biblioteca/signal-integrity.htm>, Fecha de Última consulta: Septiembre/2014. Información consultada tipo documentación.

Electratraining, Url:

<http://electratraining.org/2012/curso-integridad-de-senal-2012/>, Fecha de Última consulta: Septiembre/2014. Información consultada tipo documentación.

Foro Electrónica, Url:

<http://smdelectronicavalgomas.blogspot.com.es/2010/10/el-pulso-integridad-de-senal-la-s.html#.VLTxUWeDPPQ>, Fecha de Última consulta: Septiembre/2014. Información consultada tipo documentación.

Universidad Autónoma de Madrid, Url:

[http://www.uam.es/ss/Satellite/es/1242652866332/1242666415816/cursocortaduracion/cursoCortaDuracion/Integridad de Senal en Disenos PCBs.htm](http://www.uam.es/ss/Satellite/es/1242652866332/1242666415816/cursocortaduracion/cursoCortaDuracion/Integridad%20de%20Senal%20en%20Disenos%20PCBs.htm), Fecha de Última consulta: Septiembre/2014. Información consultada tipo documentación.

Agilent Instrument, Url:

<http://www.redeweb.com/txt/641/56.pdf>, Fecha de Última consulta: Septiembre/2014. Información consultada tipo documentación.

Contenido de Sistemas de Posicionamiento**Wikipedia, Url:**

http://es.wikipedia.org/wiki/Acceso_m%C3%BAltiple_por_divisi%C3%B3n_de_c%C3%B3digo, Fecha de Última consulta: Octubre/2014. Información consultada tipo documentación.

Apuntes de la Asignatura “Localización y posicionamiento interior”, Tema 0 y Tema 1, Introduccion a los sistemas de posicionamiento y algoritmos de localización. Fecha de Última consulta: Octubre/2014. Información consultada tipo documentación. Autor: Jesús Ureña Ureña.

Apuntes de la asignatura “Localización y posicionamiento interior”, Tema 2, Técnicas de encriptación y CDMA, Fecha de Última consulta: Octubre/2014. Información consultada tipo documentación. Autor: Jesús Ureña Ureña.

Grupo Geintra, Url:

<http://www.geintra-uah.org/>, Fecha de Última consulta: 10/9/2014. Fecha de Última consulta: Octubre/2014. Información consultada tipo información general.

Contenido del Diseño PCB**Altium Designer, Url:**

<http://www.altium.com/altium-designer/overview>, Fecha de Última consulta: 10/9/2014. Fecha de Última consulta: Diciembre/2014. Información consultada tipo descargas de librerías.

Digilent, Url:

<http://www.digilentinc.com/>, Fecha de Última consulta: 10/9/2014. Fecha de Última consulta: Diciembre/2014. Información consultada tipo esquemas eléctricos.

Rs Online, Url:

http://es.rs-online.com/web/?cm_mmc=ES-PPC-0914-_-google-_-0_RS-Brand-Campana-Corporativa_All_Languages_No_Spanish-_-RS+-+Exact_rs+espa%C3%B1a_E&gclid=CjwKEAiAodOIBRDCjr-UJJDjtVUSJABR7fxy7l3w6lgp_7yVnwTfpuBKZsy9bpfoXjrZSmZMB5hwDxoCEZzw_wcB, Fecha de Última consulta: 10/9/2014. Fecha de Última consulta: Diciembre/2014. Información consultada tipo datasheet.

Farnell España, Url:

<http://es.farnell.com/>, Fecha de Última consulta: 10/9/2014. Fecha de Última consulta: Diciembre/2014. Información consultada tipo datasheet.

Digikey, Url:

http://www.digikey.es/?WT.srch=1&WT.medium=cpc&WT.mc_id=IQ68149139-VQ2-g-VQ6-49002118637-VQ15-1t1-VQ16-c, Fecha de Última consulta: 10/9/2014. Fecha de Última consulta: Diciembre/2014. Información consultada tipo datasheet.

Mouser, Url:

<http://www.google.es/url?sa=t&rct=j&q=&esrc=s&source=web&cd=1&ved=0CD4QFjAA&url=http%3A%2F%2Fwww.mouser.es%2F&ei=6PK0VPW3JcXwUoeigpgJ&usg=AFQjCNHC5NdEh20GZDOcg7FrKMxpiape1w&sig2=P-3rPWgyoBk5bEFtpv-5IA&bvm=bv.83339334,d.d24>, Fecha de Última consulta: 10/9/2014. Fecha de Última consulta: Diciembre/2014. Información consultada tipo datasheet.

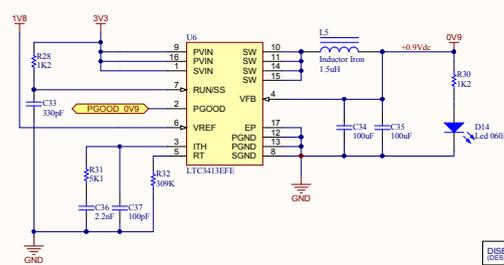
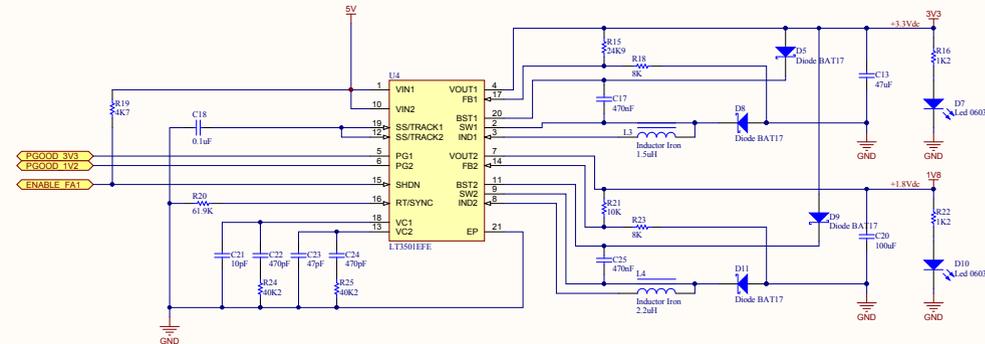
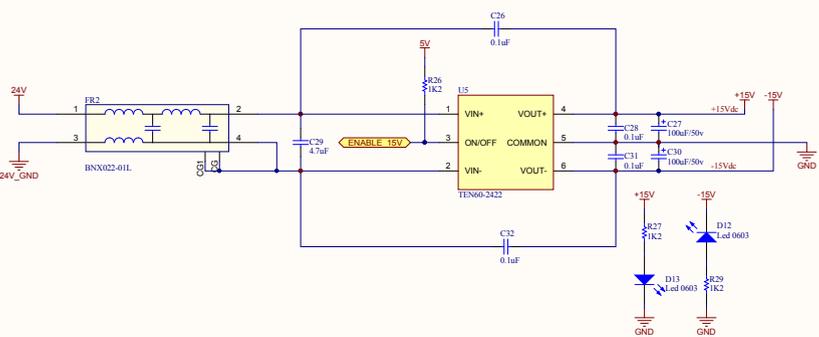
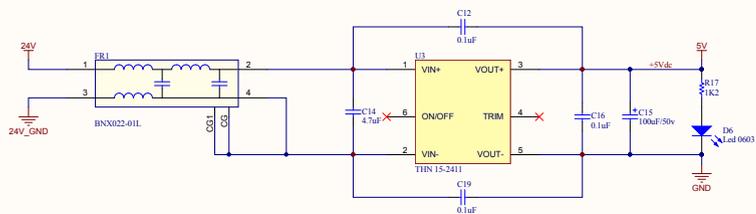
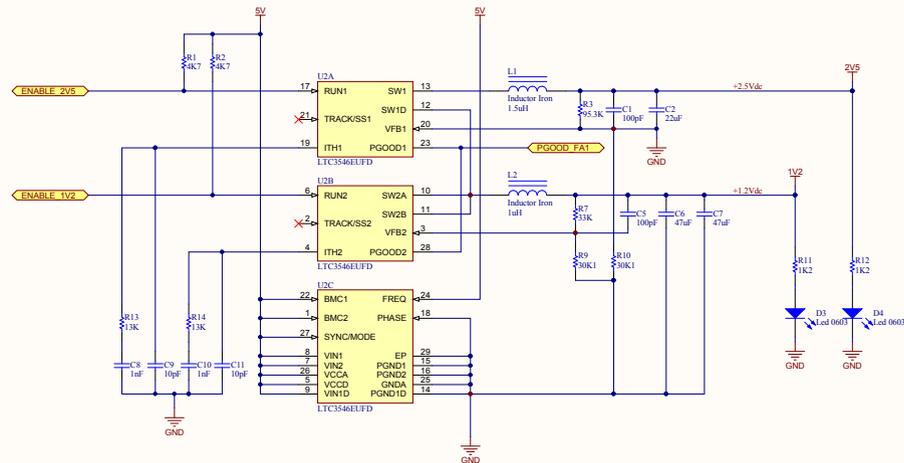
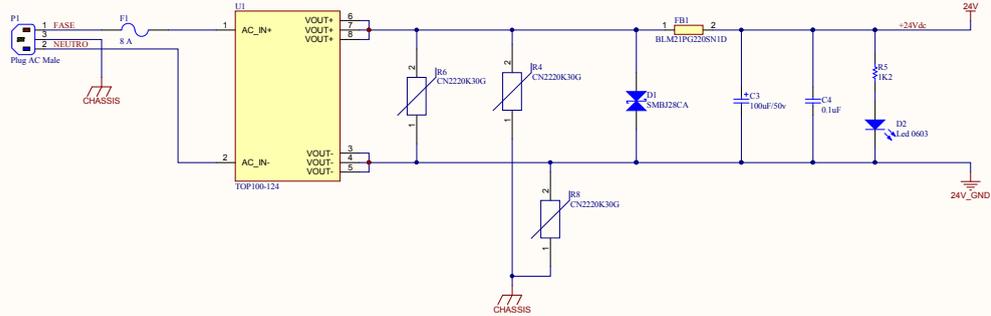
Fuentes de Imágenes

Todas las imágenes de la documentación están extraídas de las siguientes fuentes:

- **“Curso de integridad de señal y diseño de PCBs”**, impartido por la Universidad Autónoma de Madrid, concretamente el grupo Electratraining.
- **“Curso EMC en PCBs”**, impartido por la Universidad Autónoma de Madrid, concretamente el grupo Electratraining.
- Apuntes de la asignatura **“Sistemas de localización y posicionamiento interior”**, impartida en el master de MUSEA por la Universidad de Alcalá.
- Imágenes del diseño del PCB extraídas del software **Altium Designer 9**.

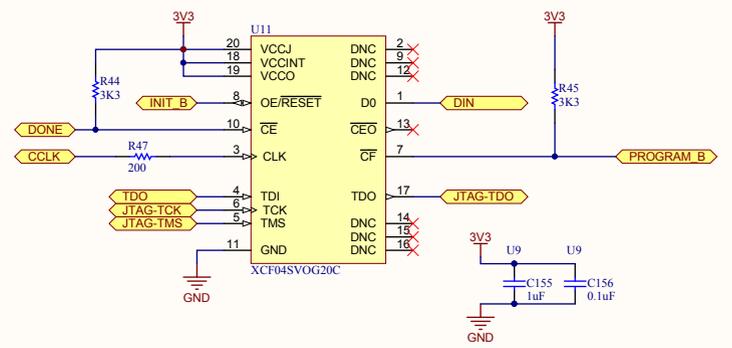
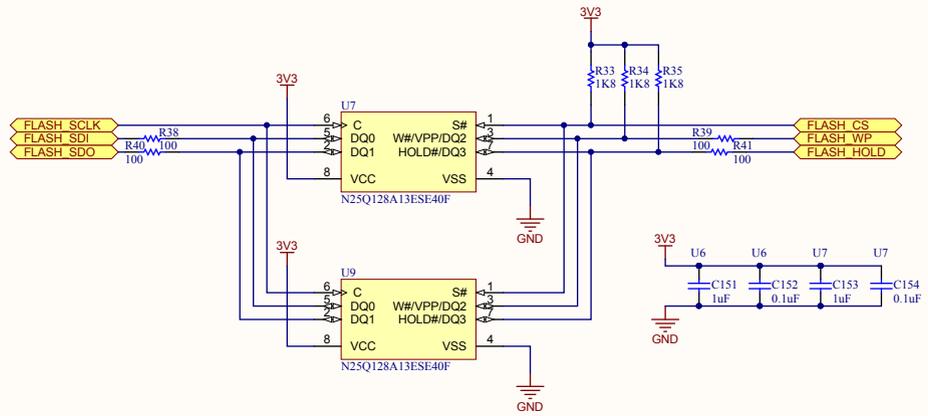
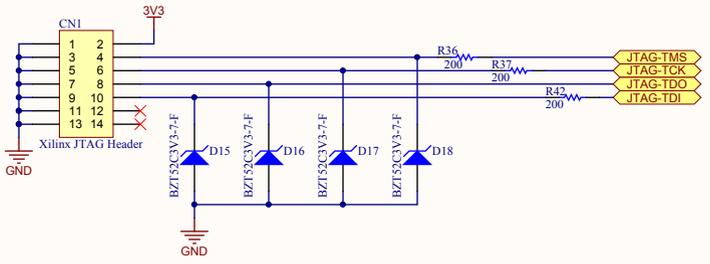
9. ANEXOS

9.1 Esquemas eléctricos



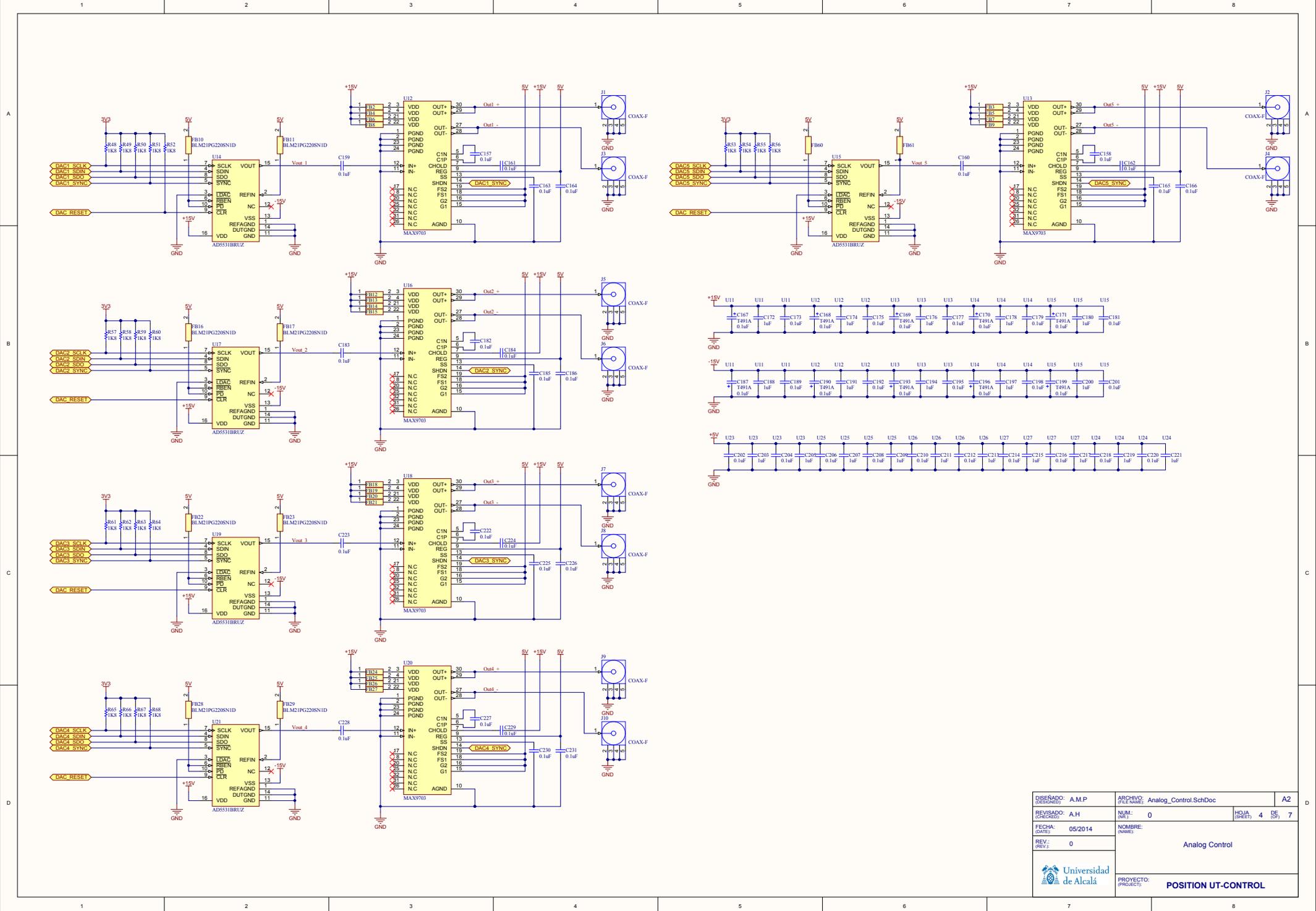
DISEÑO: (DESIGNED):	A.M.P	ARCHIVO: (FILE NAME):	Power_Supply.SchDoc	A2
REVISADO: (CHECKED):	A.H	NUM: (REV.):	0	HOJA (SHEET): 1 DE (OF) 7
FECHA: (DATE):	05/2014	NOMBRE: (NAME):	POWER SUPPLY	
REV: (REV.):	0	PROYECTO: (PROJECT):	POSITION UT-CONTROL	



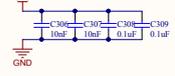
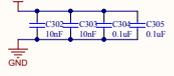
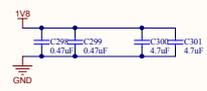
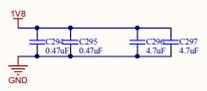
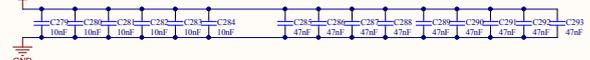
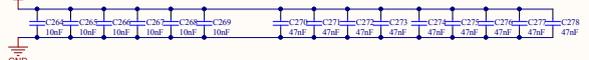
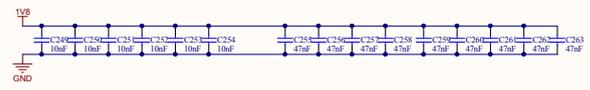
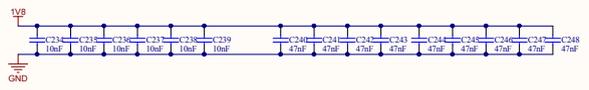
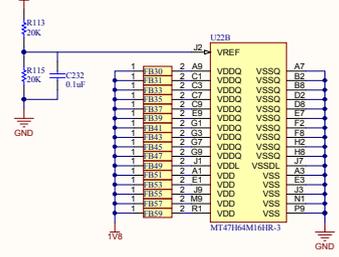
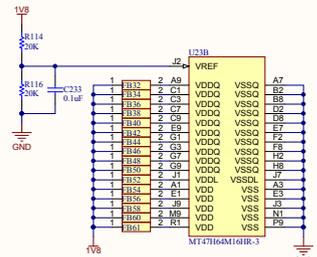
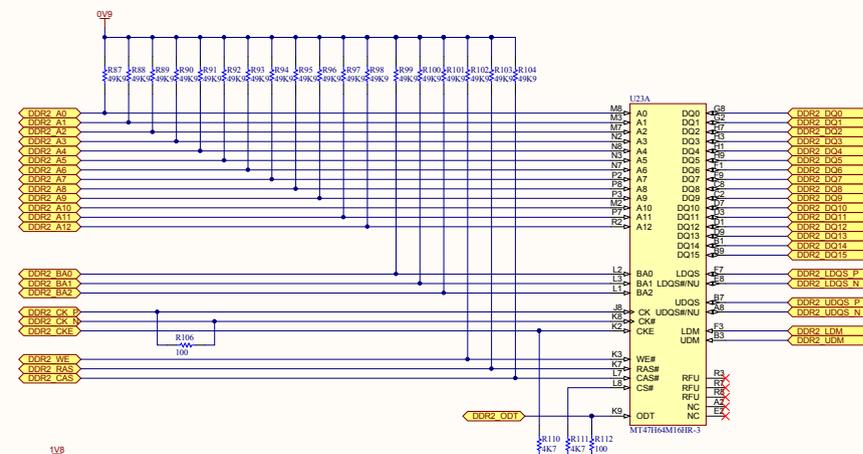
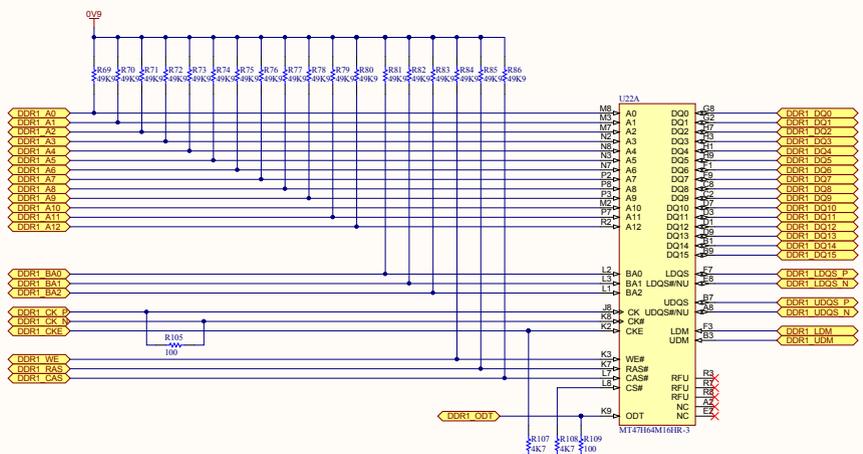


DISEÑADO: (DESIGNED):	A.M.P	ARCHIVO: (FILE NAME):	Fpga_Configuration.SchDoc	A3
REVISADO: (CHECKED):	A.H	NUM. (NR.):	0	HOJA (SHEET) 2 DE (OF) 7
FECHA: (DATE):	05/2014	NOMBRE: (NAME):	FPGA CONFIGURATION	
REV. (REV.):	0	PROYECTO: (PROJECT):	POSITION UT-CONTROL	

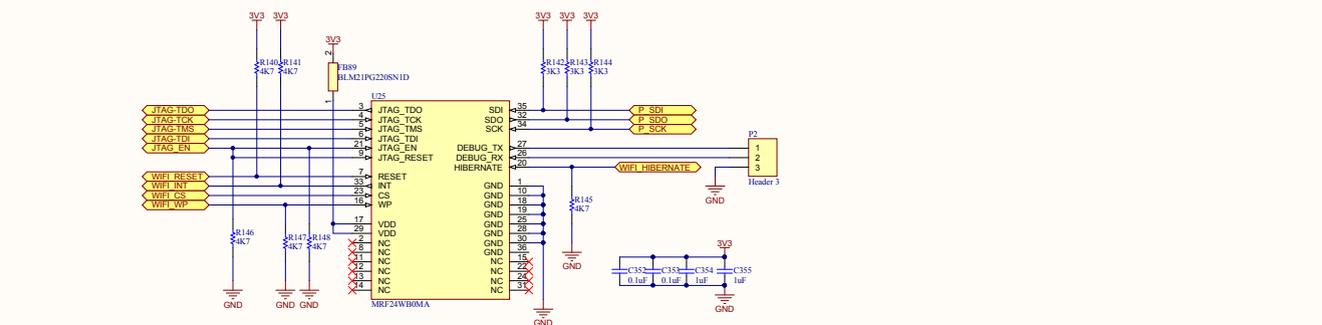
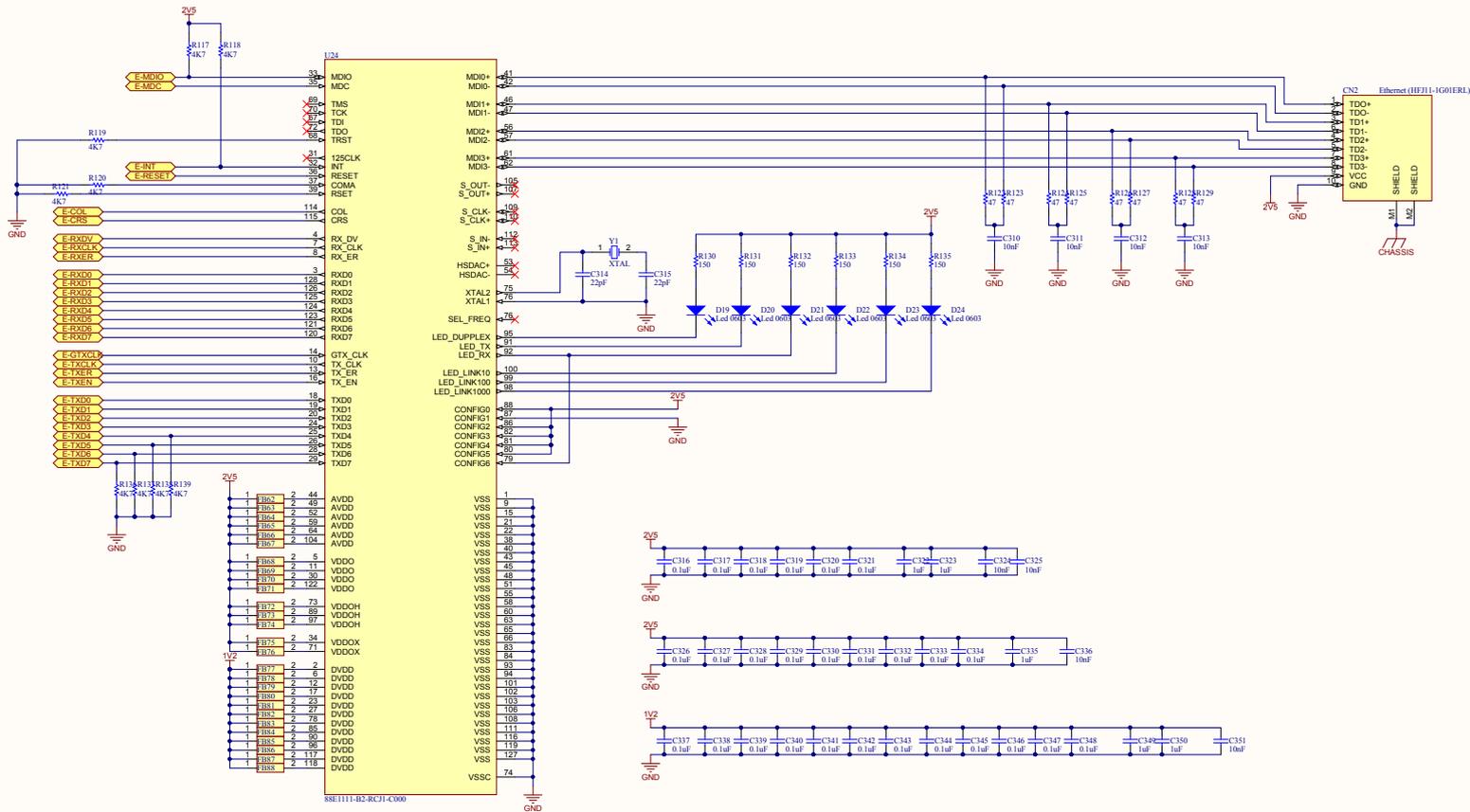




DISEÑADO: (DESIGNED):	A.M.P	ARCHIVO: (FILE NAME):	Analog_Control.SchDoc		A2
REVISADO: (CHECKED):	A.H	NUM. (NR.):	0	HOJA (SHEET):	4 DE (OF) 7
FECHA: (DATE):	05/2014	NOMBRE: (NAME):	Analog Control		
REV. (REV.):	0	PROYECTO: (PROJECT):	POSITION UT-CONTROL		

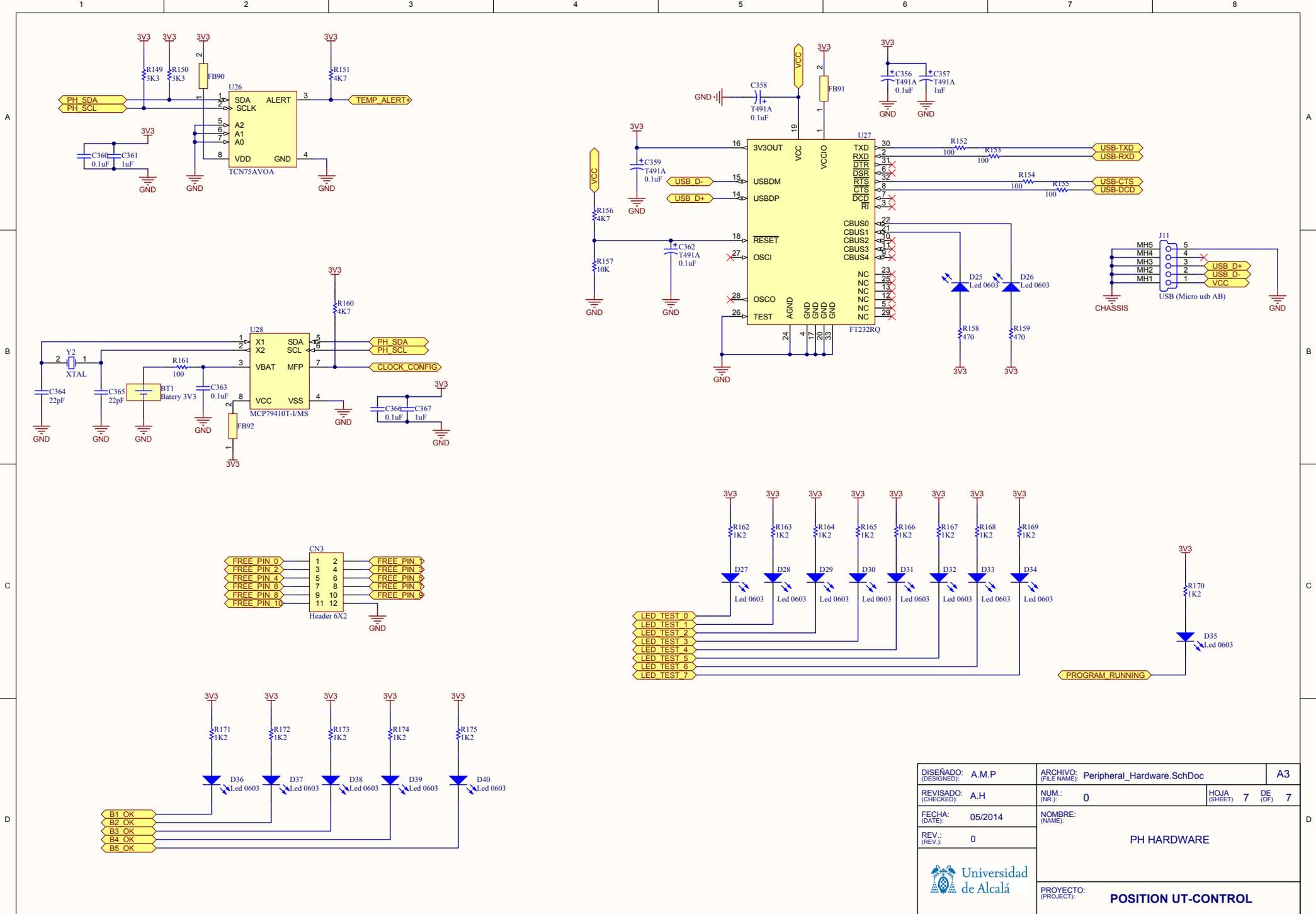


DISEÑO: (DISEÑADO):	A.M.P	ARCHIVO: (FICHERO):	DDR2_Memory.SchDoc	A2
REVISADO: (CHECKED):	A.H	NUM. (NR.):	0	HOJA (SHEET):
FECHA: (DATE):	05/2014	NOMBRE: (NAME):	DDR2	
REV. (REV.):	0	PROYECTO: (PROJECT):	POSITION UT-CONTROL	



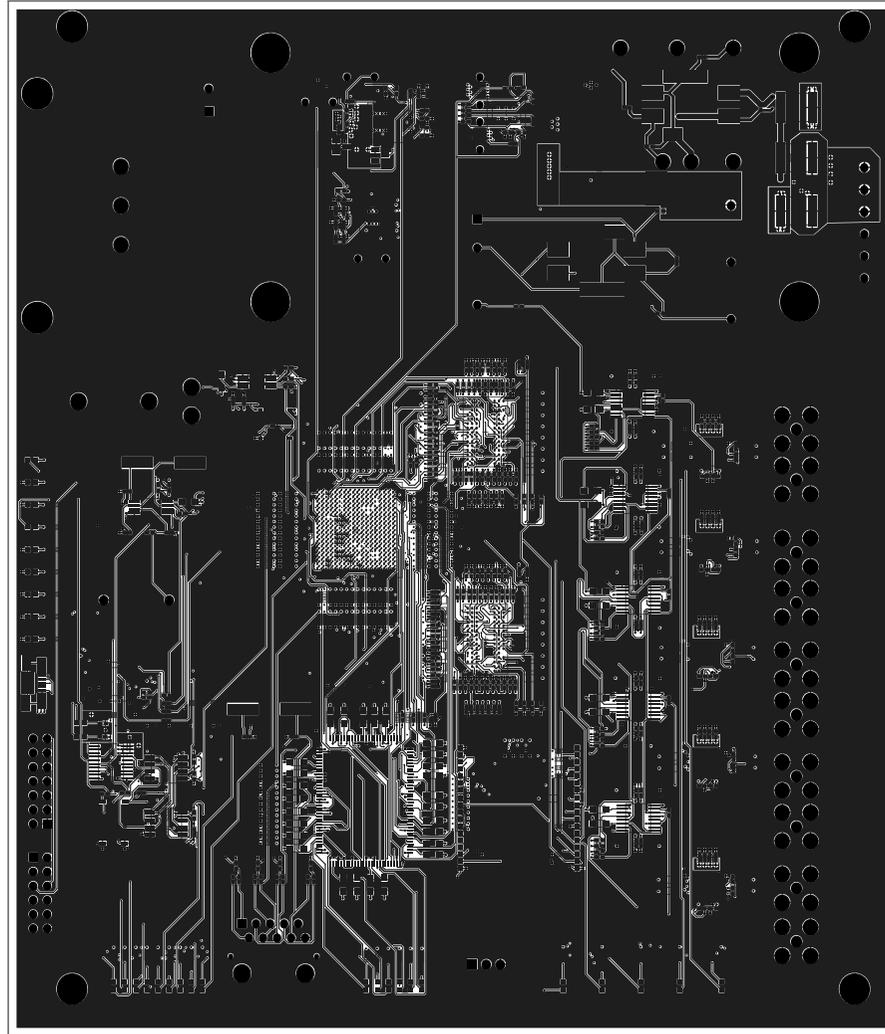
DISEÑADO: (DESIGNED):	A.M.P	ARCHIVO: (FILE NAME):	Network Interface.SchDoc	A2
REVISADO: (CHECKED):	A.H	NUM: (NR.):	0	HUJA (SHEET): 6 DE (OF) 7
FECHA: (DATE):	05/2014	NOMBRE: (NAME):	Network	
REV: (REV.):	0	PROYECTO: (PROJECT):	POSITION UT-CONTROL	



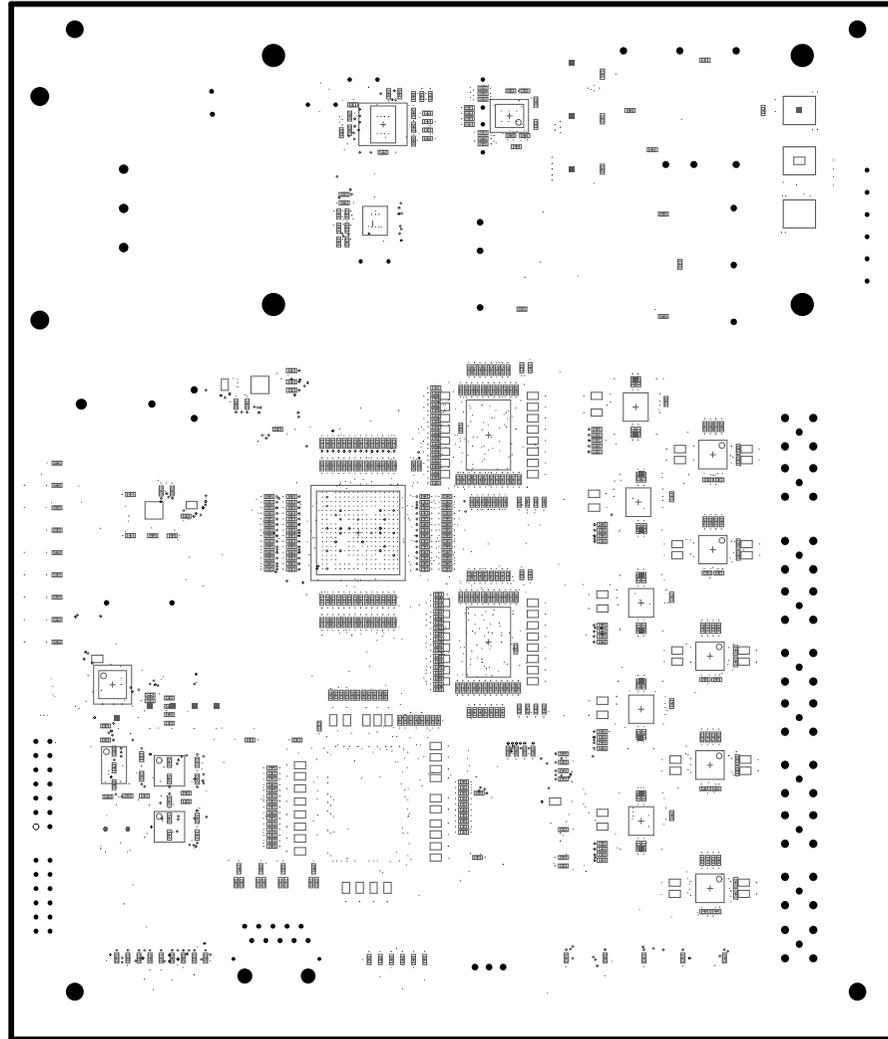


DISEÑADO: (DESIGNED):	A.M.P	ARCHIVO: (FILE NAME):	Peripheral_Hardware.SchDoc	A3
REVISADO: (CHECKED):	A.H	NUM.: (NR.):	0	HOJA (SHEET) 7 DE (OF) 7
FECHA: (DATE):	05/2014	NOMBRE: (NAME):	PH HARDWARE	
REV.: (REV.):	0	PROYECTO: (PROJECT):	POSITION UT-CONTROL	
				

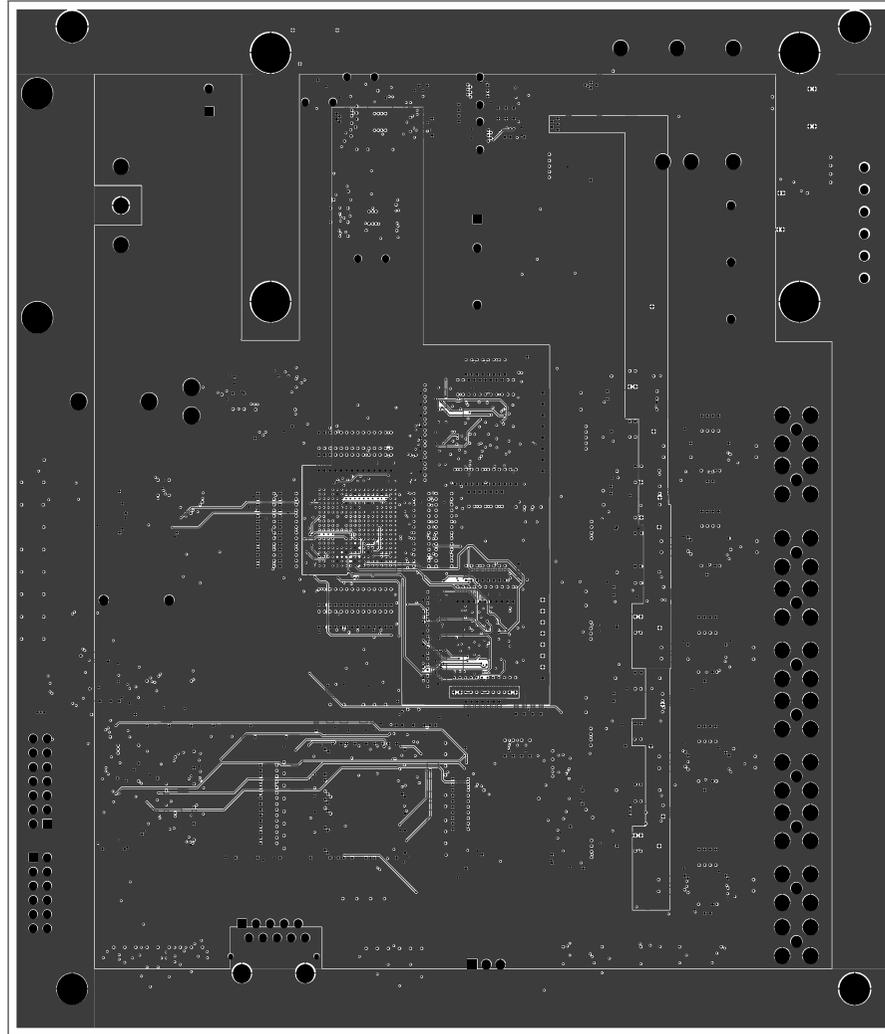
9.2 Planos de LayOut



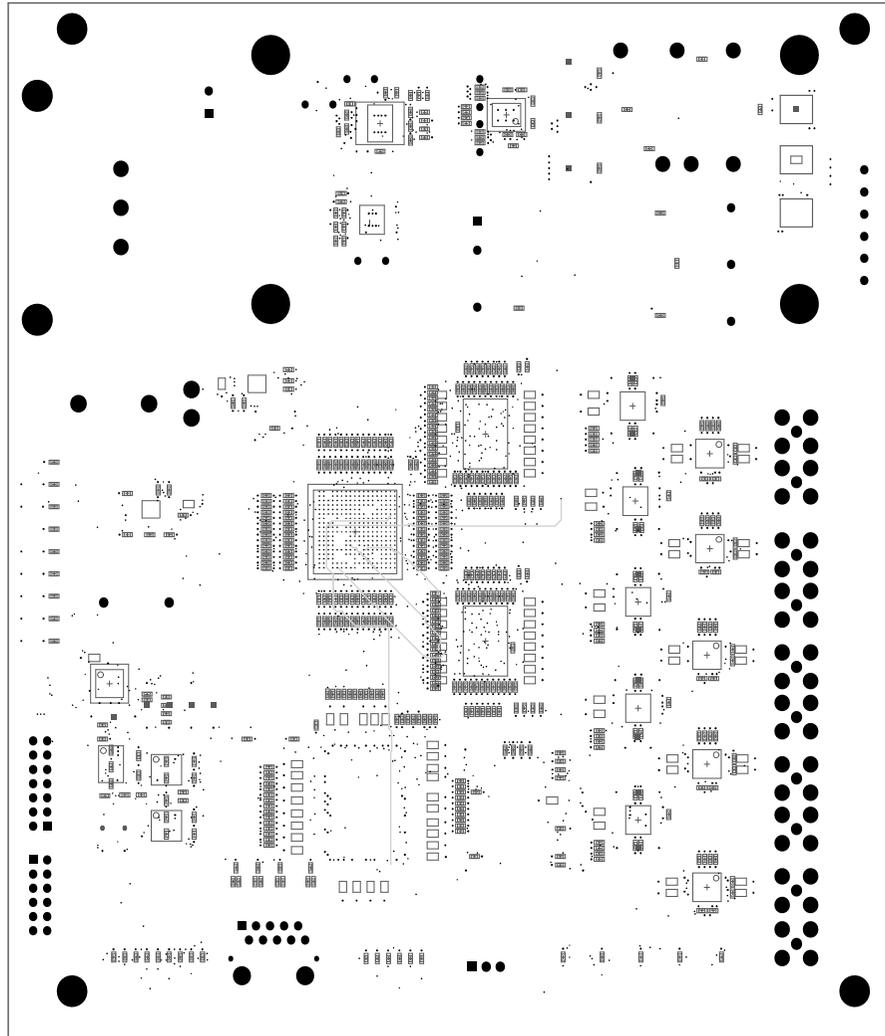
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc	
REVISADO (CHECKED):		NUM (NR):	CONTROL UT	
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT	
REV (REV):	0			
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT	ESCALA (SCALE): 1:1



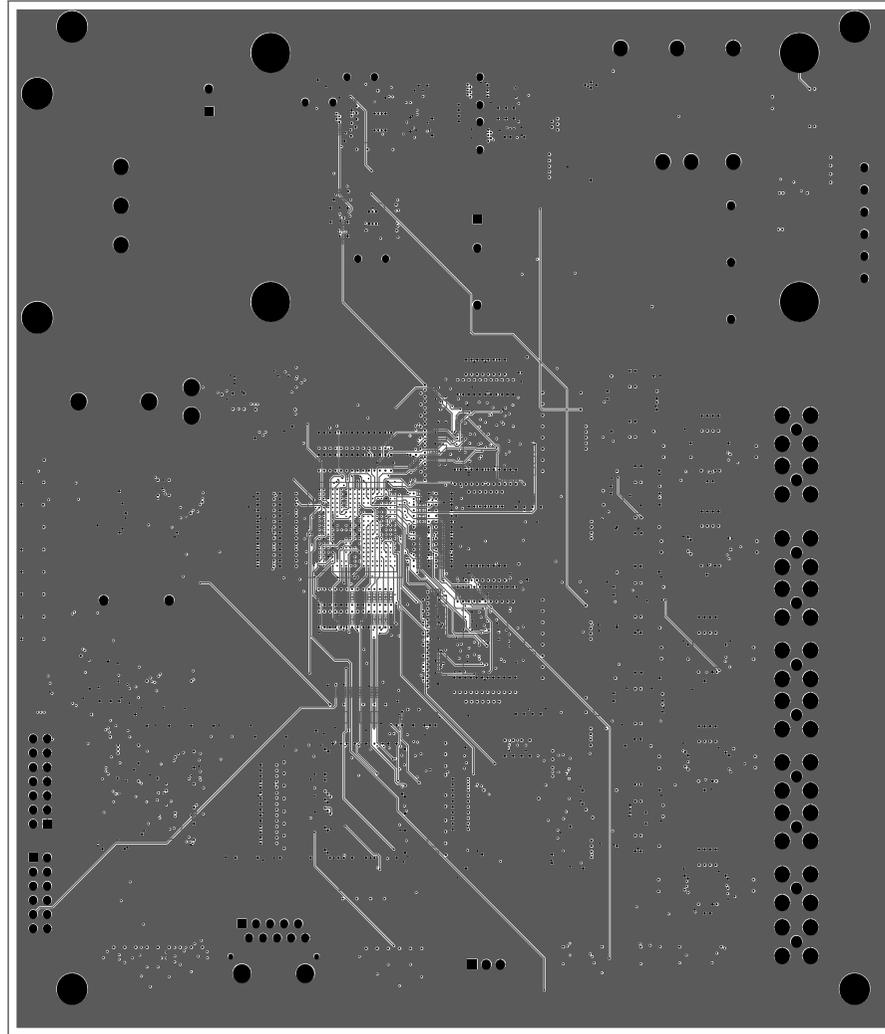
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc		
REVISADO (CHECKED):		NUM (NR):	CONTROL UT		
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT		
REV (REV):	0				
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT	ESCALA (SCALE):	1:1



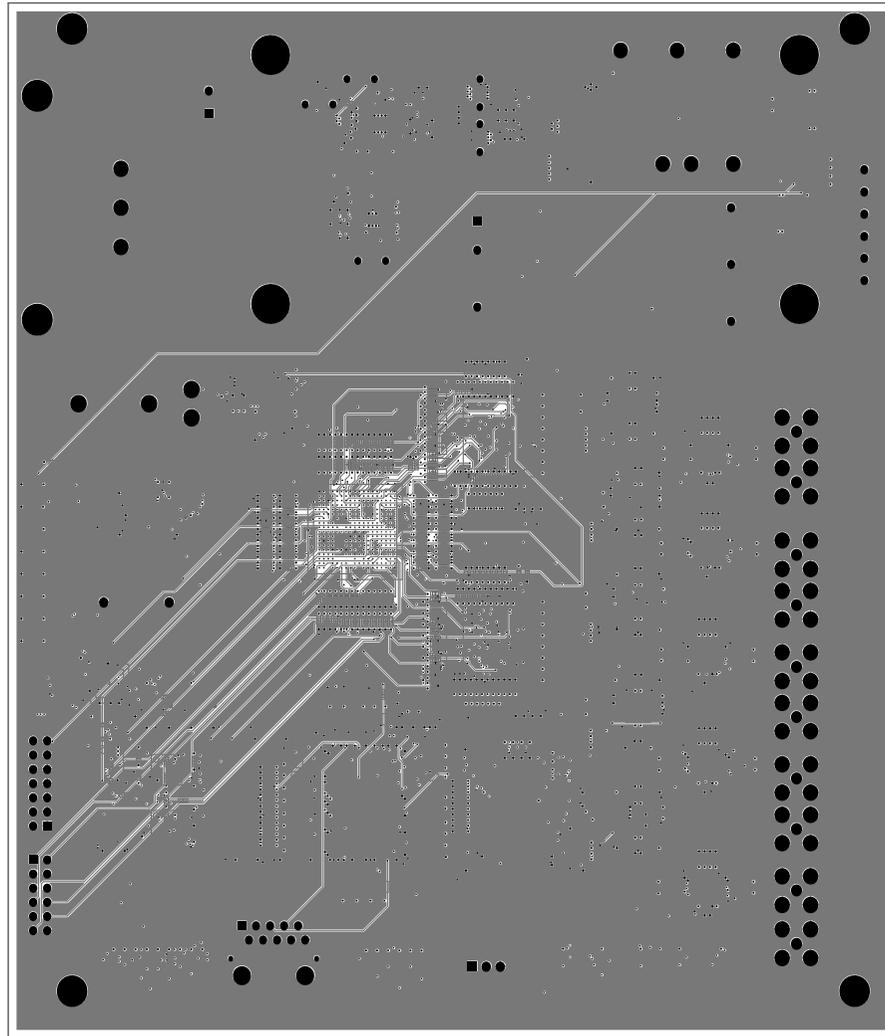
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0		
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT
		ESCALA (SCALE):	1:1



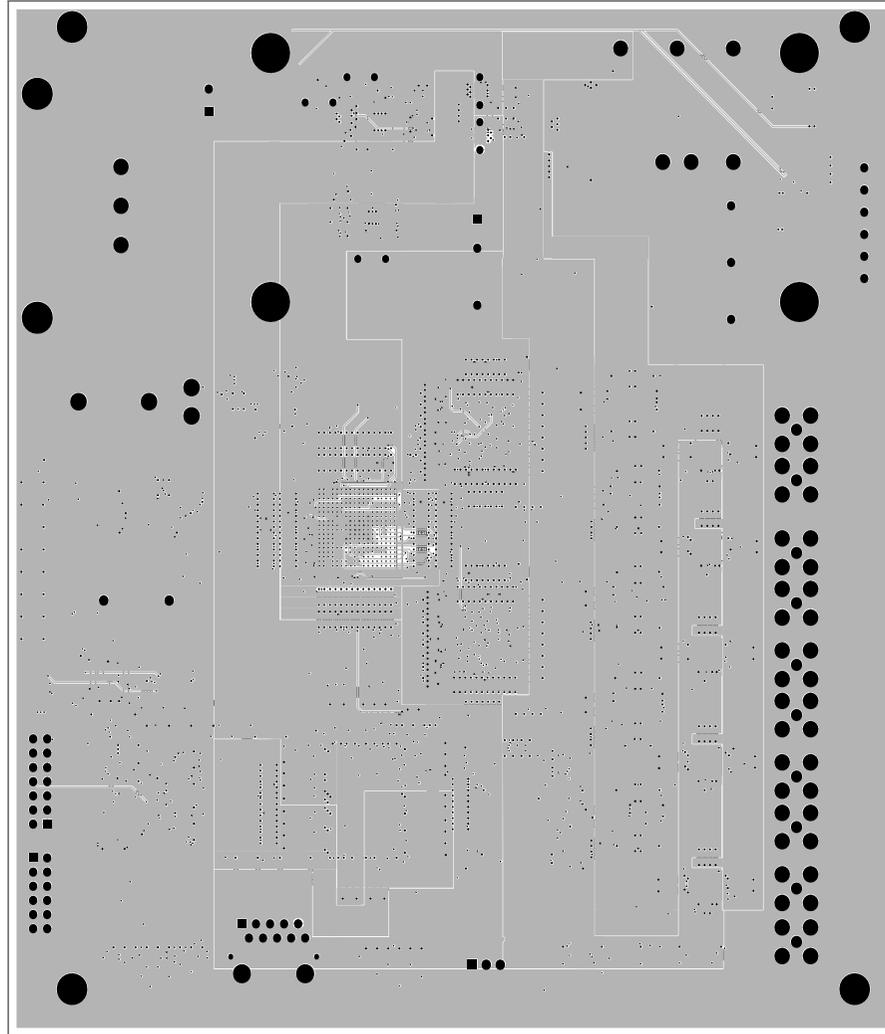
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0		
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT
		ESCALA (SCALE):	1:1



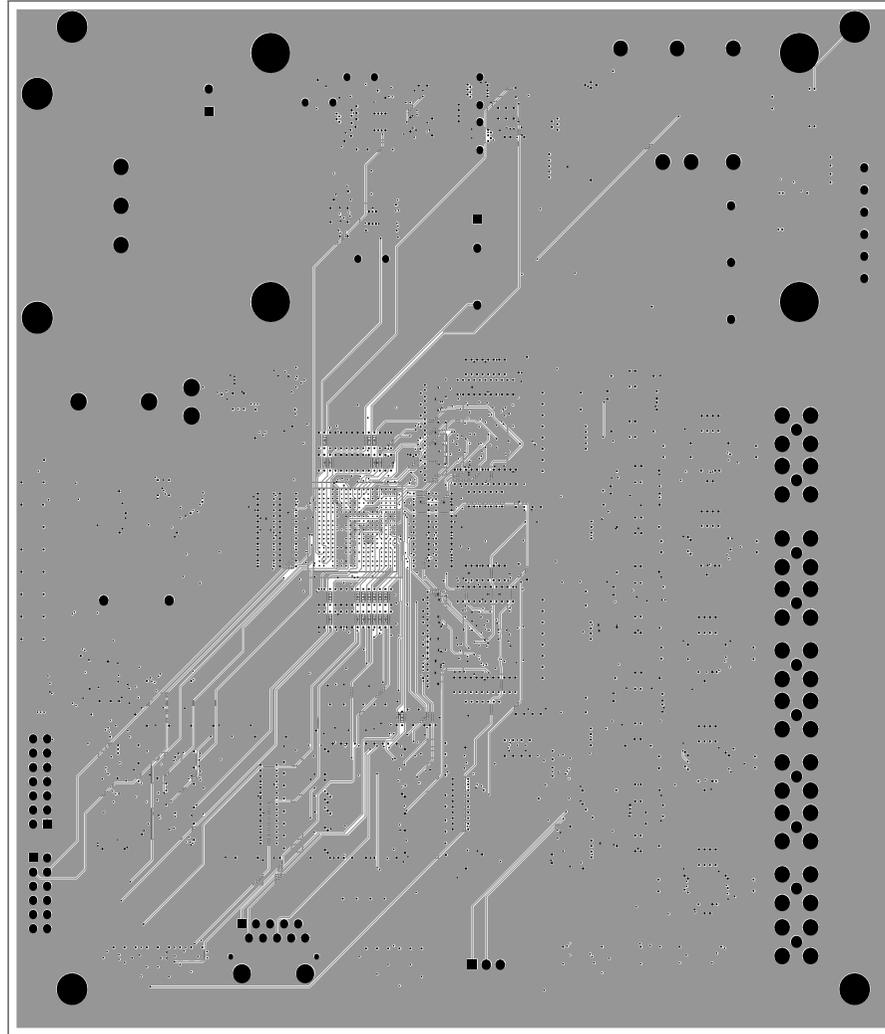
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc	
REVISADO (CHECKED):		NUM (NR):	CONTROL UT	
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT	
REV (REV):	0			
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT	ESCALA (SCALE): 1:1



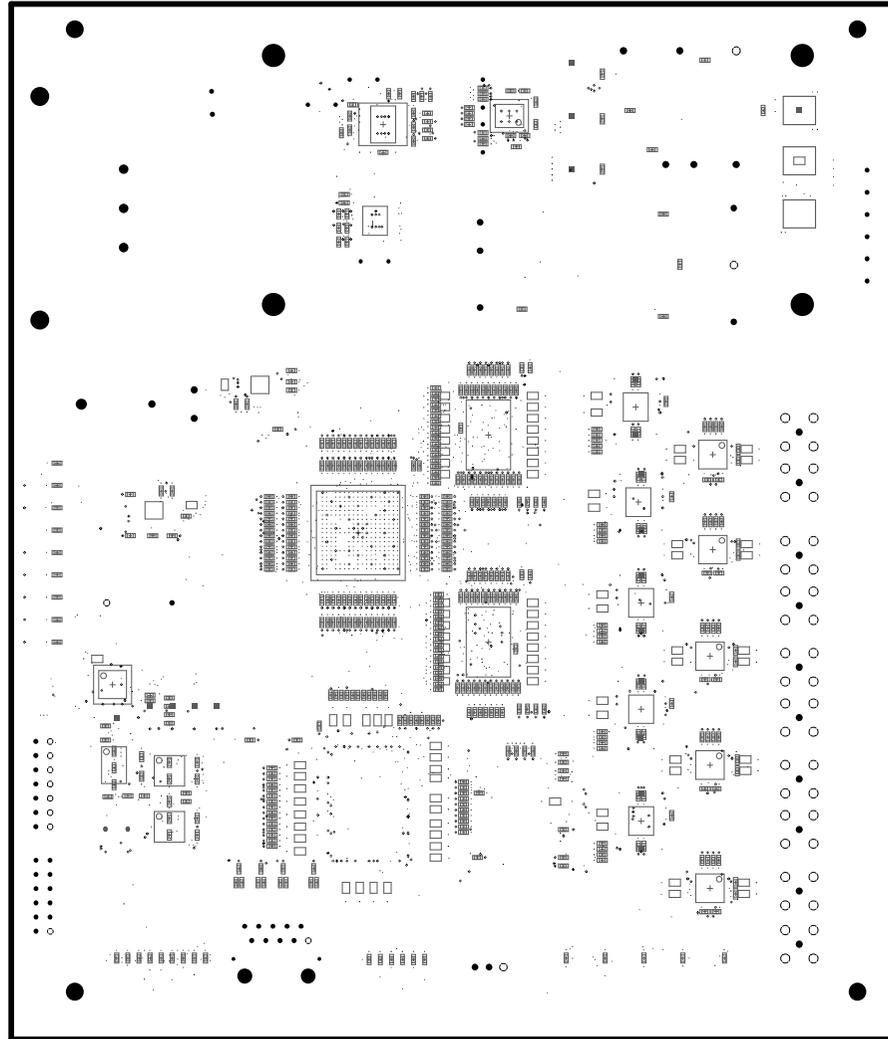
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc	
REVISADO (CHECKED):		NUM (NR):	CONTROL UT	
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT	
REV (REV):	0			
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT	ESCALA (SCALE): 1:1



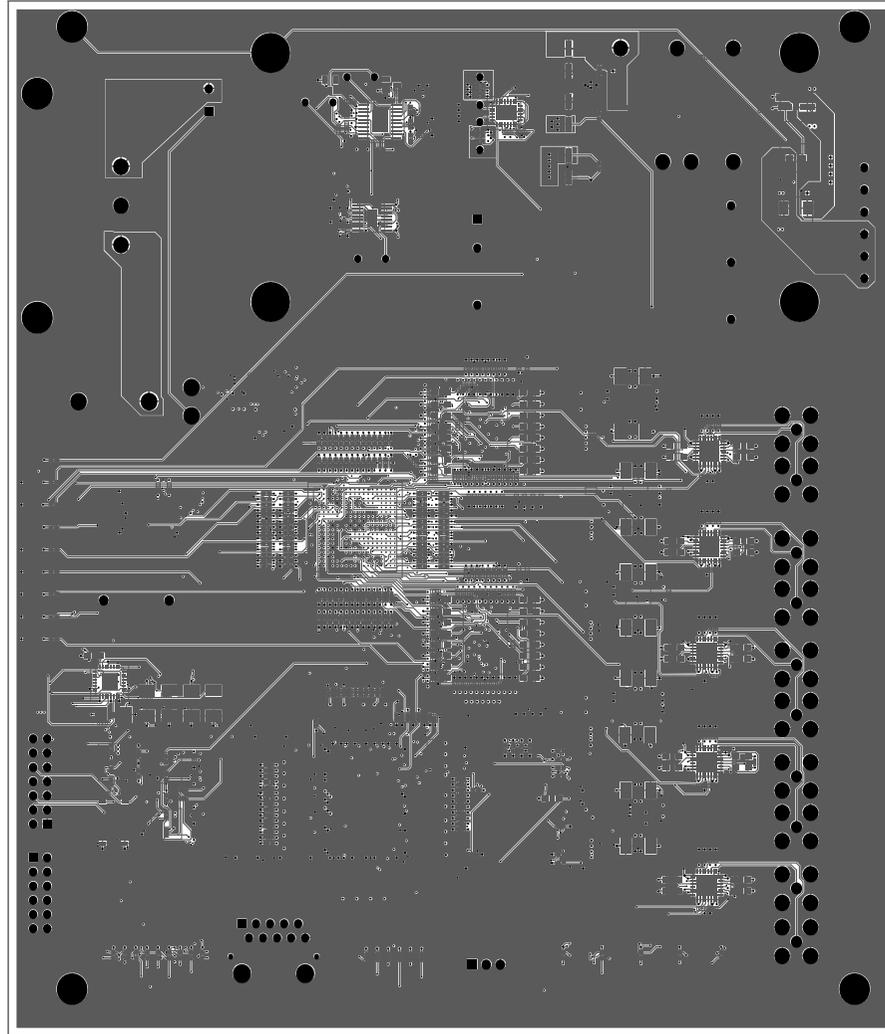
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc	
REVISADO (CHECKED):		NUM (NR):	CONTROL UT	
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT	
REV (REV):	0			
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT	ESCALA (SCALE): 1:1



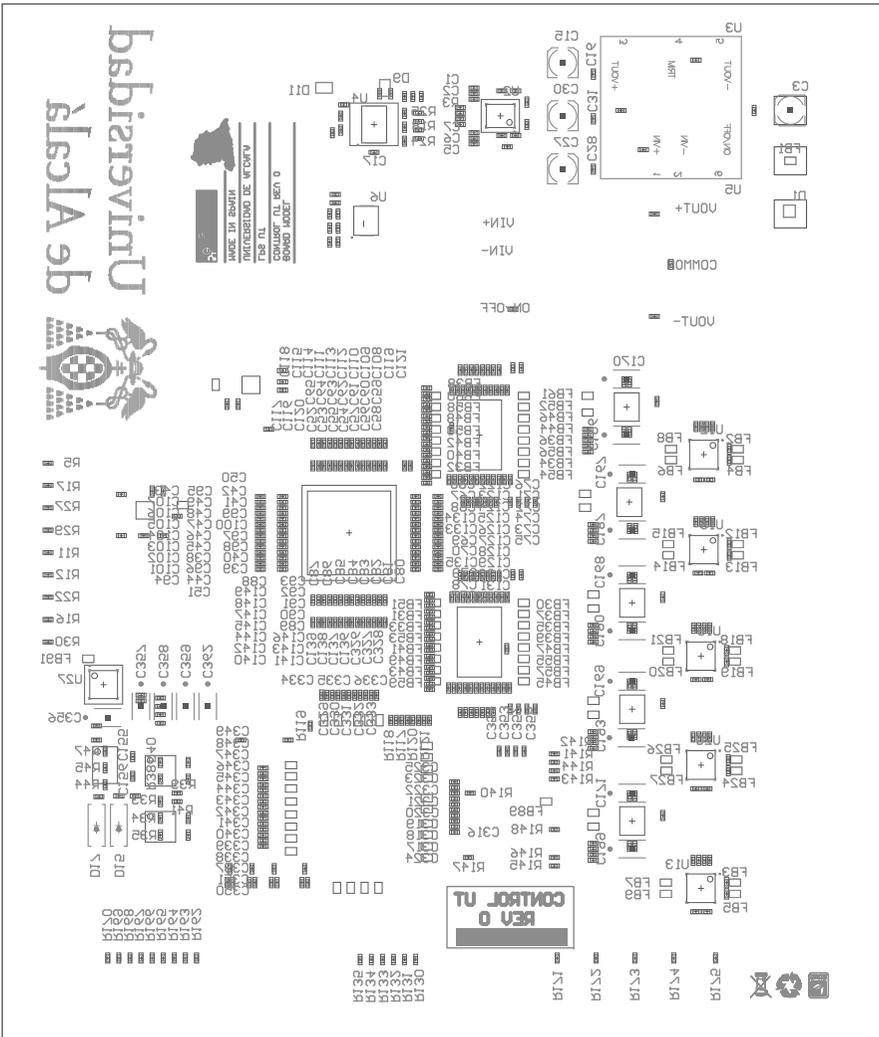
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc	
REVISADO (CHECKED):		NUM (NR):	CONTROL UT	
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT	
REV (REV):	0			
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT	ESCALA (SCALE): 1:1



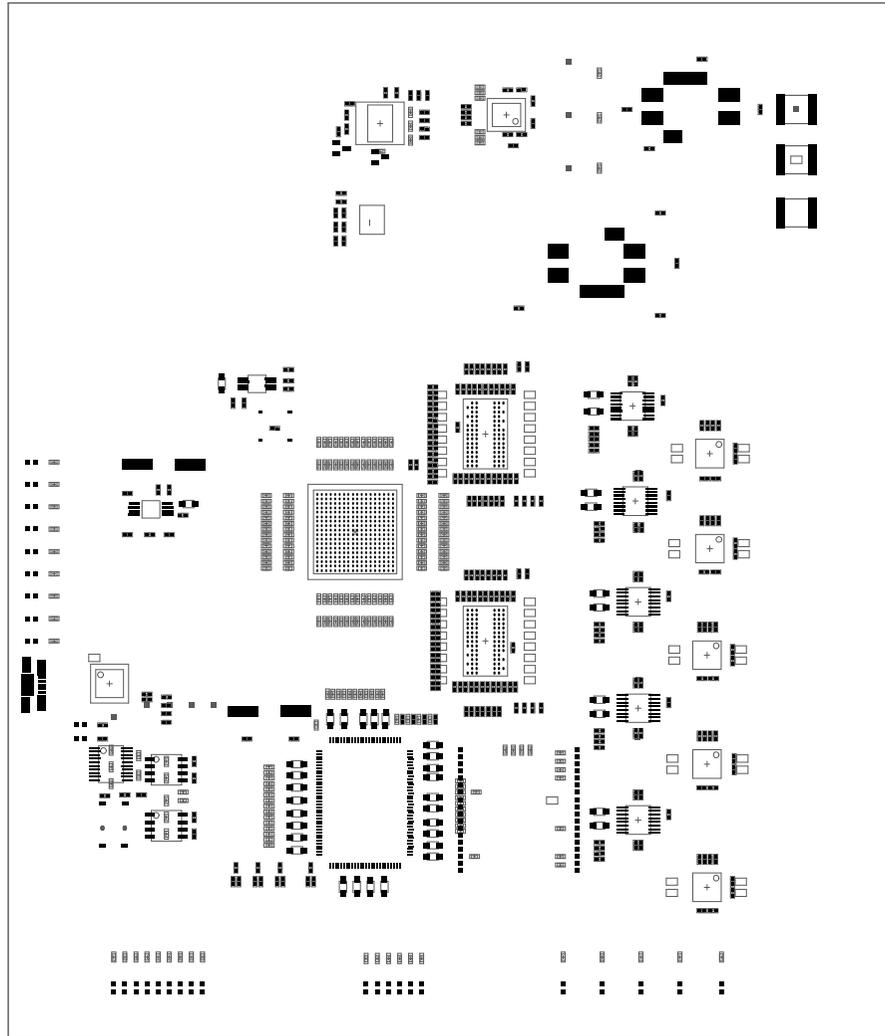
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc		
REVISADO (CHECKED):		NUM (NR):	CONTROL UT		
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT		
REV (REV):	0				
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT	ESCALA (SCALE):	1:1



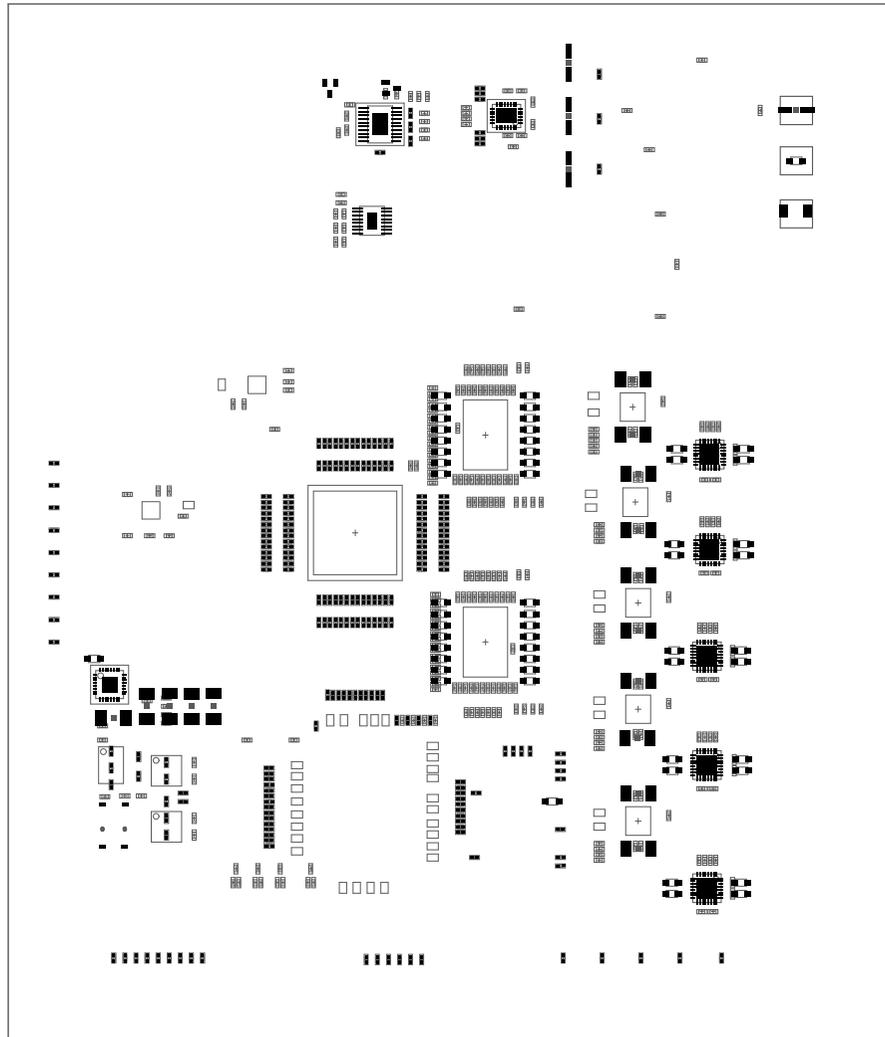
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc		
REVISADO (CHECKED):		NUM (NR):	CONTROL UT		
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT		
REV (REV):	0				
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT	ESCALA (SCALE):	1:1



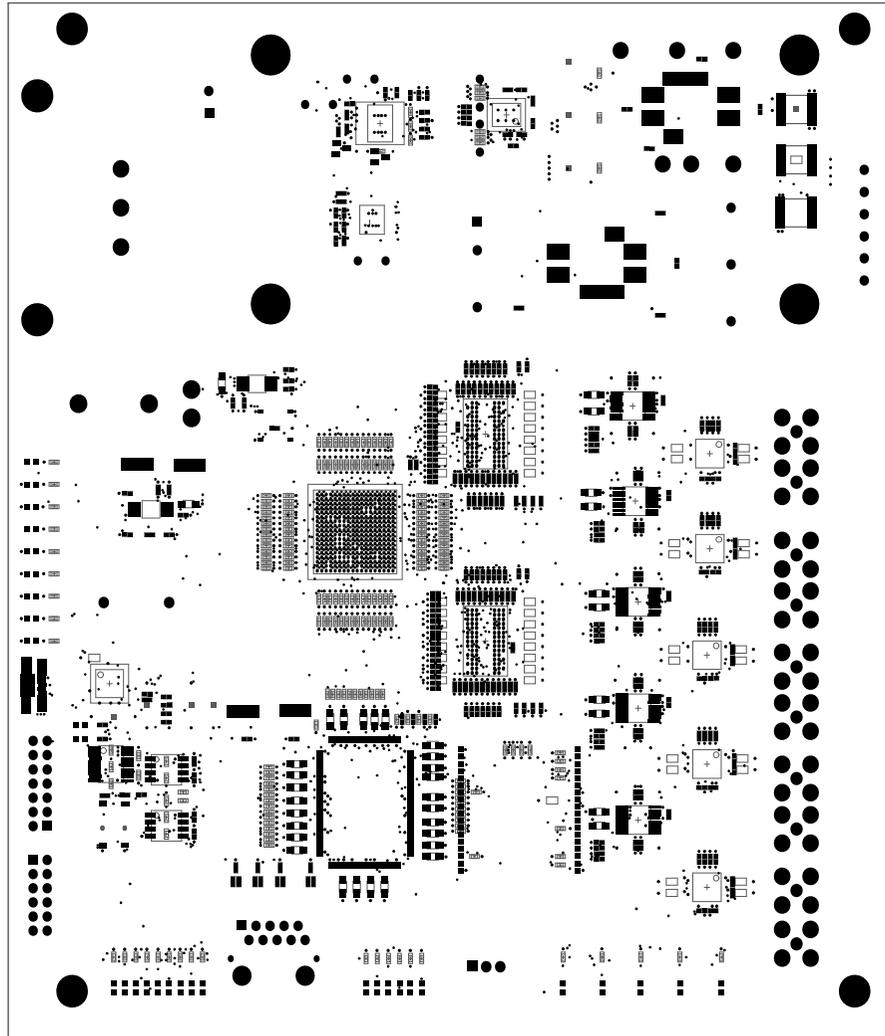
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0	PROYECTO (PROJECT):	LPS UT
UNIVERSIDAD DE ALCALA		ESCALA (SCALE):	1:1



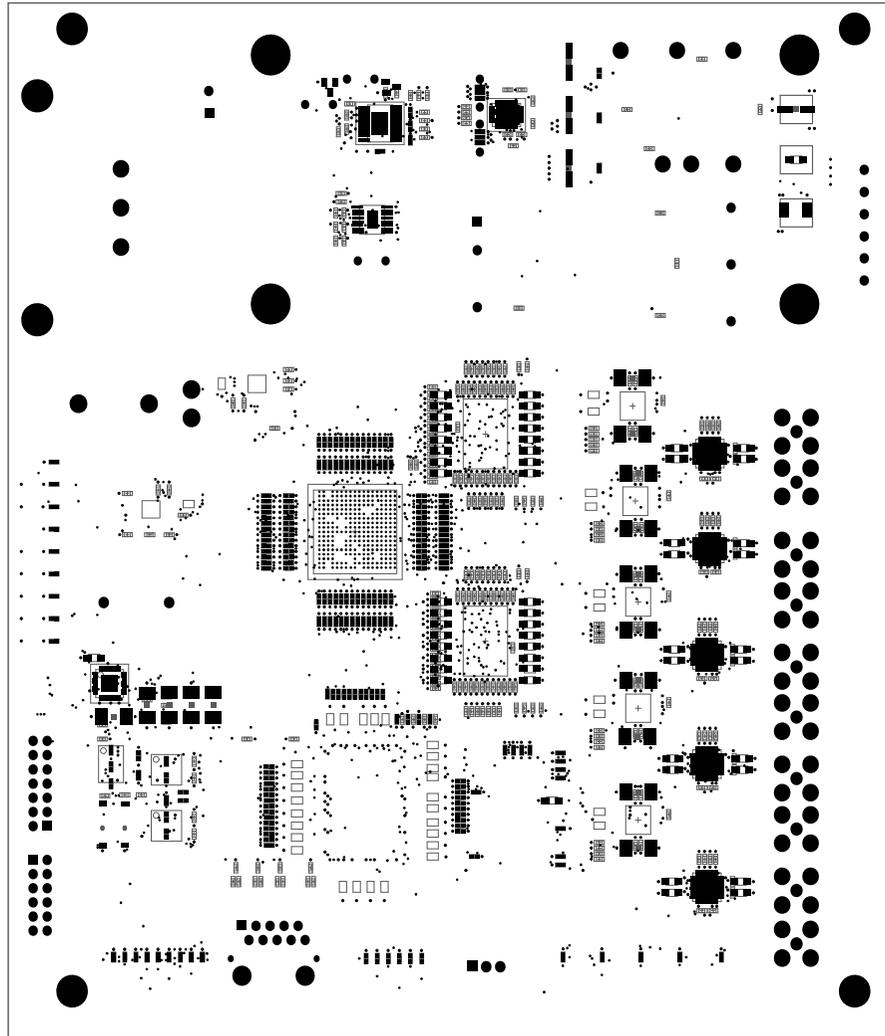
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0		
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT
		ESCALA (SCALE):	1:1



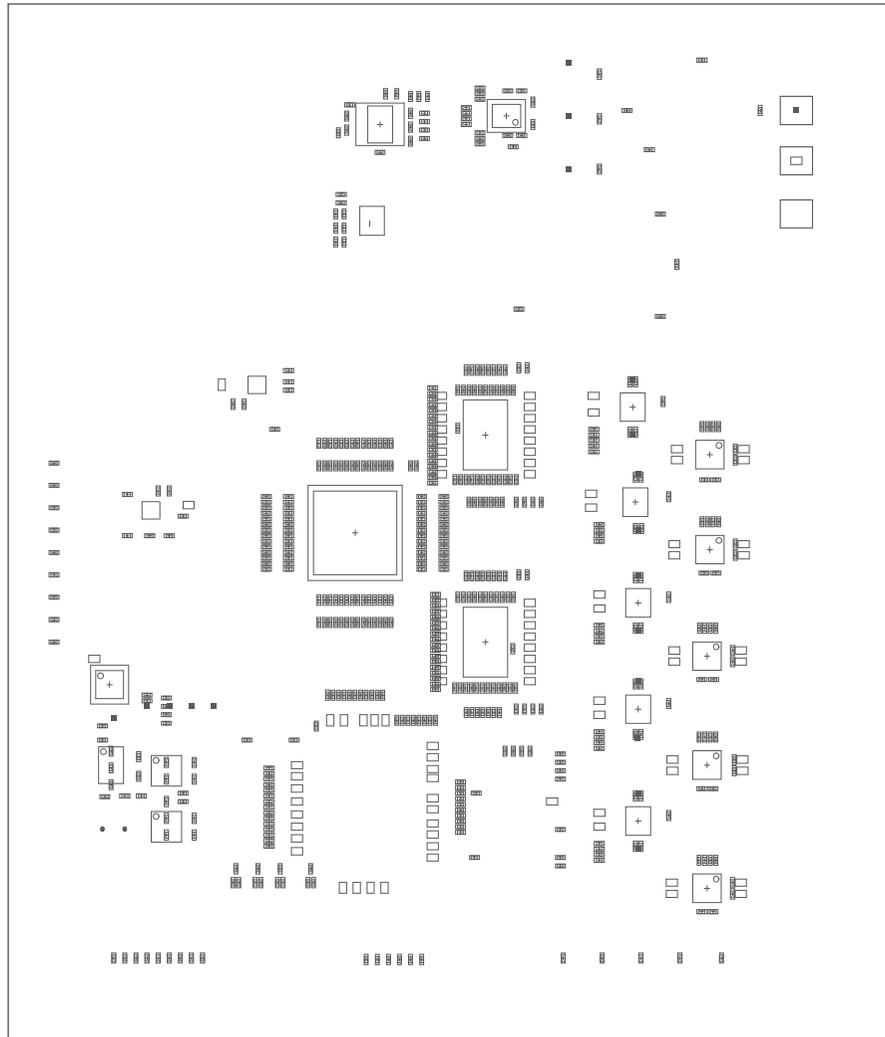
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0		
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT
		ESCALA (SCALE):	1:1



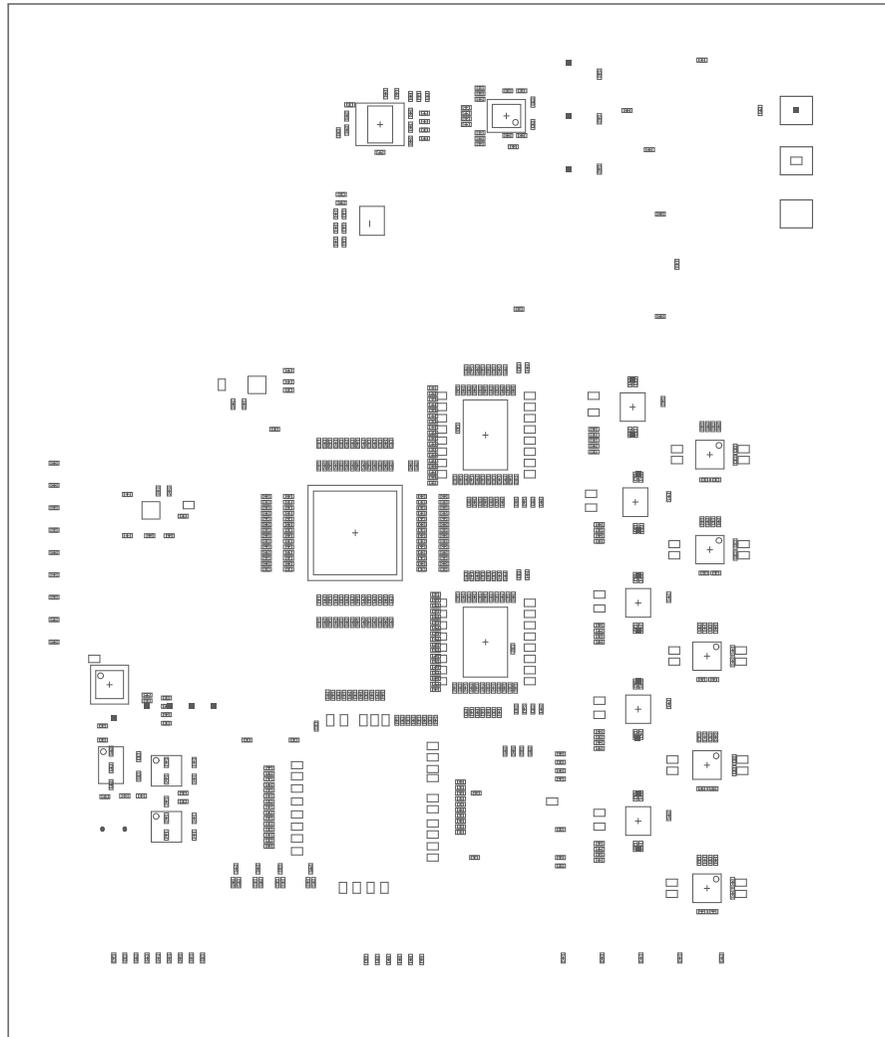
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc		
REVISADO (CHECKED):		NUM (NR):	CONTROL UT		
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT		
REV (REV):	0				
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT	ESCALA (SCALE):	1:1



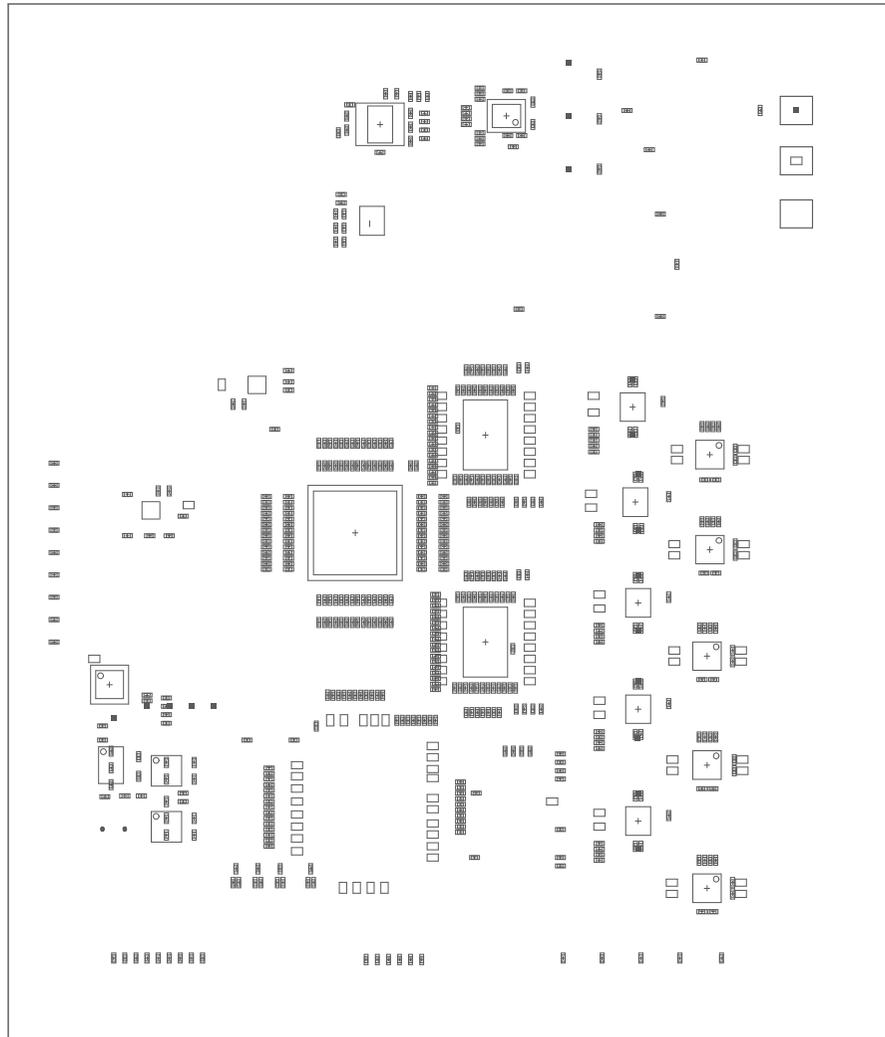
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc		
REVISADO (CHECKED):		NUM (NR):	CONTROL UT		
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT		
REV (REV):	0				
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT	ESCALA (SCALE):	1:1



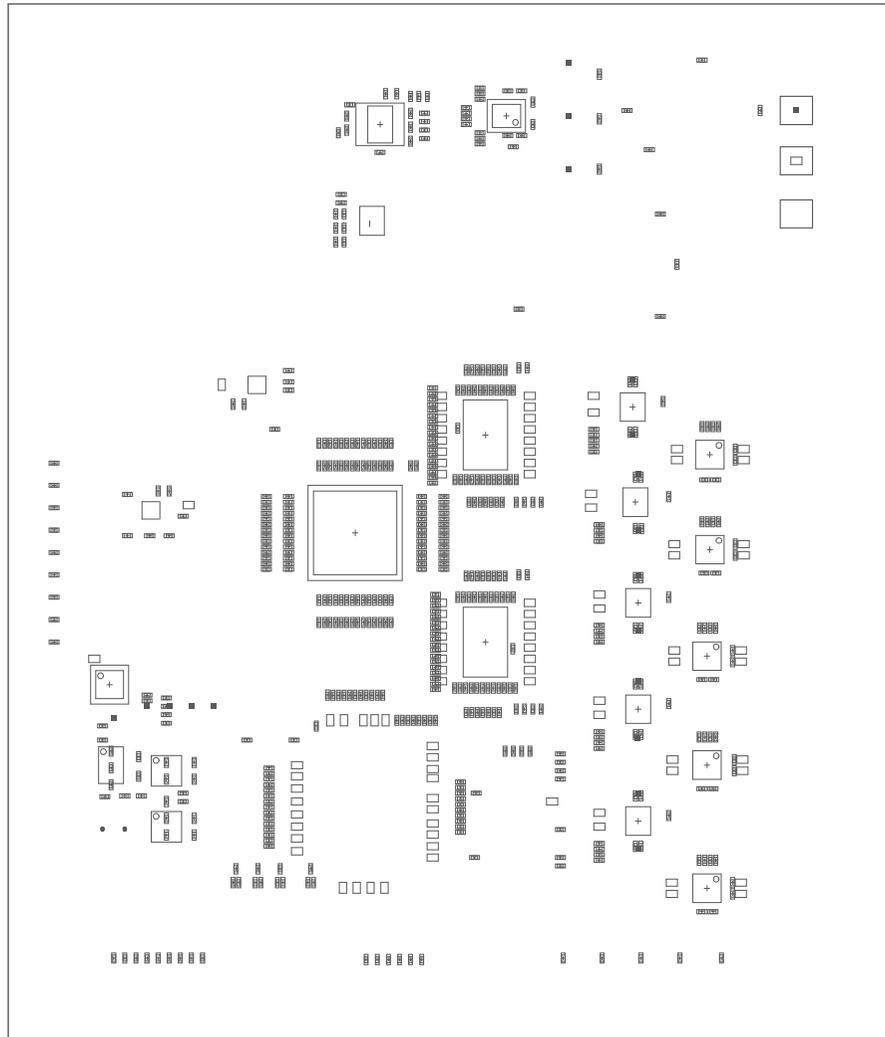
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0		
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT
		ESCALA (SCALE):	1:1



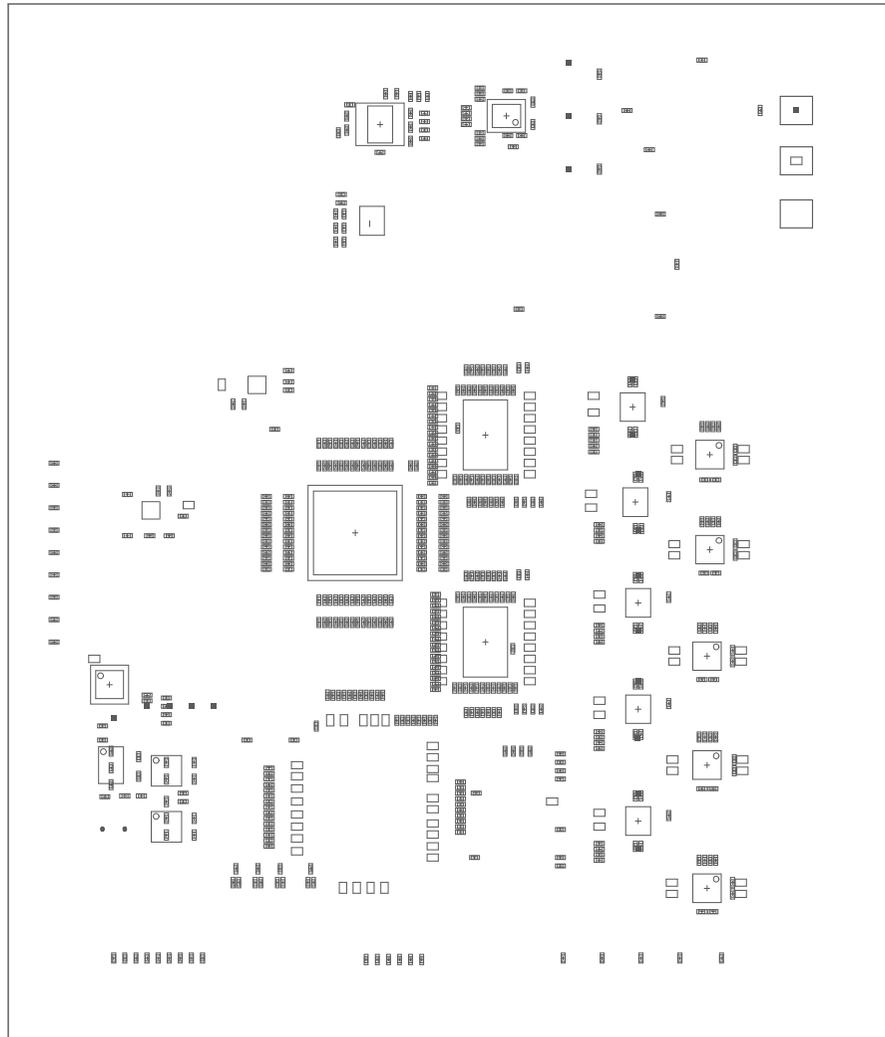
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0	PROYECTO (PROJECT):	LPS UT
UNIVERSIDAD DE ALCALA		ESCALA (SCALE):	1:1



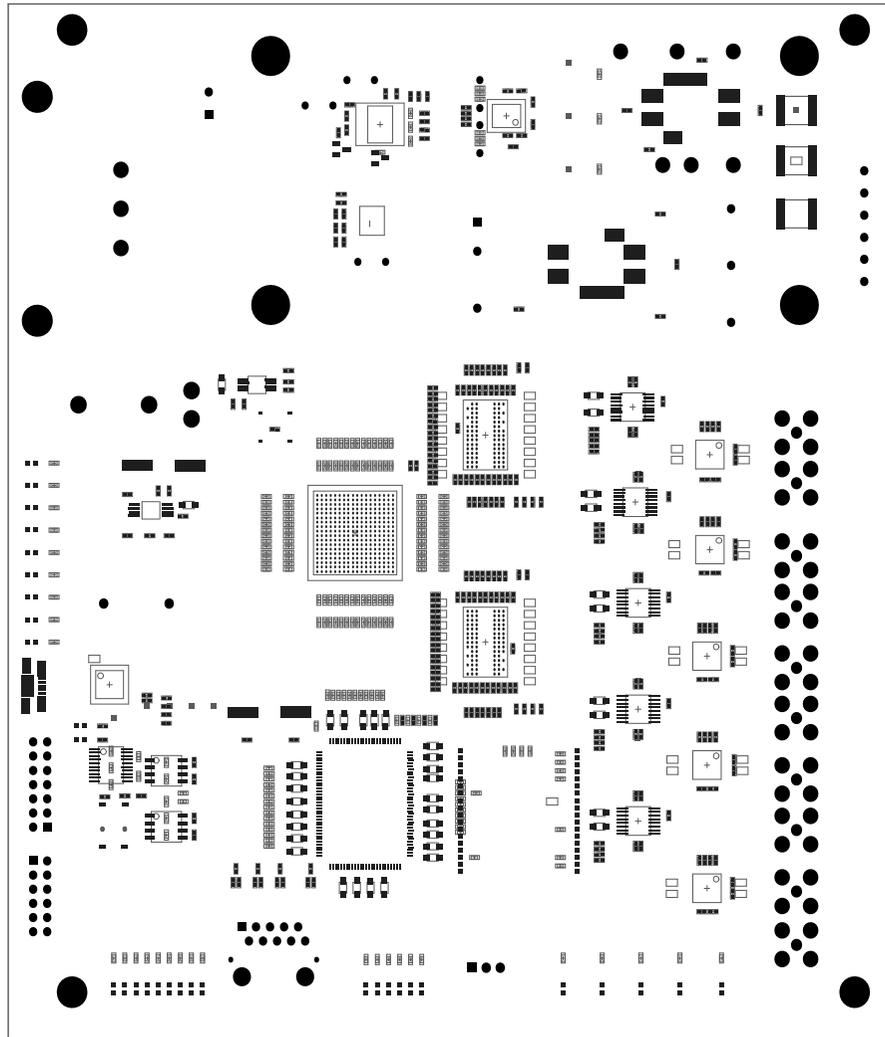
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0		
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT
		ESCALA (SCALE):	1:1



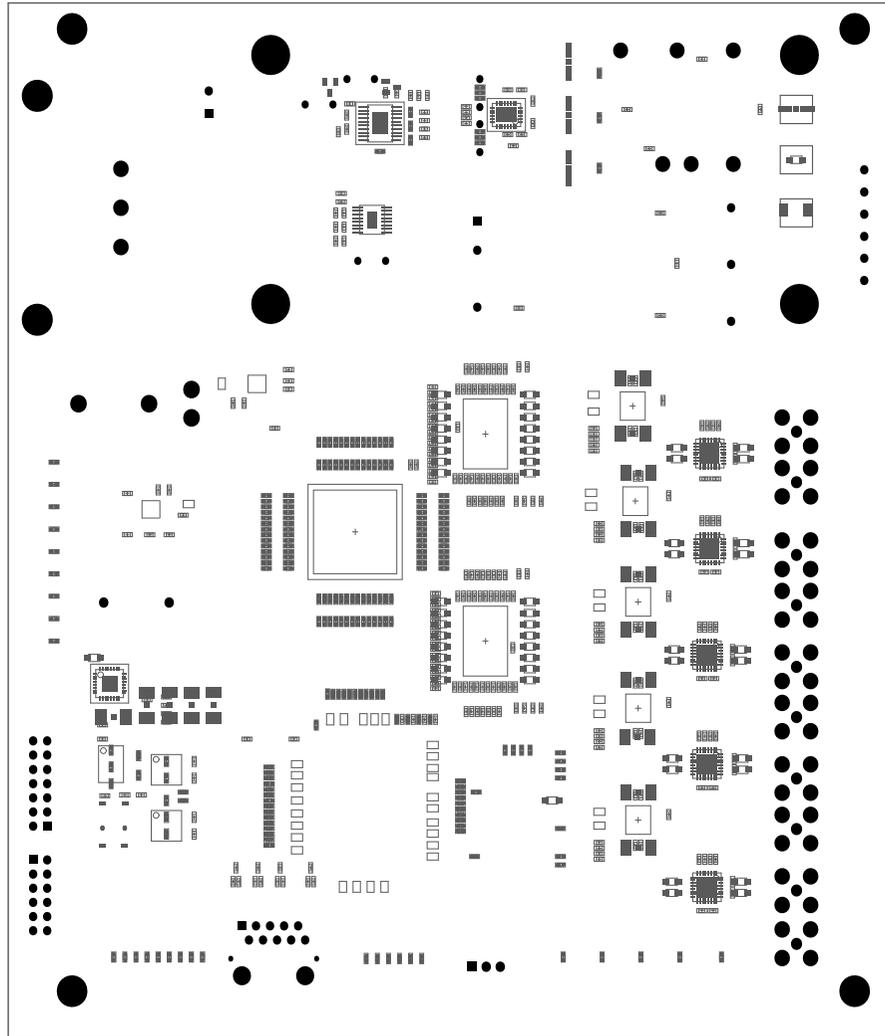
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0		
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT
		ESCALA (SCALE):	1:1



REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0		
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT
		ESCALA (SCALE):	1:1



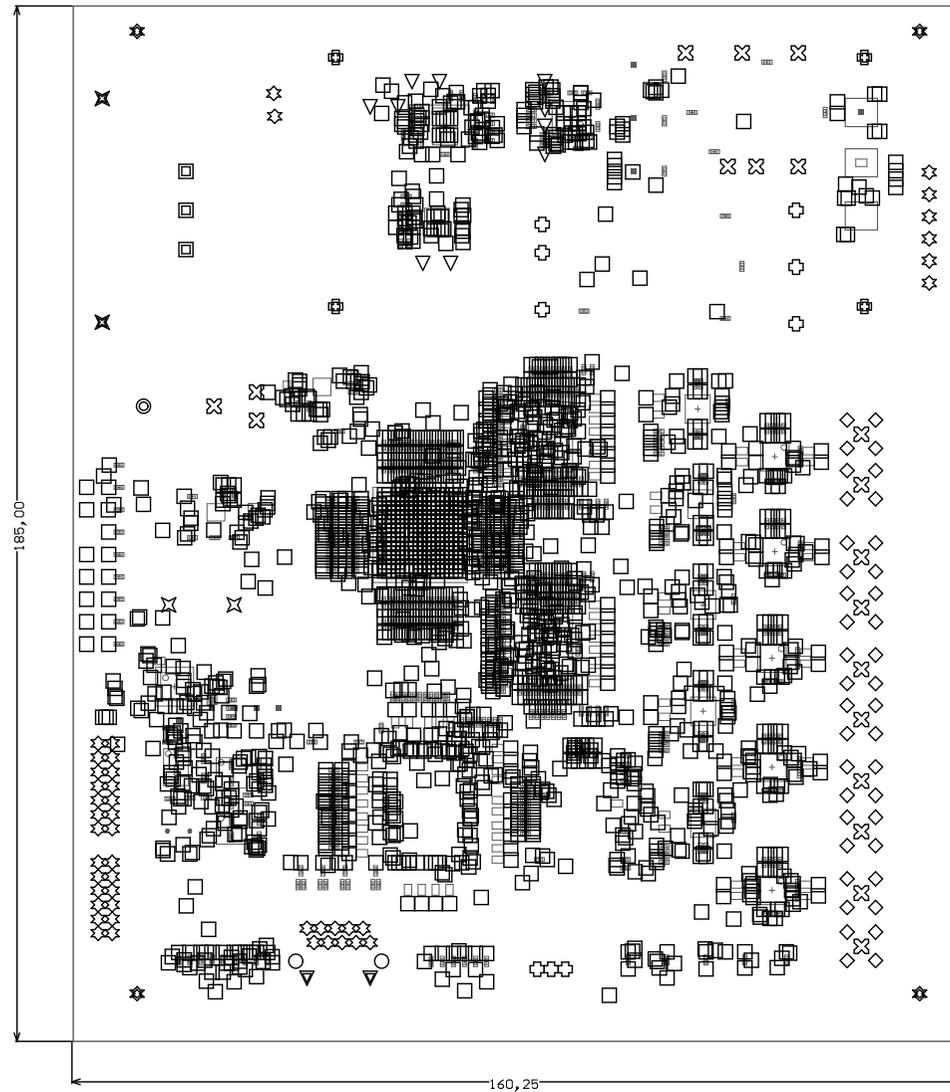
REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0		
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT
		ESCALA (SCALE):	1:1



REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0		
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT
		ESCALA (SCALE):	1:1

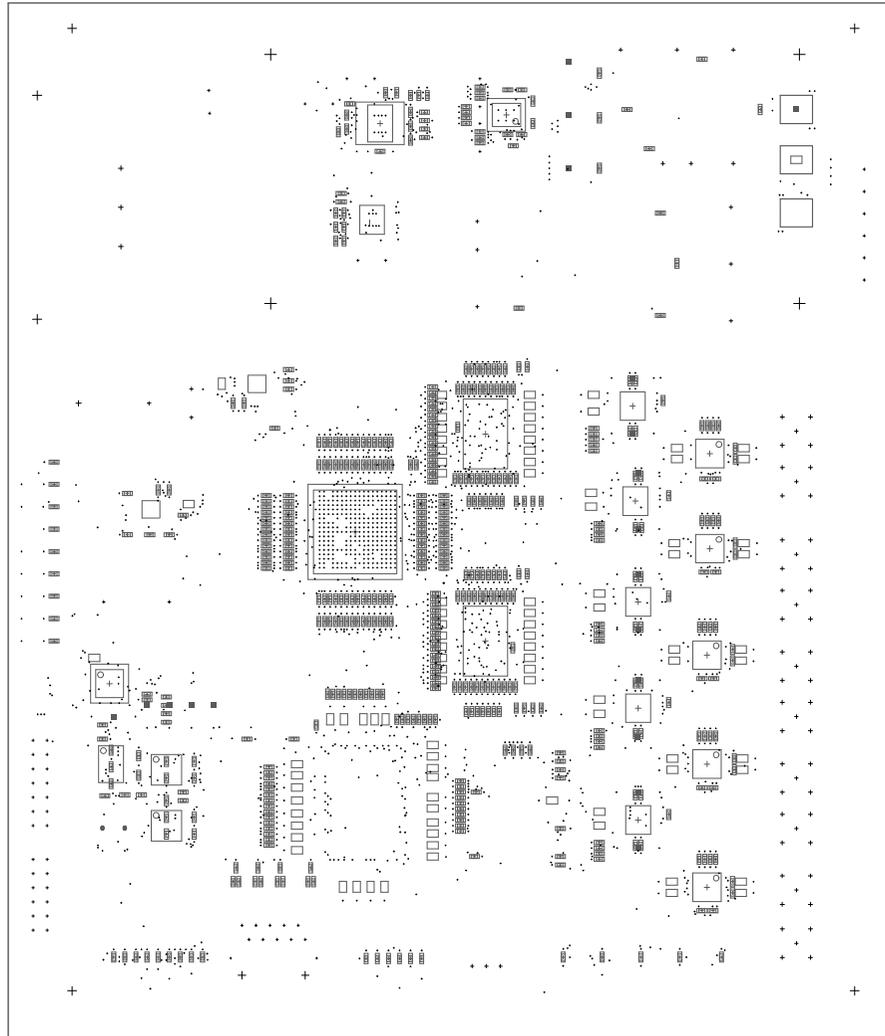
MATERIAL	PCB DEFINITION
BOARD THICKNESS: 1.55 mm	COLOR TOP SOLDERMASK : GREEN
OUTER LAYER COPPER FOL: 18µM (end +/- 35 µM)	COLOR BOTTOM SOLDERMASK : GREEN
MATERIAL TG: 145-150 C	COLOR TOP LEGEND: WHITE
	COLOR BOTTOM LEGEND: WHITE
	MILLING: NONE
	BARE BOARD TESTING: YES
TECHNOLOGY	
TECHNOLOGY CLASS: 6C	

DETAIL OF LAYERS	
LAYER N-1 ---	COMPONENTS LAYER
LAYER N-2 ---	SOLD LAYER



Symbol	Hit Count	Finished Hole Size	Plated	Hole Type	Physical Length	Rout Path Length
○	1	2,000mm <78,74mil>	PTH	Round		
○	2	0,700mm <27,56mil>	NPTH	Round		
×	2	1,000mm <39,37mil>	PTH	Round		
▽	2	2,700mm <106,30mil>	NPTH	Round		
×	2	3,400mm <133,86mil>	PTH	Round		
□	3	1,700mm <66,93mil>	PTH	Round		
*	4	3,200mm <125,98mil>	PTH	Round		
○	4	4,200mm <165,35mil>	PTH	Round		
○	9	1,200mm <47,24mil>	PTH	Round		
▽	10	0,800mm <31,50mil>	PTH	Round		
×	19	1,300mm <51,18mil>	PTH	Round		
◇	40	1,500mm <59,06mil>	PTH	Round		
*	44	0,900mm <35,43mil>	PTH	Round		
□	2262	0,200mm <7,87mil>	PTH	Round		
	2404 Total					

REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL_UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0		
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT
		ESCALA (SCALE):	1:1



REALIZADO (DESIGNED):	A.M.P	ARCHIVO (FILE NAME):	CONTROL UT.PcbDoc
REVISADO (CHECKED):		NUM (NR):	CONTROL UT
FECHA (DATE):	10/01/2015	NOMBRE (NAME):	CONTROL UT
REV (REV):	0		
UNIVERSIDAD DE ALCALA		PROYECTO (PROJECT):	LPS UT
		ESCALA (SCALE):	1:1

9.3 Lista de Materiales

BILL OF MATERIALS

Project Title POSITION CONTROL UT
Reference LISTA DE MATERIALES
Revision 0
Date 12/01/2014
Designed A.M.P
Checked



Item	Referencia	Designator	Quantity	Value	Fabricante	Suministrador	Part Number	Description	
1	502	B1	1		KEYSTONE	RS	430 669	Portapilas PCB	
2	CONDENSADOR	C1, C5, C37	3	100pF	N/A	N/A	N/A	Condensador Cerámico	
3	CONDENSADOR	C2	1	22uF	N/A	N/A	N/A	Condensador Cerámico	
4	CONDENSADOR	C3, C15, C27, C30	4	100nF 50V	N/A	N/A	N/A	Condensador de Aluminio	
5	CONDENSADOR	C4, C12, C16, C18, C19, C26, C28, C31, C32, C150, C152, C154, C156, C157, C158, C159, C160, C161, C162, C163, C164, C165, C166, C173, C175, C177, C179, C181, C182, C183, C184, C185, C186, C189, C192, C195, C198, C201, C202, C204, C206, C208, C210, C212, C214, C216, C218, C220, C222, C223, C224, C225, C226, C227, C228, C229, C230, C231, C232, C233, C304, C305, C308, C309, C316, C317, C318, C319, C320, C321, C326, C327, C328, C329, C330, C331, C332, C333, C334, C337, C338, C339, C340, C341, C342, C343, C344, C345, C346, C347, C348, C352, C353, C360, C363, C366	96	0.1uF	N/A	N/A	N/A	N/A	Condensador Cerámico
6	CONDENSADOR	C6, C7, C13	3	47uF	N/A	N/A	N/A	Condensador Cerámico	
7	CONDENSADOR	C8, C10	2	1nF	N/A	N/A	N/A	Condensador Cerámico	
8	CONDENSADOR	C9, C11, C21	3	10pF	N/A	N/A	N/A	Condensador Cerámico	
9	CONDENSADOR	C14, C29, C30, C51, C45, C18, C79, C92, C93, C106, C107, C120, C121, C134, C135, C148, C149, C296, C297, C300, C301	21	4.7uF	N/A	N/A	N/A	Condensador Cerámico	
10	CONDENSADOR	C17, C25	2	470nF	N/A	N/A	N/A	Condensador Cerámico	
11	CONDENSADOR	C20, C34, C35	3	100uF	N/A	N/A	N/A	Condensador Cerámico	
12	CONDENSADOR	C22, C24	2	470pF	N/A	N/A	N/A	Condensador Cerámico	
13	CONDENSADOR	C23	1	47pF	N/A	N/A	N/A	Condensador Cerámico	
14	CONDENSADOR	C33	1	330pF	N/A	N/A	N/A	Condensador Cerámico	
15	CONDENSADOR	C36	1	2.2nF	N/A	N/A	N/A	Condensador Cerámico	
16	CONDENSADOR	C38, C39, C40, C41, C42, C43, C52, C53, C54, C55, C56, C57, C66, C67, C68, C69, C70, C71, C80, C81, C82, C83, C84, C85, C94, C95, C96, C97, C98, C99, C108, C109, C110, C111, C112, C113, C122, C123, C124, C125, C126, C127, C136, C137, C138, C139, C140, C141, C234, C235, C236, C237, C238, C239, C249, C250, C251, C252, C253, C254, C264, C265, C266, C267, C268, C269, C279, C280, C281, C282, C283, C284, C302, C303, C306, C307, C310, C311, C312, C313, C324, C325, C336, C351	84	10nF	N/A	N/A	N/A	N/A	Condensador Cerámico
17	CONDENSADOR	C44, C45, C46, C47, C48, C49, C58, C59, C60, C61, C62, C63, C64, C72, C73, C74, C75, C76, C77, C86, C87, C88, C89, C90, C91, C100, C101, C102, C103, C104, C105, C114, C115, C116, C117, C118, C119, C128, C129, C130, C131, C132, C133, C142, C143, C144, C145, C146, C147, C240, C241, C242, C243, C244, C245, C246, C247, C248, C255, C256, C257, C258, C259, C260, C261, C262, C263, C270, C271, C272, C273, C274, C275, C276, C277, C278, C285, C286, C287, C288, C289, C290, C291, C292, C293	85	47nF	N/A	N/A	N/A	N/A	Condensador Cerámico
18	CONDENSADOR	C151, C153, C155, C172, C174, C176, C178, C180, C188, C191, C194, C197, C200, C203, C205, C207, C209, C211, C213, C215, C217, C219, C221, C222, C232, C235, C249, C250, C254, C261, C262	32	1uF	N/A	N/A	N/A	Condensador Cerámico	
19	CONDENSADOR	C167, C168, C169, C170, C171, C187, C190, C193, C196, C199, C356, C358, C359, C362	14	0.1uF	N/A	N/A	N/A	Condensador de Tantalio	
20	CONDENSADOR	C294, C295, C299, C299	4	0.47uF	N/A	N/A	N/A	Condensador Cerámico	
21	CONDENSADOR	C314, C315, C344, C365	4	20pF	N/A	N/A	N/A	Condensador Cerámico	
22	CONDENSADOR	C357	1	1uF	N/A	N/A	N/A	Condensador de Tantalio	
23	SSW-107-01-G-D	CN1	1	N/A	SAMTEC	RS	765-5685	Conector 7Pines, Hembra, Paso 2.54mm, 2 Filas	
24	HFI11-1G01ERL	CN2	1	N/A	HALO ELECTRONICS	RS	736-9873	Conector Ethernet RJ-45	
25	SSW-106-01-G-D	CN3	1	N/A	SAMTEC	RS	765-5663	Conector 6Pines, Hembra, Paso 2.54mm, 2 Filas	
26	SMBJ28CA	D1	1	N/A	ST MICROELECTRONICS	RS	486-1685	Diodo TVS 28V	
27	LG L29K-G2J1-24	D2, D3, D4, D6, D7, D18, D12, D13, D14, D19, D20, D21, D22, D23, D24, D25, D26, D27, D28, D29, D30, D31, D32, D33, D34, D35, D36, D37, D38, D39, D40	31	N/A	OSRAM	RS	665-6028	Led	
28	BAT17	D5, D8, D9, D11	4	N/A	NXP	RS	509-982	Diodo Schottky	
29	B T52C3V3-7-F	D15, D16, D17, D18	4	N/A	DIODES ZETEX	RS	751-3730	Diodo Zener	
30	RS	F1	1	N/A	RS	RS	563-700	Fusible	
31	BLM21PG220SN1D	FB1, FB4, FB5, FB6, FB7, FB8, FB9, FB10, FB11, FB13, FB14, FB15, FB16, FB17, FB19, FB20, FB21, FB22, FB23, FB25, FB26, FB27, FB28, FB29, FB30, FB31, FB32, FB33, FB34, FB35, FB36, FB37, FB38, FB39, FB40, FB41, FB42, FB43, FB44, FB45, FB46, FB47, FB48, FB49, FB50, FB51, FB52, FB53, FB54, FB55, FB56, FB57, FB58, FB59, FB60, FB61, FB62, FB63, FB64, FB65, FB66, FB67, FB68, FB69, FB70, FB71, FB72, FB73, FB74, FB75, FB76, FB77, FB78, FB79, FB80, FB81, FB82, FB83, FB84, FB85, FB86, FB87, FB88, FB89, FB90, FB91, FB92	89	N/A	Murata	RS	724-1539	Ferrita	
32	BLM21PG220SN1D	FB2, FB3, FB12, FB18, FB24	5	N/A	Murata	RS	724-1539	Ferrita	
33	BNX022-01L	FR1, FR2	2	N/A	MURATA	RS	724-1643	Filtro EMI	
34	R56-006-00-002632000	J1, J2, J3, J4, J5, J6, J7, J8, J9, J10	10	N/A	RS	RS	738-5844	Conector Coaxial	
35	DX4R005J91	J11	1	N/A	JAE	RS	435-645	Conector Micro USB	
36	822LY-1R5M	L1, L3, L5	3	1.5uH	TOKO	RS	724-7048	Bobina	
37	822LY-1R5M	L2	1	1uH	TOKO	RS	724-7048	Bobina	
38	822LY-1R5M	L4	1	2.2uH	TOKO	RS	724-7048	Bobina	
39	PA0590/PC/12132	P1	1	N/A	BUJ-GIN	RS	261-8840	Conector REC Hembra	
40	70553-0037	P2	1	N/A	MOLEX	RS	430-0879	Conector 3Pines, Hembra, Paso 2.54mm, Acodado	
41	RESISTENCIA	R1, R2, R19, R43, R107, R108, R110, R111, R117, R118, R119, R120, R121, R136, R137, R138, R139, R140, R141, R145, R146, R147, R148, R151, R156, R160	26	4K7	N/A	N/A	N/A	Resistencia	
42	RESISTENCIA	R3	1	95.3K	N/A	N/A	N/A	Resistencia	
43	B72540V300K62	R4, R6, R8	3	N/A	EPCCOS	RS	255-7716	Varistor	
44	RESISTENCIA	R5, R11, R12, R16, R17, R22, R26, R27, R28, R29, R30, R162, R163, R164, R165, R166, R167, R168, R169, R170, R171, R172, R173, R174, R175	25	1K2	N/A	N/A	N/A	Resistencia	
45	RESISTENCIA	R7	1	33K	N/A	N/A	N/A	Resistencia	
46	RESISTENCIA	R9, R10	2	30K1	N/A	N/A	N/A	Resistencia	
47	RESISTENCIA	R13, R14	2	13K	N/A	N/A	N/A	Resistencia	
48	RESISTENCIA	R15	1	24K9	N/A	N/A	N/A	Resistencia	
49	RESISTENCIA	R18, R23	2	8K	N/A	N/A	N/A	Resistencia	
50	RESISTENCIA	R20	1	61.9K	N/A	N/A	N/A	Resistencia	
51	RESISTENCIA	R21, R157	2	10K	N/A	N/A	N/A	Resistencia	
52	RESISTENCIA	R24, R25	2	40K2	N/A	N/A	N/A	Resistencia	
53	RESISTENCIA	R31	1	5K1	N/A	N/A	N/A	Resistencia	
54	RESISTENCIA	R32	1	309K	N/A	N/A	N/A	Resistencia	
55	RESISTENCIA	R33, R34, R35, R48, R49, R50, R51, R52, R53, R54, R55, R56, R57, R58, R59, R60, R61, R62, R63, R64, R65, R66, R67, R68	24	1K8	N/A	N/A	N/A	Resistencia	
56	RESISTENCIA	R36, R37, R42, R47	4	200	N/A	N/A	N/A	Resistencia	
57	RESISTENCIA	R38, R39, R40, R41, R105, R106, R109, R112, R152, R153, R154, R155, R161	13	100	N/A	N/A	N/A	Resistencia	
58	RESISTENCIA	R44, R45, R142, R143, R144, R149, R150	7	3K3	N/A	N/A	N/A	Resistencia	
59	RESISTENCIA	R46	1	1K	N/A	N/A	N/A	Resistencia	
60	RESISTENCIA	R69, R70, R71, R72, R73, R74, R75, R76, R77, R78, R79, R80, R81, R82, R83, R84, R85, R86, R87, R88, R89, R90, R91, R92, R93, R94, R95, R96, R97, R98, R99, R100, R101, R102, R103, R104	36	49K9	N/A	N/A	N/A	Resistencia	
61	RESISTENCIA	R113, R114, R115, R116	4	20K	N/A	N/A	N/A	Resistencia	
62	RESISTENCIA	R122, R123, R124, R125, R126, R127, R128, R129	8	47	N/A	N/A	N/A	Resistencia	
63	RESISTENCIA	R130, R131, R132, R133, R134, R135	6	150	N/A	N/A	N/A	Resistencia	
64	RESISTENCIA	R158, R159	2	40K2	N/A	N/A	N/A	Resistencia	
65	TOP 100-124	U1	1	N/A	TRACOPOWER	RS	665-5741	Convertidor AC-DC	
66	LTC3546LFD#PBF	U2	1	N/A	LINEAR TECHNOLOGY	RS	761-9456	Regulador de Voltage	
67	THN 15-2411	U3	1	N/A	TRACO POWER	RS	438-351	Convertidor DC-DC	
68	LT3501EF#PBF	U4	1	N/A	LINEAR TECHNOLOGY	RS	423-620	Regulador de Voltage	
69	TEN 60-2412	U5	1	N/A	TRACOPOWER	RS	168-951	Convertidor DC-DC	
70	LTC3413EF#PBF	U6	1	N/A	LINEAR TECHNOLOGY	RS	786-9929	Regulador de Voltage	
71	N25Q128A13ESE40F	U7, U9	2	N/A	MICRON	RS	735-0125	Memoria Flash 128Mb	
72	X06SLV45-2CSG324C	U10	1	N/A	XLINK	FARNELL	1762496	FGPA Spartan 6	
73	SG-8002JF#PPT	U11	1	40MHz	EPSON	DICKEY	SG-8002JF-PHM-ND	Oscilador	
74	XCF045VQG20C	U11	1	N/A	XLINK	RS	626-0961	Memoria PROM de Configuración	
75	MAX9307EJ1+	U12, U13, U16, U18, U20	5	N/A	MAXIM	RS	786-1332	Amplificador de Potencia	
76	AD5531BRU	U14, U15, U17, U19, U21	5	N/A	ANALOG DEVICES	RS	497-0802	Convertidor Digital Analógico	
77	MT47H64M16HR-3H	U22, U23	2	N/A	MICRON	RS	708-1116	Memoria DDR2	
78	88E1111-B2-RCJ1C000	U24	1	N/A	MARVELL	AVNET	5A9911.1	Transmisor/Receptor Ethernet	
79	MRF24WB0MA/RM	U25	1	N/A	MICROCHIP	RS	737-9811	Transmisor/Receptor Wifi	
80	T0N75A0VA	U28	1	N/A	MICROCHIP	RS	738-6016	Sensor de Temperatura	
81	FT232RL	U27	1	N/A	FTDI	RS	720-0168	Convertidor USB a UART	
82	MCP79410-UMS	U28	1	N/A	MICROCHIP	RS	723-4749	Reloj Calendario	
83	FOXSDLF/100-20	Y1, Y2	2	10MHz	FOX	RS	547-6468	Oscilador de Crystal	